User's Manual

16

本产品仅在中国大陆及香港地区销售

R7F0C001G/L、 R7F0C002G/L

用户手册 硬件篇

16位单芯片微控制器

本资料所记载的内容，均为本资料发行时的信息，瑞萨电子对于本资料所记载的产品或者规格可能会作改动，恕不另行通知。
请通过瑞萨电子的主页确认发布的最新信息。

瑞萨电子
www.renesas.com

Rev.2.10 2014.10

Notice

1. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
2. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
3. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
4. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from such alteration, modification, copy or otherwise misappropriation of Renesas Electronics product.
5. Renesas Electronics products are classified according to the following two quality grades: “Standard” and “High Quality”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below.

   “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots etc.

   “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; and safety equipment etc.

   Renesas Electronics products are neither intended nor authorized for use in products or systems that may pose a direct threat to human life or bodily injury (artificial life support devices or systems, surgical implantations etc.), or may cause serious property damages (nuclear reactor control systems, military equipment etc.). You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application for which it is not intended. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for which the product is not intended by Renesas Electronics.
6. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
7. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or systems manufactured by you.
8. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
9. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations. You should not use Renesas Electronics products or technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. When exporting the Renesas Electronics products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations.
10. It is the responsibility of the buyer or distributor of Renesas Electronics products, who distributes, disposes of, or otherwise places the product with a third party, to notify such third party in advance of the contents and conditions set forth in this document, Renesas Electronics assumes no responsibility for any losses incurred by you or third parties as a result of unauthorized use of Renesas Electronics products.
11. This document may not be reproduced or duplicated in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

(2012.4)

以下“注意事项”为从英语原稿翻译的中文译文，仅作为参考译文，英文版的“Notice”具有正式效力。

注意事项

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，瑞萨电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，瑞萨电子已尽量做到合理注意，但是，瑞萨电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，瑞萨电子不承担任何责任。
3. 对于因使用本文档中的瑞萨电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，瑞萨电子不承担任何责任。本文档所记载的内容不应视为对瑞萨电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其它方式的许可及授权。
4. 用户不得更改、修改、复制或者以其他方式部分或全部地非法使用瑞萨电子的任何产品。对于用户或第三方因上述更改、修改、复制或以其他方式非法使用瑞萨电子产品的行为而遭受的任何损失，瑞萨电子不承担任何责任。
5. 瑞萨电子产品根据其质量等级分为两个等级：“标准等级”和“高质量等级”。每种瑞萨电子产品的推荐用途均取决于产品的质量等级，如下所示：

   标准等级： 计算机、办公设备、通讯设备、测试和测量设备、视听设备、家用电器、机械工具、个人电子设备以及工业机器人等。

   高质量等级： 运输设备（汽车、火车、轮船等）、交通控制系统、防灾系统、预防犯罪系统以及安全设备等。

   瑞萨电子产品无意用于且未被授权用于可能对人类生命造成直接威胁的产品或系统及可能造成人身伤害的产品或系统（人工生命维持装置或系统、植埋于体内的装置等）中，或者可能造成重大财产损失的产品或系统（核反应堆控制系统、军用设备等）中。在将每种瑞萨电子产品用于某种特定应用之前，用户应先确认其质量等级。不得将瑞萨电子产品用于超出其设计用途之外的任何应用。对于用户或第三方因将瑞萨电子产品用于其设计用途之外而遭受的任何损害或损失，瑞萨电子不承担任何责任。
6. 使用本文档中记载的瑞萨电子产品时，应在瑞萨电子指定的范围内，特别是在最大额定值、电源工作电压范围、移动电源电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用瑞萨电子产品而产生的故障或损失，瑞萨电子不承担任何责任。
7. 虽然瑞萨电子一直致力于提高瑞萨电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，瑞萨电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当瑞萨电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。由于难于对微机软件单独进行评估，所以请用户自行对最终产品或系统进行安全评估。
8. 关于环境保护方面的详细内容，例如每种瑞萨电子产品的环境兼容性等，请与瑞萨电子的营业部门联系。使用瑞萨电子产品时，请遵守对管制物质的使用或含量进行管理的所有相应法律法规（包括但不限于《欧盟 RoHS 指令》）。对于因用户未遵守相应法律法规而导致的损害或损失，瑞萨电子不承担任何责任。
9. 不可将瑞萨电子产品和技术用于或者嵌入日本国内或海外相应的法律法规所禁止生产、使用及销售的任何产品或系统中。也不可将本文档中记载的瑞萨电子产品或技术用于与军事应用或者军事用途有关的任何目的（如大规模杀伤性武器的开发等）。在将本文档中记载的瑞萨电子产品或技术进行出口时，应当遵守相应的出口管制法律法规，并按照上述法律法规所规定的程序进行。
10. 向第三方分销或处分产品或者以其他方式将产品置于第三方控制之下的瑞萨电子产品买方或分销商，有责任事先向上述第三方通知本文档规定的内容和条件；对于用户或第三方因非法使用瑞萨电子产品而遭受的任何损失，瑞萨电子不承担任何责任。
11. 在事先未得到瑞萨电子书面认可的情况下，不得以任何形式部分或全部转载或复制本文档。
12. 如果对本文档所记载的信息或瑞萨电子产品有任何疑问，或者用户有任何其他疑问，请向瑞萨电子的营业部门咨询。

（注 1） 瑞萨电子：在本文档中指瑞萨电子株式会社及其控股子公司。

（注 2） 瑞萨电子产品：指瑞萨电子开发或生产的任何产品。

（2012 年 4 月）

关于 CMOS 器件的注意事项

① 输入引脚处的施加电压波形

输入噪声或由反射波引起的波形失真可能导致故障发生。如果由于噪声等影响，使CMOS器件的输入电压范围处于在V_{IL}（MAX）和V_{IH}（MIN）之间，器件可能发生故障。在输入电平固定时以及输入电平从V_{IL}（MAX）到V_{IH}（MIN）的过渡期间，要谨防颤振噪声进入器件。

② 未使用的输入引脚的处理

CMOS器件上未连接的输入端可能是故障源。如果一个输入引脚未被连接，则由于噪声等原因可能会产生内部输入电平，从而导致故障。 CMOS器件的工作方式与双极性或NMOS器件不同。 CMOS器件的输入电平必须借助上拉或下拉电路固定于高电平或低电平。每一个未使用引脚只要有可能成为输出引脚时，都应该通过附加电阻连接到V_{DD}或GND。对未使用引脚的处理因器件而不同，必须遵循与器件相关的规格和说明。

③ ESD 防护措施

如果MOS器件周围有强电场，将会击穿氧化栅极，降低器件的工作性能。因此必须采取措施，尽可能防止静电产生。一旦有静电，必须立即释放。环境必须控制适当。如果空气干燥，应当使用加湿器。建议避免使用容易产生静电的绝缘体。半导体器件的存放和运输必须使用抗静电容器、静电屏蔽袋或导电材料包装。所有包括工作台和工作面的测试和测量工具必须良好接地。操作员应当佩戴手腕带以保证良好接地。不能用手直接接触半导体器件。对装配有半导体器件的PW板也应采取类似的静电防范措施。

④ 初始化之前的状态

上电并不一定定义MOS器件的初始状态。刚接通电源时，具有复位功能的MOS器件并没有被初始化。因此上电不能保证输出引脚的电平、输入/输出设置和寄存器的内容。器件在收到复位信号后才进行初始化。具有复位功能的器件在上电后必须立即进行复位操作。

⑤ 电源上电 / 断电序列

器件内部工作和外部接口使用不同电源的情况下，原则上应先在接通内部电源之后再接通外部电源。当关闭电源时，原则上先关闭外部电源再关闭内部电源。如果电源开关顺序相反，可能会对器件的内部元件施加电压，从而由于异常电流的流过而造成故障和降低元件的性能。
须视具体器件和支配器件的相关规格来单独决定正确的上电/断电序列。

⑥ 断电状态期间的信号输入

不要在器件断电时输入信号或输入/输出上拉电源。因为输入信号或提供输入/输出上拉电源将引起电流注入，从而引起器件的误操作，并且此时流过器件的异常电流引起内部元件性能劣化。
须视具体器件和支配器件的相关规格来单独决定断电状态期间的信号输入。

本手册的使用方法

对　象　本手册以理解 R7F0C001G/L、 R7F0C002G/L 的功能并且以设计和开发其应用系统和程序的用户工程师为对象。
对象产品如下：

- R7F0C001G2DFB
- R7F0C002G2DFB
- R7F0C001L2DFB
- R7F0C002L2DFB

目　的　本手册以帮助用户理解下述结构中所示的功能为目的。

构　成　R7F0C001G/L、 R7F0C002G/L 的手册分为用户手册硬件篇 （本手册）和用户手册软件篇 （RL78 族通用）共 2 本。

R7F0C001G/L、 R7F0C002G/L 用户手册	RL78 族 用户手册 软件篇
●引脚功能 ●内部块功能 ●中断 ●其他的内部外围功能 ●电特性	● CPU 功能 ●指令集 ●指令的说明

阅读方法　阅读本手册的读者应具备电气、逻辑电路以及微控制器的基础知识。

□ 要理解全部功能时
→ 请按照目录的顺序阅读本手册。
□ 寄存器格式的阅读方法
→ 关于方框 （□）内的位号，其位名称在 汇编程序中被定义为保留字，而在编译程序中被 #pragma sfr 指令定义为 sfr 变量。
□ 要详细了解 R7F0C001G/L、 R7F0C002G/L 的指令功能时
→ 请参照另一本手册 《RL78 family User's Manual: Software》（R01US0015E）。

凡　例

数据表示法：	左侧为高位，右侧为低位。
有效低电平表示法：	$\overline{\text{xxx}}$ （在引脚或者信号名称上标注上划线）
注：	正文中加 " 注 " 的说明
注意：	需要留心阅读的内容
备注：	正文的补充说明
数制表示法：	二进制 ..... XXXX 或者 XXXXB
	十进制 XXXX
	十六进制 ..... XXXXH

相关资料　相关资料中可能包括暂定版。但是，在以下资料中并未特别注明“暂定版”，请谅解。

产品的相关资料

资料名称	资料号
R7F0C001G/L、R7F0C002G/L 用户手册 硬件篇	本手册
RL78 family User's Manual: Software	R01US0015E

闪存编程器的相关资料（用户手册）

资料名称	资料号
PG-FP5 Flash Memory Programmer User's Manual	R20UT0008E

其他资料

资料名称	资料号
Renesas MPUs & MCUs RL78 Family	R01CP0003E
半导体封装安装手册	注
Quality Grades on NEC Semiconductor Devices	C11531E
Guide to Prevent Damage for Semiconductor Derices by Electrostatic Discharge (ESD)	C11892E
Semiconductor Reliability Handbook	R51ZZ0001E

注　请参阅“半导体封装安装手册”网页。
http://cn.renesas.com/products/package/manual/index.jsp

注意　上述相关资料的内容如有变更，恕不另行通知。设计等时请使用最新版本的资料。

所有商标及注册商标分别归属于其所有者。
本用户手册仅为参考译文，对应的日文版和英文版具有正式效力。
Windows、WindowsNT 以及 Windows XP 是美国 Microsoft Corporation 在美国以及其他国家的注册商标或者商标。
EEPROM 是瑞萨电子株式会社的注册商标。
SuperFlash 是美国 Silicon Storage Technology,Inc. 在美国以及日本等国的注册商标。

注意：本产品使用已获得 Silicon Storage Technology,Inc. 授权的 SuperFlash®。

目 录

第 1 章 概述 1
1.1 特点 1
1.2 产品型号一览表 3
1.3 引脚连接图 （俯视图） 4
1.3.1 48 引脚产品 4
1.3.2 64 引脚产品 5
1.4 引脚名称 6
1.5 框图 7
1.5.1 48 引脚产品 7
1.5.2 64 引脚产品 8
1.6 功能概要 9

第 2 章 引脚功能 11
2.1 端口功能 11
2.1.1 48 引脚产品 12
2.1.2 64 引脚产品 14
2.2 端口以外的功能 16
2.2.1 各产品的引脚 （端口以外的引脚） 16
2.2.2 功能说明 21
2.3 未使用引脚的处理 23
2.4 引脚框图 26

第 3 章 CPU 体系结构 37
3.1 存储空间 37
3.1.1 内部程序存储空间 40
3.1.2 镜像区 42
3.1.3 内部数据存储空间 43
3.1.4 特殊功能寄存器 （SFR：Special Function Register）的区域 44
3.1.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register）的区域 44
3.1.6 数据存储器的寻址 44
3.2 处理器的寄存器 46
3.2.1 控制寄存器 46
3.2.2 通用寄存器 48
3.2.3 ES 寄存器和 CS 寄存器 49
3.2.4 特殊功能寄存器 （SFR：Special Function Register） 50
3.2.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register） 55
3.3 指令地址的寻址 60
3.3.1 相对寻址 60
3.3.2 立即寻址 60
3.3.3 表间接寻址 61
3.3.4 寄存器直接寻址 61
3.4 处理数据地址的寻址 62
3.4.1 隐含寻址 62
3.4.2 寄存器寻址 62
3.4.3 直接寻址 63
3.4.4 短直接寻址 64
3.4.5 SFR 寻址 65
3.4.6 寄存器间接寻址 66
3.4.7 基址寻址 67

3.4.8 基址变址寻址 71
3.4.9 堆栈寻址 72

第 4 章 端口功能 76
4.1 端口功能 76
4.2 端口结构 76
4.2.1 端口 1 77
4.2.2 端口 2 77
4.2.3 端口 3 78
4.2.4 端口 4 78
4.2.5 端口 5 78
4.2.6 端口 6 78
4.2.7 端口 7 78
4.2.8 端口 12 79
4.2.9 端口 13 79
4.2.10 端口 14 79
4.3 控制端口功能的寄存器 80
4.3.1 端口模式寄存器 （PMxx） 83
4.3.2 端口寄存器 （Pxx） 84
4.3.3 上拉电阻选择寄存器 （PUxx） 85
4.3.4 端口输入模式寄存器 （PIM1） 86
4.3.5 端口输出模式寄存器 （POM1） 87
4.3.6 端口模式控制寄存器 （PMCxx） 88
4.3.7 A/D 端口配置寄存器 （ADPC） 89
4.3.8 外围 I/O 重定向寄存器 （PIOR） 90
4.3.9 LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4） 91
4.3.10 LCD 输入切换控制寄存器 （ISCLCD） 93
4.4 端口功能的运行 94
4.4.1 输入 / 输出端口的写操作 94
4.4.2 输入 / 输出端口的读操作 94
4.4.3 输入 / 输出端口的运算 94
4.4.4 和不同电位 （1.8V、 2.5V、 3V）外部器件的连接方法 94
4.4.5 不同电位 （1.8V、 2.5V、 3V）的输入 / 输出缓冲器对应 95
4.5 使用用复用功能时的寄存器设定 96
4.5.1 使用复用功能时的基本观点 96
4.5.2 不使用输出功能的复用功能的寄存器设定 97
4.5.3 使用的端口功能和复用功能的寄存器设定例子 97
4.6 使用端口功能时的注意事项 104
4.6.1 有关对端口寄存器 n （Pn）的 1 位操作指令的注意事项 104
4.6.2 设定设定的注意事项 104

第 5 章 时钟发生电路 105
5.1 时钟发生电路的功能 105
5.2 时钟发生电路的结构 107
5.3 控制时钟发生电路的寄存器 109
5.3.1 时钟运行模式控制寄存器 （CMC） 109
5.3.2 系统时钟控制寄存器 （CKC） 111
5.3.3 时钟运行状态控制寄存器 （CSC） 112
5.3.4 振荡稳定时间计数器状态寄存器 （OSTC） 113
5.3.5 振荡稳定时间选择寄存器 （OSTS） 115
5.3.6 外围允许寄存器 0 （PER0） 116
5.3.7 副系统时钟提供模式控制寄存器 （OSMC） 118

5.3.8 高速内部振荡器频率选择寄存器 （HOCODIV） 119
5.4 系统时钟振荡电路 120
5.4.1 X1 振荡电路 120
5.4.2 XT1 振荡电路 120
5.4.3 高速内部振荡器 124
5.4.4 低速内部振荡器 124
5.5 时钟发生电路的运行 125
5.6 时钟控制 127
5.6.1 高速内部振荡器的设定例子 127
5.6.2 X1 振荡电路的设定例子 129
5.6.3 XT1 振荡电路的设定例子 130
5.6.4 CPU 时钟的状态转移图 131
5.6.5 CPU 时钟转移前的条件和转移后的处理 136
5.6.6 切换 CPU 时钟和系统时钟所需要的时间 138
5.6.7 时钟振荡停止前的条件 139
5.7 谐振器和振荡电路常数 139

第 6 章 定时器阵列单元 142
6.1 定时器阵列单元的功能 144
6.1.1 独立通道运行功能 144
6.1.2 多通道联动运行功能 145
6.1.3 8 位定时器运行功能 （只限于通道 1 和通道 3） 146
6.2 定时器阵列单元的结构 147
6.2.1 定时器计数寄存器 mn （TCRmn） 152
6.2.2 定时器数据寄存器 mn （TDRmn） 153
6.3 控制定时器阵列单元的寄存器 154
6.3.1 外围允许寄存器 0 （PER0） 155
6.3.2 定时器时钟选择寄存器 m （TPSm） 156
6.3.3 定时器模式寄存器 mn （TMRmn） 159
6.3.4 定时器状态寄存器 mn （TSRmn） 164
6.3.5 定时器通道允许状态寄存器 m （TEm） 165
6.3.6 定时器通道开始寄存器 m （TSm） 166
6.3.7 定时器通道停止寄存器 m （TTm） 167
6.3.8 定时器输入选择寄存器 0 （TIS0） 168
6.3.9 定时器输出选择寄存器 （TOS） 168
6.3.10 定时器输出允许寄存器 m （TOEm） 169
6.3.11 定时器输出寄存器 m （TOm） 170
6.3.12 定时器输出电平寄存器 m （TOLm） 171
6.3.13 定时器输出模式寄存器 m （TOMm） 172
6.3.14 噪声滤波器允许寄存器 1 （NFEN1） 173
6.3.15 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14） 174
6.4 定时器阵列单元的基本规则 176
6.4.1 多通道联动运行功能的基本规则 176
6.4.2 8 位定时器运行功能的基本规则 （只限于通道 1 和通道 3） 178
6.5 计数器的运行 179
6.5.1 计数时钟 （f_{TCLK}） 179
6.5.2 计数器的开始时序 181
6.5.3 计数器的运行 182
6.6 通道输出 （TOmn 引脚）的控制 187
6.6.1 TOmn 引脚输出电路的结构 187
6.6.2 TOmn 引脚的输出设定 188
6.6.3 通道输出运行的注意事项 189

6.6.4 TOmn 位的一次性操作 193
6.6.5 有关开始计数时的定时器中断和 TOmn 引脚输出 194
6.7 定时器输入 （TImn）的控制 195
6.7.1 TImn 的输入电路结构 195
6.7.2 噪声滤波器 195
6.7.3 进行通道输入操作时的注意事项 196
6.8 定时器阵列单元的独立通道运行功能 197
6.8.1 作为间隔定时器 / 方波输出的运行 197
6.8.2 作为外部事件计数器的运行 202
6.8.3 作为分频器的运行 （只限于通道 0） 206
6.8.4 作为输入脉冲间隔测量的运行 210
6.8.5 作为输入信号高 / 低电平宽度测量的运行 214
6.8.6 作为延迟计数器的运行 218
6.9 定时器阵列单元的多通道联动运行功能 222
6.9.1 作为单触发脉冲输出功能的运行 222
6.9.2 作为 PWM 功能的运行 229
6.9.3 作为多重 PWM 输出功能的运行 236
6.9.4 遥控输出功能 243

第 7 章 实时时钟 246
7.1 实时时钟的功能 246
7.2 实时时钟的结构 246
7.3 控制实时时钟的寄存器 248
7.3.1 外围允许寄存器 0 （PER0） 249
7.3.2 副系统时钟提供模式控制寄存器 （OSMC） 250
7.3.3 实时时钟控制寄存器 0 （RTCC0） 251
7.3.4 实时时钟控制寄存器 1 （RTCC1） 252
7.3.5 秒计数寄存器 （SEC） 254
7.3.6 分钟计数寄存器 （MIN） 254
7.3.7 小时计数寄存器 （HOUR） 255
7.3.8 日计数寄存器 （DAY） 257
7.3.9 星期计数寄存器 （WEEK） 258
7.3.10 月计数寄存器 （MONTH） 259
7.3.11 年计数寄存器 （YEAR） 259
7.3.12 时钟误差校正寄存器 （SUBCUD） 260
7.3.13 闹钟分钟寄存器 （ALARMWM） 261
7.3.14 闹钟小时寄存器 （ALARMWH） 261
7.3.15 闹钟星期寄存器 （ALARMWW） 262
7.3.16 端口模式寄存器 3 （PM3） 262
7.3.17 端口寄存器 3 （P3） 263
7.4 实时时钟的运行 264
7.4.1 实时时钟的运行开始 264
7.4.2 开始运行后 HALT/STOP 模式的转移 265
7.4.3 实时时钟计数器的读写 266
7.4.4 实时时钟的闹钟设定 268
7.4.5 实时时钟的 1Hz 输出 269
7.4.6 实时时钟的时钟误差校正例子 270

第 8 章 12 位间隔定时器 273
8.1 12 位间隔定时器的功能 273
8.2 12 位间隔定时器的结构 273
8.3 控制 12 位间隔定时器的寄存器 274

8.3.1 外围允许寄存器 0 （PER0） 274
8.3.2 副系统时钟提供模式控制寄存器 （OSMC） 275
8.3.3 间隔定时器控制寄存器 （ITMC） 276
8.4 12 位间隔定时器的运行 277
8.4.1 12 位间隔定时器的运行时序 277
8.4.2 从 HALT/STOP 模式返回后计数器开始运行并且再次转移到 HALT/STOP 模式 278

第 9 章 时钟输出 / 蜂鸣器输出控制电路 279
9.1 时钟输出 / 蜂鸣器输出控制电路的功能 279
9.2 时钟输出 / 蜂鸣器输出控制电路的结构 280
9.3 控制时钟输出 / 蜂鸣器输出控制电路的寄存器 280
9.3.1 外围允许寄存器 0 （PER0） 280
9.3.2 时钟输出选择寄存器 n （CKSn） 281
9.3.3 端口模式寄存器 5、 14 （PM5、 PM14） 282
9.4 时钟输出 / 蜂鸣器输出控制电路的运行 283
9.4.1 输出引脚的运行 283
9.5 时钟输出 / 蜂鸣器输出控制电路的注意事项 283

第 10 章 看门狗定时器 284
10.1 看门狗定时器的功能 284
10.2 看门狗定时器的结构 285
10.3 控制看门狗定时器的寄存器 286
10.3.1 看门狗定时器允许寄存器 （WDTE） 286
10.4 看门狗定时器的运行 287
10.4.1 看门狗定时器的运行控制 287
10.4.2 看门狗定时器上溢时间的设定 288
10.4.3 看门狗定时器窗口打开期间的设定 289
10.4.4 看门狗定时器间隔中断的设定 290

第 11 章 A/D 转换器 291
11.1 A/D 转换器的功能 291
11.2 A/D 转换器的结构 293
11.3 A/D 转换器使用的寄存器 295
11.3.1 外围允许寄存器 0 （PER0） 296
11.3.2 A/D 转换器的模式寄存器 0 （ADM0） 297
11.3.3 A/D 转换器的模式寄存器 1 （ADM1） 305
11.3.4 A/D 转换器的模式寄存器 2 （ADM2） 306
11.3.5 10 位 A/D 转换结果寄存器 （ADCR） 308
11.3.6 8 位 A/D 转换结果寄存器 （ADCRH） 308
11.3.7 模拟输入通道指定寄存器 （ADS） 309
11.3.8 转换结果比较上限值设定寄存器 （ADUL） 310
11.3.9 转换结果比较下限值设定寄存器 （ADLL） 310
11.3.10 A/D 测试寄存器 （ADTES） 311
11.3.11 模拟输入引脚的端口功能控制寄存器 311
11.4 A/D 转换器的转换运行 312
11.5 输入电压和转换结果 314
11.6 A/D 转换器的运行模式 315
11.6.1 软件触发模式 （连续转换模式） 315
11.6.2 软件触发模式 （单次转换模式） 316
11.6.3 硬件触发无等待模式 （连续转换模式） 317
11.6.4 硬件触发无等待模式 （单次转换模式） 318
11.6.5 硬件触发等待模式 （连续转换模式） 319

11.6.6 硬件触发等待模式 （单次转换模式） 320
11.7 A/D 转换器的设定流程图 321
11.7.1 软件触发模式的设定 321
11.7.2 硬件触发无等待模式的设定 322
11.7.3 硬件触发等待模式的设定 323
11.7.4 选择温度传感器输出电压 / 内部基准电压时的设定
（以软件触发模式、单次转换模式为例） 324
11.7.5 测试模式的设定 325
11.8 SNOOZE 模式功能 326
11.9 A/D 转换器特性表的阅读方法 329
11.10 A/D 转换器的注意事项 332

第 12 章 串行阵列单元 336
12.1 串行阵列单元的功能 336
12.1.1 3 线串行 I/O （CSI00、 CSI01） 336
12.1.2 UART （UART0） 337
12.2 串行阵列单元的结构 338
12.2.1 移位寄存器 339
12.2.2 串行数据寄存器 mn （SDRmn）的低 9 位 340
12.3 控制串行阵列单元的寄存器 341
12.3.1 外围允许寄存器 0 （PER0） 342
12.3.2 串行时钟选择寄存器 m （SPSm） 343
12.3.3 串行模式寄存器 mn （SMRmn） 344
12.3.4 串行通信运行设定寄存器 mn （SCRmn） 345
12.3.5 串行数据寄存器 mn （SDRmn）的高 7 位 348
12.3.6 串行标志清除触发寄存器 mn （SIRmn） 349
12.3.7 串行状态寄存器 mn （SSRmn） 350
12.3.8 串行通道开始寄存器 m （SSm） 352
12.3.9 串行通道停止寄存器 m （STm） 353
12.3.10 串行通道允许状态寄存器 m （SEm） 354
12.3.11 串行输出允许寄存器 m （SOEm） 355
12.3.12 串行输出寄存器 m （SOm） 356
12.3.13 串行输出电平寄存器 m （SOLm） 357
12.3.14 串行待机控制寄存器 m （SSCm） 358
12.3.15 噪声滤波器允许寄存器 0 （NFEN0） 359
12.3.16 串行输入 / 输出引脚的端口功能控制寄存器 360
12.4 运行停止模式 361
12.4.1 以单元为单位停止运行的情况 361
12.4.2 按通道停止运行的情况 362
12.5 3 线串行 I/O （CSI00、 CSI01）通信的运行 363
12.5.1 主控发送 364
12.5.2 主控接收 372
12.5.3 主控的发送和接收 380
12.5.4 从属发送 388
12.5.5 从属接收 396
12.5.6 从属发送和接收 402
12.5.7 SNOOZE 模式功能 410
12.5.8 传送时钟频率的计算 414
12.5.9 在 3 线串行 I/O （CSI00、 CSI01）通信过程中发生错误时的处理步骤 416
12.6 UART （UART0）通信的运行 417
12.6.1 UART 发送 418

12.6.2 UART 接收 427
12.6.3 SNOOZE 模式功能 434
12.6.4 波特率的计算 442
12.6.5 UART （UART0）通信过程中发生错误时的处理步骤 446

第 13 章 LCD 控制器 / 驱动器 447
13.1 LCD 控制器 / 驱动器的功能 448
13.2 LCD 控制器 / 驱动器的结构 450
13.3 控制 LCD 控制器 / 驱动器的寄存器 452
13.3.1 外围允许寄存器 0 （PER0） 453
13.3.2 LCD 模式寄存器 0 （LCDM0） 454
13.3.3 LCD 模式寄存器 1 （LCDM1） 456
13.3.4 副系统时钟提供模式控制寄存器 （OSMC） 458
13.3.5 LCD 时钟控制寄存器 0 （LCDC0） 459
13.3.6 LCD 升压电平控制寄存器 （VLCD） 461
13.3.7 LCD 输入切换控制寄存器 （ISCLCD） 462
13.3.8 LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4） 464
13.3.9 端口模式寄存器 1、 3 ～ 7、 12、 14 （PM1、 PM3 ～ PM7、 PM12、 PM14） 468
13.4 LCD 显示数据寄存器 469
13.5 LCD 显示寄存器的选择 472
13.5.1 A 图形区和 B 图形区的数据显示 472
13.5.2 闪烁显示 （A 图形区和 B 图形区的数据的交替显示） 473
13.6 LCD 控制器 / 驱动器的设定 474
13.7 运行停止步骤 477
13.8 LCD 驱动电压 VL1、 VL2、 VL3、 VL4 的提供 478
13.8.1 外部电阻分割方式 478
13.8.2 内部升压方式 479
13.8.3 电容分割方式 480
13.9 公共信号和段信号 481
13.10 显示模式 487
13.10.1 静态显示例子 487
13.10.2 2 个时间片的显示例子 490
13.10.3 3 个时间片的显示例子 493
13.10.4 4 个时间片的显示例子 497
13.10.5 8 个时间片的显示例子 501

第 14 章 中断功能 505
14.1 中断功能的种类 505
14.2 中断源和结构 505
14.3 控制中断功能的寄存器 510
14.3.1 中断请求标志寄存器 （IF0L、 IF0H、 IF1L、 IF1H、 IF2L） 511
14.3.2 中断屏蔽标志寄存器 （MK0L、 MK0H、 MK1L、 MK1H、 MK2L） 513
14.3.3 优先级指定标志寄存器 （PR00L、 PR00H、 PR01L、 PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H、 PR12L） 514
14.3.4 外部中断上升沿允许寄存器 （EGP0）和外部中断下降沿允许寄存器 （EGN0） 516
14.3.5 程序状态字 （PSW） 517
14.4 中断处理的操作 518
14.4.1 可屏蔽中断请求的接受 518
14.4.2 软件中断请求接受 520
14.4.3 多重中断处理 520
14.4.4 中断请求的保留 524

第 15 章　键中断功能 525
15.1　键中断的功能 525
15.2　键中断的结构 525
15.3　控制键中断的寄存器 526
15.3.1　键返回控制寄存器 （KRCTL） 526
15.3.2　键返回模式寄存器 0 （KRM0） 527
15.3.3　键返回标志寄存器 （KRF） 527
15.3.4　端口模式寄存器 3、 7 （PM3、 PM7） 528
15.4　键中断功能的运行 529
15.4.1　不使用键中断标志的情况 （KRMD=0） 529
15.4.2　使用键中断标志的情况 （KRMD=1） 530

第 16 章　待机功能 532
16.1　待机功能和结构 532
16.2　控制待机功能的寄存器 533
16.3　待机功能的运行 533
16.3.1　HALT 模式 533
16.3.2　STOP 模式 538
16.3.3　SNOOZE 模式 543

第 17 章　复位功能 545
17.1　复位运行的时序 547
17.2　复位期间的运行状态 549
17.3　确认复位源的寄存器 551
17.3.1　复位控制标志寄存器 （RESF） 551

第 18 章　上电复位电路 554
18.1　上电复位电路的功能 554
18.2　上电复位电路的结构 555
18.3　上电复位电路的运行 555

第 19 章　电压检测电路 559
19.1　电压检测电路的功能 559
19.2　电压检测电路的结构 560
19.3　控制电压检测电路的寄存器 561
19.3.1　电压检测寄存器 （LVIM） 561
19.3.2　电压检测电平寄存器 （LVIS） 562
19.4　电压检测电路的运行 565
19.4.1　用作复位模式时的设定 565
19.4.2　用作中断模式时的设定 567
19.4.3　用作中断 & 复位模式时的设定 569
19.5　电压检测电路的注意事项 574

第 20 章　安全功能 576
20.1　安全功能的概要 576
20.2　安全功能使用的寄存器 577
20.3　安全功能的运行 577
20.3.1　闪存 CRC 运算功能 （高速 CRC） 577
20.3.2　CRC 运算功能 （通用 CRC） 580
20.3.3　RAM 奇偶校验错误检测功能 582
20.3.4　RAM 保护功能 583
20.3.5　SFR 保护功能 584
20.3.6　非法存储器存取检测功能 585

20.3.7 频率检测功能 587
20.3.8 A/D 测试功能 589

第 21 章 稳压器 592
21.1 稳压器的概要 592

第 22 章 选项字节 593
22.1 选项字节的功能 593
22.1.1 用户选项字节 （000C0H ～ 000C2H） 593
22.1.2 片上调试选项字节 （000C3H） 594
22.2 用户选项字节的格式 595
22.3 片上调试选项字节的格式 599
22.4 选项字节的设定 600

第 23 章 闪存 601
23.1 使用闪存编程器的编程方法 603
23.1.1 编程环境 605
23.1.2 通信方式 605
23.2 使用外部器件 （内置 UART）的编程方法 606
23.2.1 编程环境 606
23.2.2 通信方式 607
23.3 电路板上的引脚处理 608
23.3.1 P40/TOOL0 引脚 608
23.3.2 RESET 引脚 608
23.3.3 端口引脚 609
23.3.4 REGC 引脚 609
23.3.5 X1 引脚和 X2 引脚 609
23.3.6 电源 609
23.4 串行编程方法 610
23.4.1 串行编程步骤 610
23.4.2 闪存编程模式 610
23.4.3 通信模式 612
23.4.4 通信命令 612
23.5 使用 PG-FP5 时的各命令处理时间 （参考值） 614
23.6 自编程 614
23.6.1 自编程步骤 615
23.6.2 闪存屏蔽窗口功能 616
23.7 安全设定 617
23.8 数据闪存 619
23.8.1 数据闪存的概要 619
23.8.2 数据闪存的控制寄存器 619
23.8.3 数据闪存的存取步骤 620

第 24 章 片上调试功能 621
24.1 E1 片上调试仿真器和 R7F0C001G/L、 R7F0C002G/L 的连接 621
24.2 片上调试安全 ID 622
24.3 用户资源的确保 622

第 25 章 十进制校正 （BCD）电路 624
25.1 十进制校正电路的功能 624
25.2 十进制校正电路使用的寄存器 624
25.3 十进制校正电路的运行 625

第 26 章　指令集的概要 627
26.1　凡例 627
26.1.1　操作数的表现形式和记述方法 627
26.1.2　操作栏的说明 628
26.1.3　标志栏的说明 629
26.1.4　PREFIX 指令 629
26.2　操作一览表 630

第 27 章　电特性 647
27.1　绝对最大额定值 647
27.2　振荡电路特性 650
27.2.1　X1、XT1 振荡电路特性 650
27.2.2　内部振荡器特性 651
27.3　DC 特性 652
27.3.1　引脚特性 652
27.3.2　电源电流特性 657
27.4　AC 特性 663
27.4.1　基本运行 663
27.5　外围功能特性 667
27.5.1　串行阵列单元 667
27.6　模拟特性 686
27.6.1　A/D 转换器特性 686
27.6.2　温度传感器 / 内部基准电压特性 689
27.6.3　POR 电路特性 690
27.6.4　LVD 电路特性 691
27.6.5　电源电压上升时间 692
27.7　LCD 特性 693
27.7.1　外部电阻分割方式 693
27.7.2　内部升压方式 694
27.7.3　电容分割方式 696
27.8　STOP 模式中的数据存储器的低电源电压数据保持特性 697
27.9　闪存编程特性 697
27.10　专用闪存编程器通信 （UART） 697
27.11　闪存编程模式的转移时序 698

第 28 章　封装尺寸图 699
28.1　48 引脚产品 699
28.2　64 引脚产品 700

附录 A　修订记录 701

第 1 章　概述

1.1　特点

超低功耗科技

- V_{DD}=1.6～5.5V的单电源、能以1.8V的低电压运行。
- HALT模式
- STOP模式
- SNOOZE模式

RL78 CPU 内核

- 3段流水线的CISC哈佛体系结构
- 最短指令执行时间：能在高速 （0.04167μs：以高速内部振荡器时钟24MHz运行时）到超低速（30.5μs：以副系统时钟32.768kHz运行时）之间变换。
- 地址空间：1M字节
- 通用寄存器：8位寄存器×8×4组
- 内部RAM：1/1.5KB

代码闪存

- 代码闪存：16/32KB
- 块大小：1KB
- 禁止块擦除、改写 （安全功能）
- 内置片上调试功能
- 自编程：具有闪存屏蔽窗口功能

数据闪存

- 数据闪存：2KB
- 能执行后台操作 （BGO）以及能在改写数据闪存期间执行程序存储器中的指令
- 改写次数：1000000次 （TYP.）
- 改写电压：V_{DD}=1.8～5.5V

高速内部振荡器

- 可从24MHz/16MHz/12MHz/8MHz/6MHz/4MHz/3MHz/2MHz/1MHz中选择
- 高精度±1.0% （V_{DD}=1.8～5.5V、 T_A=-20～+85°C）

工作环境温度

- T_A=-40～+85°C

电源管理和复位功能

- 内置上电复位 （POR）电路
- 内置电压检测 （LVD）电路 （从14种中选择中断和复位）

LCD 控制器 / 驱动器 （可进行内部升压 / 电容分割 / 外部电阻分割的切换）

- 段信号输出：39 （35）注个～26 （22）注个
- 公共信号输出：4 （8）注个

注　（）内为使用 8 COM 时的信号输出个数。

串行接口

- CSI： 2个通道
- UART：1个通道

定时器

- 16位定时器： 6个通道
- 12位间隔定时器：1个通道
- 实时时钟： 1个通道 （99年日历、闹钟功能、时钟校正功能）
- 看门狗定时器： 1个通道 （能以专用低速内部振荡器时钟运行）

A/D转换器

- 8/10位分辨率A/D转换器 （V_{DD}=1.6～5.5V）
- 模拟输入：9～10个通道
- 内部基准电压 （1.45V）和内置温度传感器注

输入 / 输出端口

- I/O端口：33～47个 （N沟道漏极开路输入/输出[EV_{DD}耐压]：2个）
- 能进行N沟道漏极开路、 TTL输入缓冲、内部上拉的切换
- 能与不同电位 （1.8/2.5/3V）运行的器件连接
- 内置键中断功能
- 内置时钟输出/蜂鸣器输出控制电路

其他

- 内置十进制校正 （BCD）电路

注 只能选择 HS （高速主）模式。

○ ROM、 RAM容量

闪存 ROM	数据闪存	RAM	48 引脚	64 引脚
32KB	2KB	1.5KB 注	R7F0C002G	R7F0C002L
16KB	2KB	1KB 注	R7F0C001G	R7F0C001L

注 如果在 1K 字节、 1.5K 字节时使用自编程功能或者数据闪存功能，为 630 字节 （详细内容请参照 “ 第 3 章 CPU 体系结构 ”）。

备注 配置的功能因产品而不同。请参照 “1.6 功能概要 ”。

1.2 产品型号一览表

图 1-1 R7F0C001G/L、 R7F0C002G/L 的型号、存储容量和封装

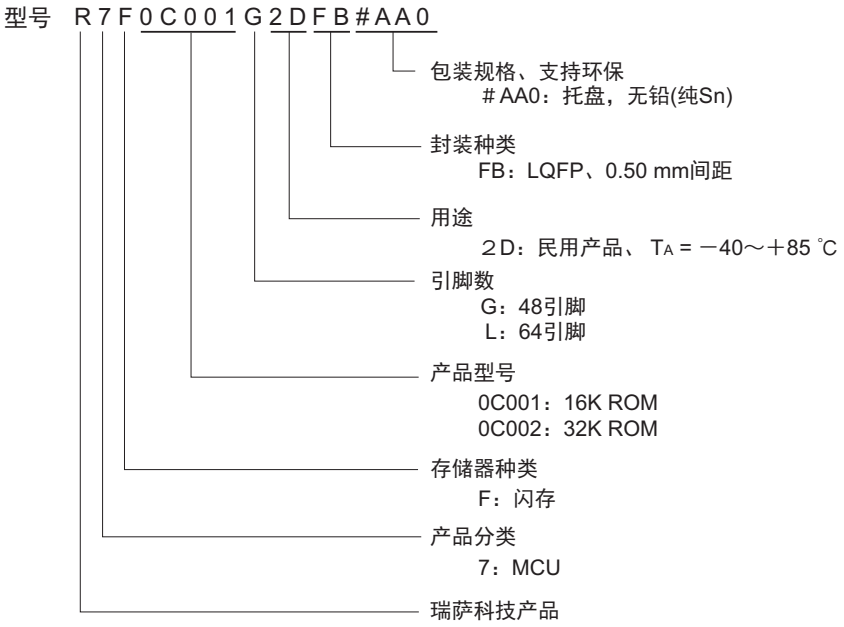


表 1-1 订购型号一览表

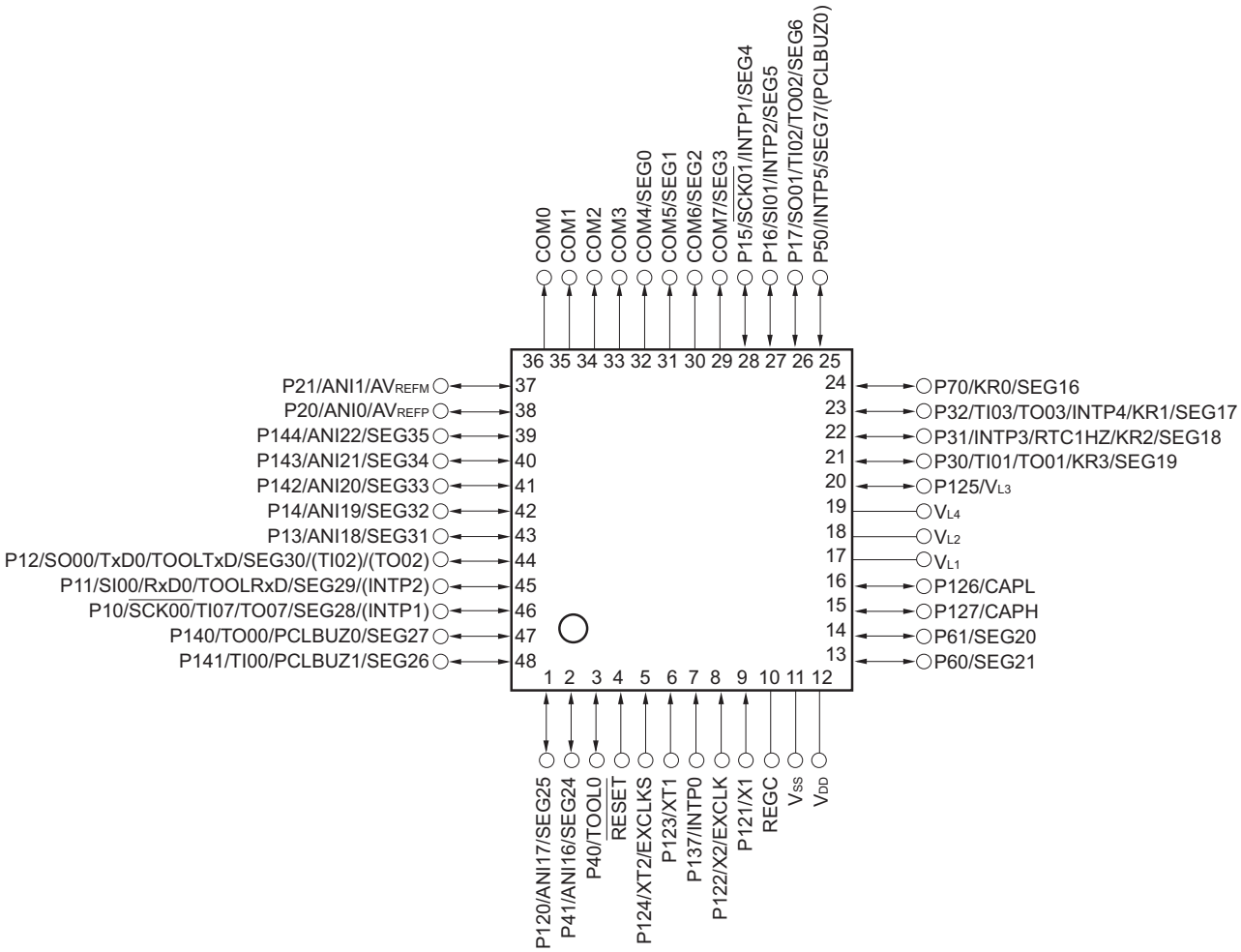
引脚数	封装	闪存 ROM	数据闪存	包装规格、支持环保	订购型号
64	64 引脚塑封 LQFP（细间距）（10×10）	32KB	2KB	托盘、无铅 （纯 Sn）	R7F0C002L2DFB#AA0
		16KB			R7F0C001L2DFB#AA0
48	48 引脚塑封 LQFP（细间距）（7×7）	32KB			R7F0C002G2DFB#AA0
		16KB			R7F0C001G2DFB#AA0

注意 R7F0C001G/L、 R7F0C002G/L 内置用于开发和评估的片上调试功能。如果使用片上调试功能，就可能会超过闪存的保证改写次数而无法保证产品的可靠性，因此批量生产的产品不能使用片上调试功能。对于使用片上调试功能的产品，不作为投诉的受理对象。

1.3 引脚连接图 （俯视图）

1.3.1 48 引脚产品

- 48 引脚塑封 LQFP （细间距）（7×7）



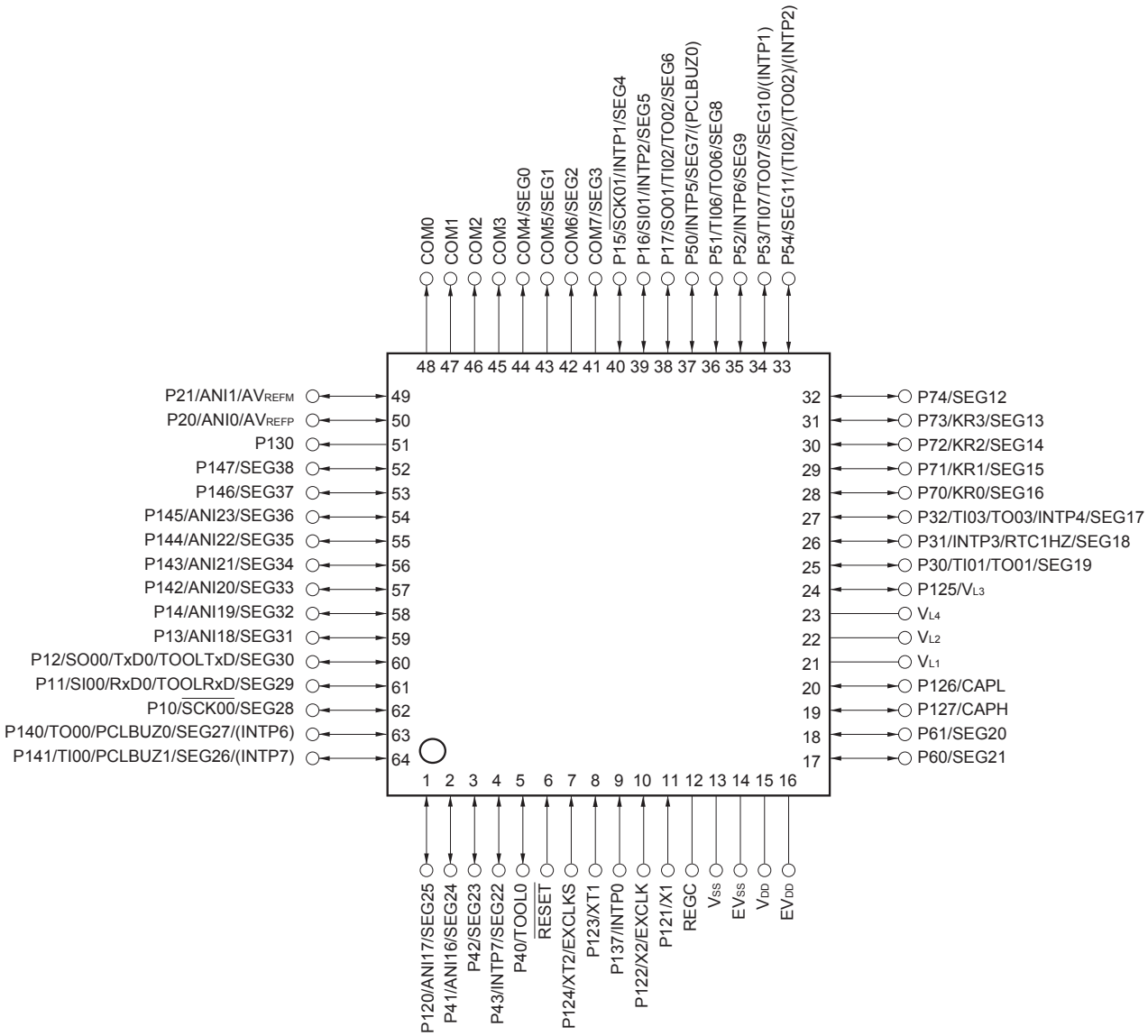
注意 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚连接 V_{SS}。

备注 1. 有关引脚名称，请参照 “1.4 引脚名称 ”。

2. 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。详细内容请参照 “ 图 4-8 外围 I/O 重定向寄存器 （PIOR）的格式 ”。

1.3.2 64 引脚产品

- 64 引脚塑封 LQFP （细间距）（10×10）



注意 1. EV_{SS} 引脚和 V_{SS} 引脚必须同电位。

2. V_{DD} 引脚和 EV_{DD} 引脚必须同电位。

3. 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚连接 V_{SS}。

备注 1. 有关引脚名称，请参照 “1.4 引脚名称 ”。

2. 在需要降低从单片机内部产生的噪声的应用领域中使用时，建议采取单独给 V_{DD} 和 EV_{DD} 提供电源，并且将 V_{SS} 和 EV_{ss} 分别接地等噪声对策。

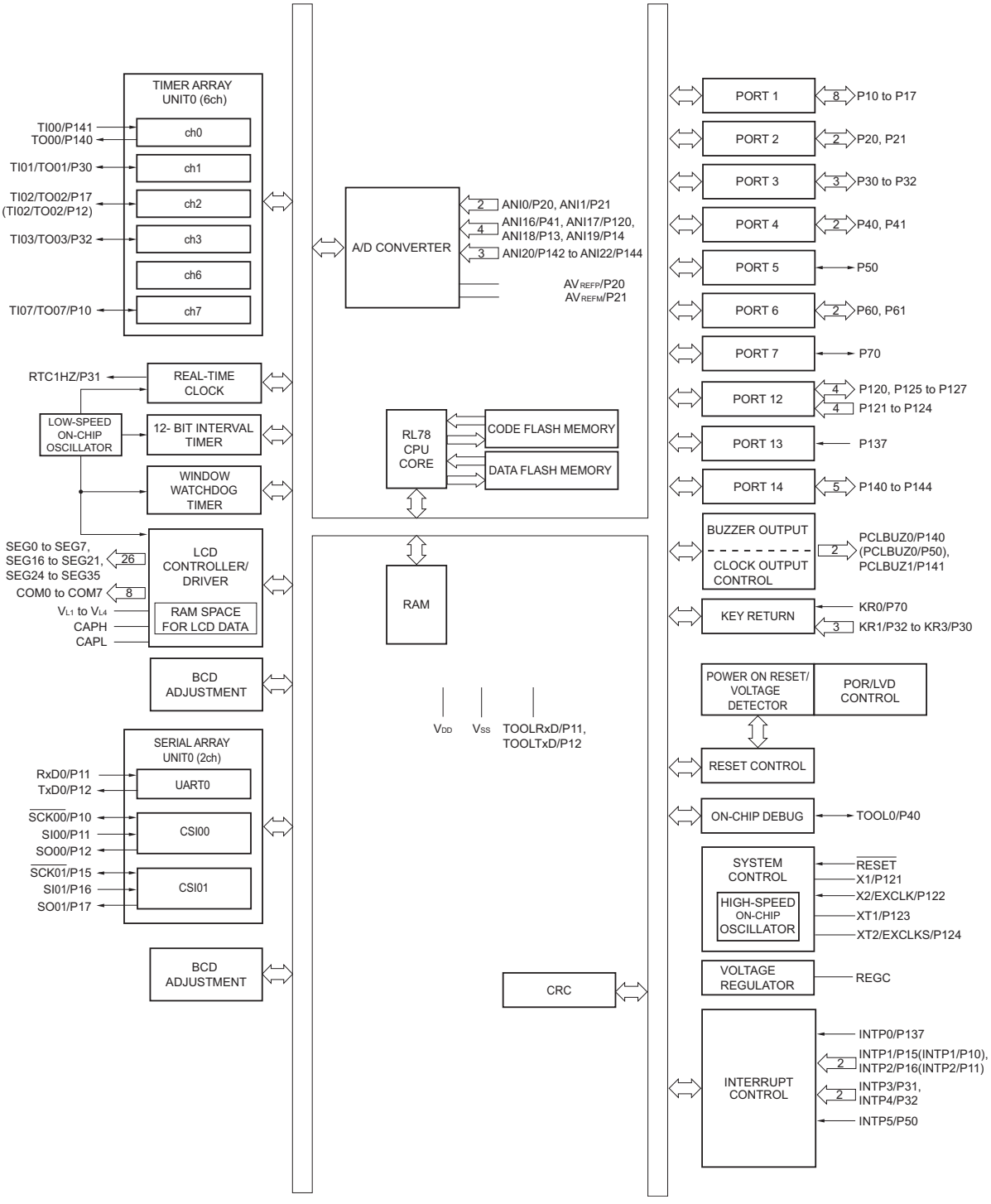
3. 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。详细内容请参照 “ 图 4-8 外围 I/O 重定向寄存器 （PIOR）的格式 ”。

1.4 引脚名称

ANI0、 ANI1、 ANI16 to ANI23:	Analog Input	P130、 P137:	Port 13
		P140 to P147:	Port 14
AV_{REFM}:	Analog Reference Voltage Minus	PCLBUZ0、 PCLBUZ1:	Programmable Clock Output/Buzzer Output
AV_{REFP}:	Analog Reference Voltage Plus	REGC:	Regulator Capacitance
		$\overline{RESET}$:	Reset
CAPH、 CAPL:	Capacitor for LCD	RTC1HZ:	Real-time Clock Correction Clock (1Hz) Output
COM0 to COM7、		RxD0:	Receive Data
EV_{DD}:	Power Supply for Port	$\overline{SCK00}$、 $\overline{SCK01}$:	Serial Clock Input/Output
EV_{SS}:	Ground for Port	SEG0 to SEG38:	LCD Segment Output
EXCLK	External Clock Input (Main System Clock)	SI00、 SI01:	Serial Data Input
		SO00、 SO01:	Serial Data Output
EXCLKS:	External Clock Input (Subsystem Clock)	TI00 to TI03、 TI06、 TI07:	Timer Input
INTP0 to INTP7:	Interrupt Request From Peripheral	TO00 to TO03、 TO06、 TO07:	Timer Output
KR0 to KR3:	Key Return	TOOL0:	Data Input/Output for Tool
P10 to P17:	Port 1	TOOLRxD、 TOOLTxD:	Data Input/Output for External Device
P20、 P21:	Port 2		
P30 to P32:	Port 3	TxD0:	Transmit Data
P40 to P43:	Port 4	V_{DD}:	Power Supply
P50 to P54:	Port 5	V_{L1} to V_{L4}:	LCD Power Supply
P60、 P61:	Port 6	V_{SS}:	Ground
P70 to P74:	Port 7	X1、 X2:	Crystal Oscillator (Main System Clock)
P120 to P127:	Port 12	XT1、 XT2:	Crystal Oscillator (Subsystem Clock)

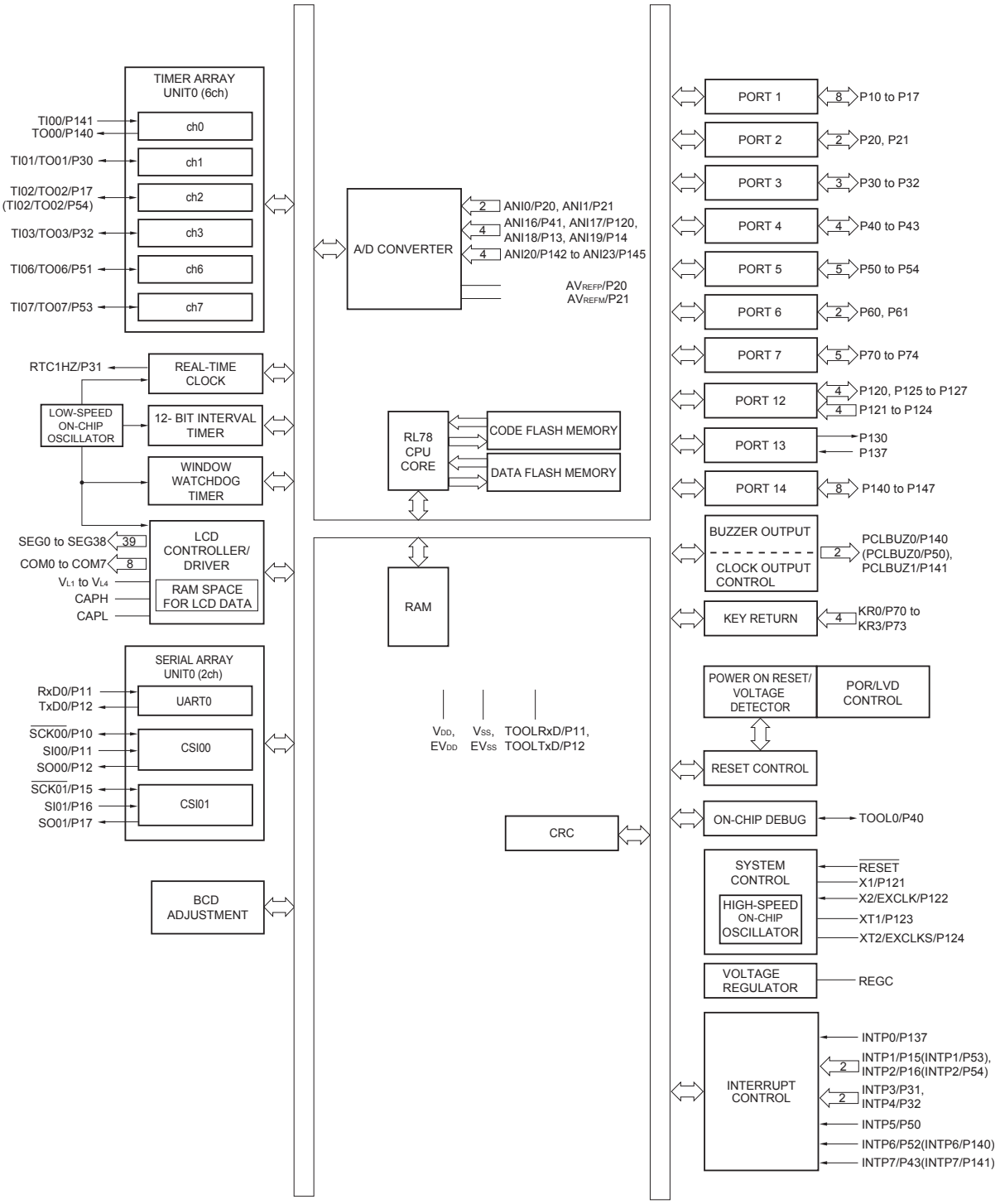
1.5 框图

1.5.1 48 引脚产品



備注 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。

1.5.2 64 引脚产品



备注 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。

1.6 功能概要

注意 这是将外围 I/O 重定向寄存器 （PIOR）置 “00H” 时的功能概要。

(1/2)

项目		48 引脚		64 引脚	
		R7F0C001G	R7F0C002G	R7F0C001L	R7F0C002L
代码闪存		16KB	32KB	16KB	32KB
数据闪存		2KB	2KB	2KB	2KB
RAM		1KB 注 1	1.5KB 注 1	1KB 注 1	1.5KB 注 1
存储空间		1M 字节			
主系统时钟	高速系统时钟	X1 （晶体 / 陶瓷）振荡、外部主系统时钟输入 （EXCLK） 1 ～ 20MHz：V_{DD}=2.7 ～ 5.5V、1 ～ 8MHz：V_{DD}=1.8 ～ 2.7V、1 ～ 4MHz：V_{DD}=1.6 ～ 1.8V			
	高速内部振荡器时钟	HS （高速主）模式：1 ～ 24MHz （V_{DD}=2.7 ～ 5.5V）， HS （高速主）模式：1 ～ 16MHz （V_{DD}=2.4 ～ 5.5V）， LS （低速主）模式：1 ～ 8MHz （V_{DD}=1.8 ～ 5.5V）， LV （低电压主）模式：1 ～ 4MHz （V_{DD}=1.6 ～ 5.5V）			
副系统时钟		XT1 （晶体）振荡、外部副系统时钟输入 （EXCLKS） 32.768kHz （TYP.）：V_{DD}=1.6 ～ 5.5V			
低速内部振荡器时钟		内部振荡 15kHz （TYP.）：V_{DD}=1.6 ～ 5.5V			
通用寄存器		8 位 ×32 个寄存器 （8 位 ×8 个寄存器 ×4 组）			
最短指令执行时间		0.04167μs （高速内部振荡器时钟：f_{IH}=24MHz 运行时）			
		0.05μs （高速系统时钟：f_{MX}=20MHz 运行时）			
		30.5μs （副系统时钟：f_{SUB}=32.768kHz 运行时）			
指令集		• 数据传送 （8/16 位） • 加减 / 逻辑运算 （8/16 位） • 乘法运算 （8 位 ×8 位） • 循环、桶式移位、位操作 （置位、复位、测试和布尔运算）等			
I/O 端口	合计	33		47	
	CMOS 输入 / 输出	26		39	
	CMOS 输入	5		5	
	CMOS 输出	—		1	
	N沟道漏极开路输入 / 输出 （EV_{DD} 耐压）	2		2	
定时器	16 位定时器	6 个通道 （遥控输出功能有 1 个通道）			
	看门狗定时器	1 个通道			
	实时时钟（RTC）	1 个通道			
	12 位间隔定时器（IT）	1 个通道			
	定时器输出	5 个 （PWM 输出：4 个注 2）		6 个 （PWM 输出：5 个注 2）	
	RTC 输出	1 个 • 1Hz （副系统时钟：f_{SUB}=32.768kHz）			

注 1. 使用自编程功能和数据闪存功能时，为 630 字节 （详细内容请参照 “ 第 3 章 CPU 体系结构 ”）。

2. 输出个数因主控个数和所用通道的设定而变 （参照 “6.9.3 作为多重 PWM 输出功能的运行 ”）。

(2/2)

项目		48 引脚		64 引脚	
		R7F0C001G	R7F0C002G	R7F0C001L	R7F0C002L
时钟输出 / 蜂鸣器输出		2 个			
		• 2.44kHz、 4.88kHz、 9.76kHz、 1.25MHz、 2.5MHz、 5MHz、 10MHz （主系统时钟：f_{MAIN}=20MHz 运行时） • 256Hz、 512Hz、 1.024kHz、 2.048kHz、 4.096kHz、 8.192kHz、 16.384kHz、 32.768kHz （副系统时钟：f_{SUB}=32.768kHz 运行时）			
8/10 位分辨率 A/D 转换器		9 个通道		10 个通道	
串行接口		• CSI：2 个通道 /UART：1 个通道			
LCD 控制器 / 驱动器		能进行内部升压、电容分割、外部电阻分割的切换。			
	段信号输出	26 （22）个注 1		39 （35）个注 1	
	公共信号输出	4 （8）个注 1			
向量中断源	内部	16		16	
	外部	7		9	
键中断		4			
复位		• 通过 $\overline{\text{RESET}}$ 引脚进行的复位 • 通过看门狗定时器进行的内部复位 • 通过上电复位进行的内部复位 • 通过电压检测电路进行的内部复位 • 因执行非法指令而产生的内部复位注 2 • 因 RAM 奇偶校验错误而产生的内部复位 • 因存取非法存储器而产生的内部复位			
上电复位电路		• 上电复位：1.51±0.04V • 断电复位：1.50±0.04V			
电压检测电路		• 上升：1.67V ～ 4.06V （14 种） • 下降：1.63V ～ 3.98V （14 种）			
片上调试功能		有			
电源电压		V_{DD}=1.6 ～ 5.5V			
工作环境温度		T_A=–40 ～ +85°C			

注 1. （）内是使用 8 com 时的信号输出个数。

2. 当执行指令码 FFH 时，发生非法指令错误。
在通过在线内仿真器或者片上调试仿真器进行仿真时，不会因执行非法指令而产生复位。

第 2 章 引脚功能

2.1 端口功能

引脚的输入 / 输出缓冲器电源因产品而不同，各电源和引脚的关系如下所示。

表 2-1 各引脚的输入 / 输出缓冲器电源

(1) 48 引脚产品

电源	对应的引脚
V_{DD}	全部引脚

(2) 64 引脚产品

电源	对应的引脚
EV_{DD}	• P20、 P21、 P121 ～ P124 和 P137 以外的端口引脚
V_{DD}	• P20、 P21、 P121 ～ P124、 P137 • $\overline{\text{RESET}}$ 引脚和 REGC 引脚

各端口设定的输入 / 输出、缓冲器和上拉电阻也对复用功能有效。

2.1.1 48 引脚产品

(1/2)

功能名称	引脚类型	输入 / 输出	复位后	复用功能	功能
P10	8-5-7	输入 / 输出	数字输入无效	$\overline{SCK00}$/TI07/TO07/SEG28/(INTP1)	端口 1 8 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P10、 P11、 P15 和 P16 的输入能设定为 TTL 输入缓冲。 P10、P12、P15 和 P17 的输出能设定为 N 沟道漏极开路输出 （V_{DD} 耐压）。 P13 和 P14 能设定为模拟输入注 1。
P11	8-5-1			SI00/RxD0/TOOLRxD/SEG29/(INTP2)	
P12	7-5-7			SO00/TxD0/TOOLTxD/SEG30/(TI02)/(TO02)	
P13	7-10-1		模拟输入端口	ANI18/SEG31	
P14				ANI19/SEG32	
P15	8-5-7		数字输入无效	$\overline{SCK01}$/INTP1/SEG4	
P16	8-5-1			SI01/INTP2/SEG5	
P17	7-5-7			SO01/TI02/TO02/SEG6	
P20	4-3-1	输入 / 输出	模拟输入端口	ANI0/AV_{REFP}	端口 2 2 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 能设定为模拟输入注 2。
P21				ANI1/AV_{REFM}	
P30	7-5-1	输入 / 输出	数字输入无效	TI01/TO01/KR3/SEG19	端口 3 3 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P31				INTP3/RTC1HZ/KR2/SEG18	
P32				TI03/TO03/INTP4/KR1/SEG17	
P40	7-1-1	输入 / 输出	输入端口	TOOL0	端口 4 2 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P41 能设定为模拟输入注 1。
P41	7-10-1		模拟输入端口	ANI16/SEG24	

注 1. 当将各引脚用作输入时，必须通过端口模式控制寄存器 x（PMCx）设定数字或者模拟（能以 1 位为单位进行设定）。
2. 通过 A/D 端口配置寄存器 （ADPC）将各引脚设定为数字或者模拟。

备注 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。详细内容请参照 “ 图 4-8 外围 I/O 重定向寄存器 （PIOR）的格式 ”。

(2/2)

功能名称	引脚类型	输入 / 输出	复位后	复用功能	功能
P50	7-5-1	输入 / 输出	数字输入无效	INTP5/SEG7/(PCLBUZ0)	端口 5 1 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P60	12-1-4	输入 / 输出	数字输入无效	SEG21	端口 6 2 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。
P61				SEG20	
P70	7-5-1	输入 / 输出	数字输入无效	KR0/SEG16	端口 7 1 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P120	7-10-1	输入 / 输出	模拟输入端口	ANI17/SEG25	端口 12 4 位输入 / 输出端口和 4 位输入端口 P120 和 P125 ～ P127 能以 1 位为单位指定输入或者输出。 输入端口时，P120 和 P125 ～ P127 能通过软件的设定使用内部上拉电阻。 P120 能设定为模拟输入注。
P121	2-2-1	输入	输入端口	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	8-5-3	输入 / 输出	数字输入无效	V_{L3}	
P126	8-5-2			CAPL	
P127				CAPH	
P137	2-1-2	输入	输入端口	INTP0	端口 13 1 位输入专用端口
P140	7-5-1	输入 / 输出	数字输入无效	TO00/PCLBUZ0/SEG27	端口 14 5 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P142 ～ P144 能设定为模拟输入注。
P141				TI00/PCLBUZ1/SEG26	
P142	7-10-1		模拟输入端口	ANI20/SEG33	
P143				ANI21/SEG34	
P144				ANI22/SEG35	

注 当将各引脚用作输入时，必须通过端口模式控制寄存器 x（PMCx）设定数字或者模拟（能以 1 位为单位进行设定）。

备注 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （） 内的功能。详细内容请参照 “ 图 4-8 外围 I/O 重定向寄存器 （PIOR）的格式 ”。

2.1.2 64 引脚产品

(1/2)

功能名称	引脚类型	输入 / 输出	复位后	复用功能	功能
P10	8-5-7	输入 / 输出	数字输入无效	$\overline{SCK00}$/SEG28	端口 1 8 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P10、P11、P15 和 P16 的输入能设定为 TTL 输入缓冲。 P10、P12、P15 和 P17 的输出能设定为 N 沟道漏极开路输出 （EV_{DD} 耐压）。 P13 和 P14 能设定为模拟输入注 1。
P11	8-5-1			SI00/RxD0/ TOOLRxD/SEG29	
P12	7-5-7			SO00/TxD0/ TOOLTxD/SEG30	
P13	7-10-1		模拟输入端口	ANI18/SEG31	
P14				ANI19/SEG32	
P15	8-5-7		数字输入无效	$\overline{SCK01}$/INTP1/SEG4	
P16	8-5-1			SI01/INTP2/SEG5	
P17	7-5-7			SO01/TI02/TO02/SEG6	
P20	4-3-1	输入 / 输出	模拟输入端口	ANI0/AV_{REFP}	端口 2 2 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 能设定为模拟输入注 2。
P21				ANI1/AV_{REFM}	
P30	7-5-1	输入 / 输出	数字输入无效	TI01/TO01/SEG19	端口 3 3 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P31				INTP3/RTC1HZ/SEG18	
P32				TI03/TO03/INTP4/ SEG17	
P40	7-1-1	输入 / 输出	输入端口	TOOL0	端口 4 4 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P41 能设定为模拟输入注 1。
P41	7-10-1		模拟输入端口	ANI16/SEG24	
P42	7-5-1		数字输入无效	SEG23	
P43				INTP7/SEG22	

注 1. 当将各引脚用作输入时，必须通过端口模式控制寄存器 x（PMCx）设定数字或者模拟（能以 1 位为单位进行设定）。

2. 通过 A/D 端口配置寄存器 （ADPC）将各引脚设定为数字或者模拟。

(2/2)

功能名称	引脚类型	输入 / 输出	复位后	复用功能	功能
P50	7-5-1	输入 / 输出	数字输入无效	INTP5/SEG7/(PCLBUZ0)	端口 5 5 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P51				TI06/TO06/SEG8	
P52				INTP6/SEG9	
P53				TI07/TO07/SEG10/(INTP1)	
P54				SEG11/(TI02)/(TO02)/(INTP2)	
P60	12-1-4	输入 / 输出	数字输入无效	SEG21	端口 6 2 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。
P61				SEG20	
P70	7-5-1	输入 / 输出	数字输入无效	KR0/SEG16	端口 7 5 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。
P71				KR1/SEG15	
P72				KR2/SEG14	
P73				KR3/SEG13	
P74				SEG12	
P120	7-10-1	输入 / 输出	模拟输入端口	ANI17/SEG25	端口 12 4 位输入 / 输出端口和 4 位输入端口 P120 和 P125 ～ P127 能以 1 位为单位指定输入或者输出。 在输入端口时，P120 和 P125 ～ P127 能通过软件的设定使用内部上拉电阻。 P120 能设定为模拟输入注。
P121	2-2-1	输入	输入端口	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	8-5-3	输入 / 输出	数字输入无效	V_{L3}	
P126	8-5-2			CAPL	
P127				CAPH	
P130	1-1-1	输出	输出端口	—	端口 13 1 位输出专用端口和 1 位输入专用端口
P137	2-1-2	输入	输入端口	INTP0	
P140	7-5-1	输入 / 输出	数字输入无效	TO00/PCLBUZ0/SEG27/(INTP6)	端口 14 8 位输入 / 输出端口 能以 1 位为单位指定输入或者输出。 输入端口时，能通过软件的设定使用内部上拉电阻。 P142 ～ P145 能设定为模拟输入注。
P141				TI00/PCLBUZ1/SEG26/(INTP7)	
P142	7-10-1		模拟输入端口	ANI20/SEG33	
P143				ANI21/SEG34	
P144				ANI22/SEG35	
P145				ANI23/SEG36	
P146	7-5-1		数字输入无效	SEG37	
P147				SEG38	

注 当将各引脚用作输入时，必须通过端口模式控制寄存器 x（PMCx）设定数字或者模拟（能以 1 位为单位进行设定）。

备注 能通过设定外围 I/O 重定向寄存器（PIOR），分配上图（）内的功能。详细内容请参照“ 图 4-8 外围 I/O 重定向寄存器（PIOR）的格式 ”。

2.2 端口以外的功能

2.2.1 各产品的引脚 （端口以外的引脚）

(1/5)

功能名称	输入 / 输出	功能	64-pin	48-pin
ANI0	输入	A/D 转换器的模拟输入	○	○
ANI1			○	○
ANI16			○	○
ANI17			○	○
ANI18			○	○
ANI19			○	○
ANI20			○	○
ANI21			○	○
ANI22			○	○
ANI23			○	—
CAPH	—	连接 LCD 控制器 / 驱动器的电容器。	○	○
CAPL			○	○
COM0	输出	LCD 控制器 / 驱动器的公共信号输出	○	○
COM1			○	○
COM2			○	○
COM3			○	○
COM4			○	○
COM5			○	○
COM6			○	○
COM7			○	○
V_{L1}	—	LCD 驱动电压	○	○
V_{L2}			○	○
V_{L3}			○	○
V_{L4}			○	○
SEG0	输出	LCD 控制器 / 驱动器的段信号输出	○	○
SEG1			○	○
SEG2			○	○
SEG3			○	○
SEG4			○	○
SEG5			○	○
SEG6			○	○
SEG7			○	○
SEG8			○	—
SEG9			○	—

备注 ○：支持
—：不支持

(2/5)

功能名称	输入 / 输出	功能	64-pin	48-pin
SEG10	输出	LCD 控制器 / 驱动器的段信号输出	○	—
SEG11			○	—
SEG12			○	—
SEG13			○	—
SEG14			○	—
SEG15			○	—
SEG16			○	○
SEG17			○	○
SEG18			○	○
SEG19			○	○
SEG20			○	○
SEG21			○	○
SEG22			○	—
SEG23			○	—
SEG24			○	○
SEG25			○	○
SEG26			○	○
SEG27			○	○
SEG28			○	○
SEG29			○	○
SEG30			○	○
SEG31			○	○
SEG32			○	○
SEG33			○	○
SEG34			○	○
SEG35			○	○
SEG36			○	—
SEG37			○	—
SEG38			○	—

备注 ○：支持

—：不支持

(3/5)

功能名称	输入 / 输出	功能	64-pin	48-pin
INTP0	输入	外部中断输入	○	○
INTP1			○	○
INTP2			○	○
INTP3			○	○
INTP4			○	○
INTP5			○	○
INTP6			○	—
INTP7			○	—
KR0	输入	键中断输入	○	○
KR1			○	○
KR2			○	○
KR3			○	○
PCLBUZ0	输出	时钟输出 / 蜂鸣器输出	○	○
PCLBUZ1			○	○
REGC	—	连接用于内部工作的稳压器输出稳定电容器。 必须通过电容器 （0.47 ～ 1μF）连接 V_{SS}。	○	○
RTC1HZ	输出	实时时钟的校正时钟 （1Hz）输出	○	○
$\overline{\text{RESET}}$	输入	外部复位输入	○	○
RxD0	输入	UART0 的串行数据输入	○	○
$\overline{\text{SCK00}}$	输入 / 输出	CSI00 和 CSI01 的时钟输入 / 输出	○	○
$\overline{\text{SCK01}}$			○	○
SI00	输入	CSI00 和 CSI01 的串行数据输入	○	○
SI01			○	○
SO00	输出	CSI00 和 CSI01 的串行数据输出	○	○
SO01			○	○

备注 ○：支持

—：不支持

(4/5)

功能名称	输入 / 输出	功能	64-pin	48-pin
TI00	输入	16 位定时器 00 的外部计数时钟输入	○	○
TI01		16 位定时器 01 的外部计数时钟输入	○	○
TI02		16 位定时器 02 的外部计数时钟输入	○	○
TI03		16 位定时器 03 的外部计数时钟输入	○	○
TI06		16 位定时器 06 的外部计数时钟输入	○	—
TI07		16 位定时器 07 的外部计数时钟输入	○	○
TO00	输出	16 位定时器 00 的输出	○	○
TO01		16 位定时器 01 的输出	○	○
TO02		16 位定时器 02 的输出	○	○
TO03		16 位定时器 03 的输出	○	○
TO06		16 位定时器 06 的输出	○	—
TO07		16 位定时器 07 的输出	○	○
TxD0	输出	UART0 的串行数据输出	○	○
X1	—	连接用于主系统时钟的谐振器。	○	○
X2	—		○	○
EXCLK	输入	主系统时钟的外部时钟输入	○	○
EXCLKS	输入	副系统时钟的外部时钟输入	○	○
XT1	—	连接用于副系统时钟的谐振器。	○	○
XT2	—		○	○

备注 ○：支持
—：不支持

(5/5)

功能名称	输入 / 输出	功能	64-pin	48-pin
V_{DD}	—	＜48 引脚产品的情况＞ 全部引脚的正电源 ＜64 引脚产品的情况＞ P20、 P21、 P121 ～ P124、 P137、 $\overline{\text{RESET}}$ 引脚的正电源	○	○
EV_{DD}	—	＜64 引脚产品的情况＞ 端口部（P20、P21、P121 ～ P124 和 P137 除外）和端口部以外（$\overline{\text{RESET}}$ 引脚除外）的正电源	○	—
AV_{REFP}	输入	A/D 转换器的基准电位 （+）输入	○	○
AV_{REFM}	输入	A/D 转换器的基准电位 （–）输入	○	○
V_{SS}	—	＜48 引脚产品的情况＞ 全部引脚的接地电位 ＜64 引脚产品的情况＞ P20、 P21、 P121 ～ P124、 P137、 $\overline{\text{RESET}}$ 引脚的接地电位	○	○
EV_{SS}	—	＜64 引脚产品的情况＞ 端口部（P20、P21、P121 ～ P124 和 P137 除外）和端口部以外（$\overline{\text{RESET}}$ 引脚除外）的接地电位	○	—
TOOLRxD	输入	用于在闪存编程时连接外部设备的 UART 接收引脚	○	○
TOOLTxD	输出	用于在闪存编程时连接外部设备的 UART 发送引脚	○	○
TOOL0	输入 / 输出	用于闪存编程器 / 调试器的数据输入 / 输出	○	○

备注 ○：支持
—：不支持

2.2.2 功能说明

(1/2)

功能名称	输入 / 输出	功能
COM0 ～ COM7	输出	LCD 控制器 / 驱动器的公共信号输出
SEG0 ～ SEG38	输出	LCD 控制器 / 驱动器的段信号输出
V_{L1}、 V_{L2}、 V_{L3}、 V_{L4}	—	LCD 驱动电压
CAPH、 CAPL	—	连接用于 LCD 控制器 / 驱动器的电容器。
ANI0、 ANI1、 ANI16 ～ ANI23	输入	A/D 转换器的模拟输入 （参照 “ 图 11-38 模拟输入引脚的处理 ”）
INTP0 ～ INTP7	输入	外部中断请求输入 有效边沿的指定：上升沿、下降沿、上升和下降的双边沿
KR0 ～ KR3	输入	键中断输入
PCLBUZ0、 PCLBUZ1	输出	时钟输出 / 蜂鸣器输出
REGC	—	连接用于内部运行的稳压器输出稳定电容器。 必须通过电容器 （0.47 ～ 1μF）连接 V_{SS}。 为了稳定内部电压，必须使用特性良好的电容器。
RTC1HZ	输出	实时时钟的校正时钟 （1Hz）输出
$\overline{\text{RESET}}$	输入	低电平有效的系统复位输入 当不使用外部复位时，必须直接或者通过电阻连接 V_{DD}。
RxD0	输入	串行接口 UART0 的串行数据输入
TxD0	输出	串行接口 UART0 的串行数据输出
SCK00、 SCK01	输入 / 输出	串行接口 CSI00、 CSI01 的串行时钟输入 / 输出
SI00、 SI01	输入	串行接口 CSI00、 CSI01 的串行数据输入
SO00、 SO01	输出	串行接口 CSI00、 CSI01 的串行数据输出
TI00 ～ TI03、 TI06 ～ TI07	输入	16 位定时器 00 ～ 03、 06 ～ 07 的外部计数时钟 / 捕捉触发输入
TO00 ～ TO03、 TO06、 TO07	输出	16 位定时器 00 ～ 03、 06、 07 的定时器输出
X1、 X2	—	连接用于主系统时钟的谐振器。
EXCLK	输入	主系统时钟的外部时钟输入
XT1、 XT2	—	连接用于副系统时钟的谐振器。
EXCLKS	输入	副系统时钟的外部时钟输入

(2/2)

功能名称	输入 / 输出	功能
V_{DD}	—	＜48 引脚产品的情况＞ 全部引脚的正电源 ＜64 引脚引脚产品的情况＞ P20、 P21、 P121 ～ P124、 P137 和非端口引脚的正电源
EV_{DD}	—	＜64 引脚引脚产品的情况＞ 端口引脚 （P20、 P21、 P121 ～ P124、 P137 除外）的正电源
AV_{REFP}	输入	A/D 转换器的基准电压 （+）输入
AV_{REFM}	输入	A/D 转换器的基准电压 （–）输入
V_{SS}	—	＜48 引脚产品的情况＞ 全部引脚的接地电位 ＜64 引脚产品的情况＞ P20、 P21、 P121 ～ P124、 P137 和非端口引脚的接地电位
EV_{SS}	—	＜64 引脚产品的情况＞ 端口引脚 （P20、 P21、 P121 ～ P124、 P137 除外）的接地电位
TOOLRxD	输入	用于在闪存编程时连接外部器件的 UART 串行数据接收
TOOLTxD	输出	用于在闪存编程时连接外部器件的 UART 串行数据发送
TOOL0	输入 / 输出	用于闪存编程器 / 调试器的数据输入 / 输出

注意 解除复位时的 P40/TOOL0 和运行模式的关系如下所示：

表 2-2 解除复位时的 P40/TOOL0 和运行模式的关系

P40/TOOL0	运行模式
EV_{DD}	通常运行模式
0V	闪存编程模式

详细内容请参照“23.4 串行编程方法”。

备注 作为噪声和锁定的对策，必须在 V_{DD}-V_{SS}、 EV_{DD}-EV_{SS} 之间通过最短并且较粗的布线连接旁路电容器 （0.1μF 左右）。

2.3 未使用引脚的处理

各引脚的输入 / 输出类型和未使用引脚的处理如表 2-3 所示。

备注 配置的引脚因产品而不同。请参照 “1.3 引脚连接图 （俯视图） ” 和 “2.1 端口功能 ”。

表 2-3 各未使用引脚的处理 （64 引脚产品）(1/3)

引脚名称	输入 / 输出	未使用时的推荐连接方法
P10/$\overline{\text{SCK00}}$/SEG28	输入 / 输出	＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P11/SI00/RxD0/TOOLRxD/ SEG29		
P12/SO00/TxD0/TOOLTxD/ SEG30		
P13/ANI18/SEG31		
P14/ANI19/SEG32		
P15/$\overline{\text{SCK01}}$/INTP1/SEG4		
P16/SI01/INTP2/SEG5		
P17/SO01/TI02/TO02/SEG6		
P20/ANI0/AV_{REFP}		输入：必须单独通过电阻连接 V_{DD} 或者 V_{SS}。 输出：必须置为开路。
P21/ANI1/AV_{REFM}		
P30/TI01/TO01/SEG19		＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P31/INTP3/RTC1HZ/SEG18		
P32/TI03/TO03/INTP4/SEG17		
P40/TOOL0		输入：必须单独通过电阻连接 EV_{DD} 或者置为开路。 输出：必须置为开路。
P41/ANI16/SEG24		＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P42/SEG23		
P43/INTP7/SEG22		

备注 对于没有 EV_{DD} 引脚和 EV_{SS} 引脚的产品，必须将 EV_{DD} 替换为 V_{DD} 并且将 EV_{SS} 替换为 V_{SS}。

表 2-3 各未使用引脚的处理 （64 引脚产品）(2/3)

引脚名称	输入 / 输出	未使用时的推荐连接方法
P50/INTP5/SEG7/(PCLBUZ0)	输入 / 输出	＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P51/TI06/TO06/SEG8		
P52/INTP6/SEG9		
P53/TI07/TO07/SEG10/(INTP1)		
P54/SEG11/(TI02)/(TO02)/(INTP2)		
P60/SEG21		输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须将端口的输出锁存器置 “0” 并且置为开路，或者将端口的输出锁存器置 “1” 并且单独通过电阻连接 EV_{DD} 或者 EV_{SS}。
P61/SEG20		
P70/KR0/SEG16		＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P71/KR1/SEG15		
P72/KR2/SEG14		
P73/KR3/SEG13		
P74/SEG12		
P120/ANI17/SEG25		
P121/X1	输入	必须单独通过电阻连接 V_{DD} 或者 V_{SS}。
P122/X2/EXCLK		
P123/XT1		
P124/XT2/EXCLKS		
P125/V_{L3}	输入 / 输出	输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。
P126/CAPL		
P127/CAPH		
P130	输出	必须置为开路。
P137/INTP0	输入	必须单独通过电阻连接 V_{DD} 或者 V_{SS}。
P140/TO00/PCLBUZ0/SEG27/(INTP6)	输入 / 输出	＜设定端口的情况＞ 输入：必须单独通过电阻连接 EV_{DD} 或者 EV_{SS}。 输出：必须置为开路。 ＜设定段的情况＞ 必须置为开路。
P141/TI00/PCLBUZ1/SEG26/(INTP7)		
P142/ANI20/SEG33		
P143/ANI21/SEG34		
P144/ANI22/SEG35		
P145/ANI23/SEG36		
P146/SEG37		
P147/SEG38		
$\overline{\text{RESET}}$	输入	必须直接或者通过电阻连接 V_{DD}。
REGC	—	必须通过电容器 （0.47 ～ 1μF）连接 V_{SS}。

备注 1. 对于没有 EV_{DD} 引脚和 EV_{SS} 引脚的产品，必须将 EV_{DD} 替换为 V_{DD} 并且将 EV_{SS} 替换为 V_{SS}。

2. 能通过设定外围 I/O 重定向寄存器 （PIOR），分配上图 （）内的功能。

表 2-3 各未使用引脚的处理 （64 引脚产品）(3/3)

引脚名称	输入 / 输出	未使用时的推荐连接方法
COM0 ～ COM3	输出	必须置为开路。
COM4/SEG0		
COM5/SEG1		
COM6/SEG2		
COM7/SEG3		
V_{L1}、 V_{L2}、 V_{L4}	—	

2.4 引脚框图

有关在 2.1.1 48 引脚产品、 2.1.2 64 引脚产品中记载的引脚类型，其引脚框图如图 2-1 ～图 2-14 所示。

图 2-1 引脚类型 1-1-1 的引脚框图

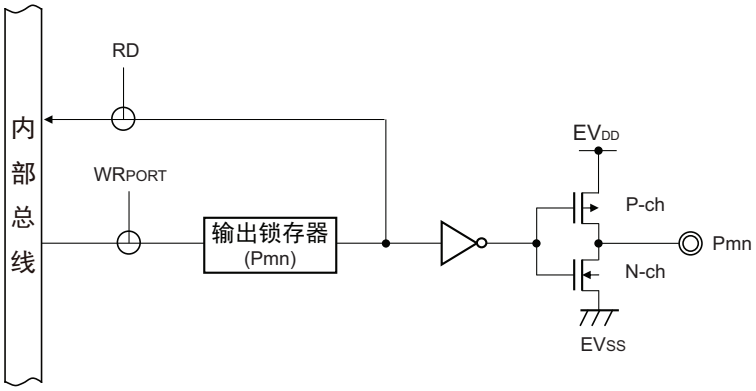


图 2-2 引脚类型 2-1-1 的引脚框图

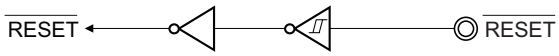
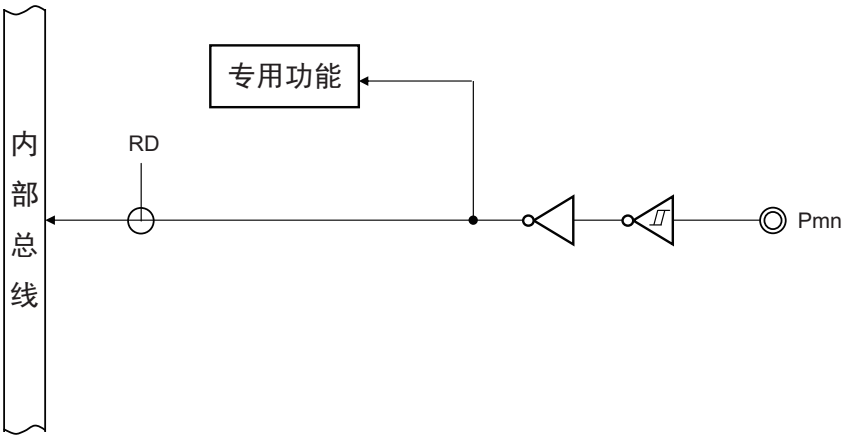
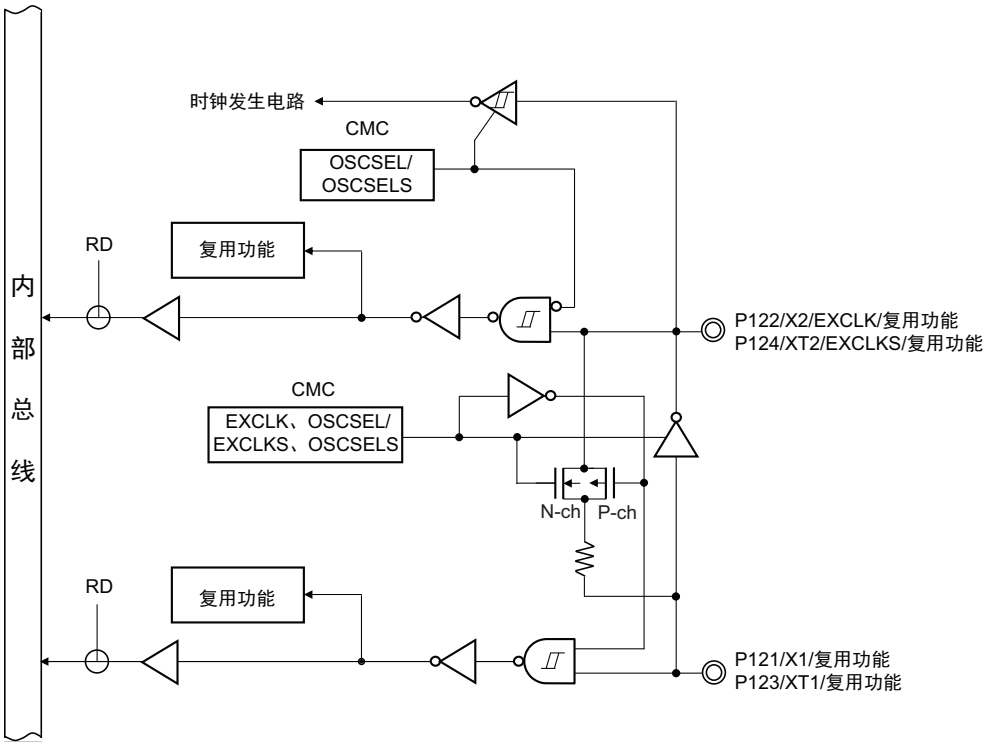


图 2-3 引脚类型 2-1-2 的引脚框图



备注 复用功能请参照 “2.1 端口功能 ”。

图 2-4 引脚类型 2-2-1 的引脚框图



备注 复用功能请参照 “2.1 端口功能 ”。

图 2-5 引脚类型 4-3-1 的引脚框图

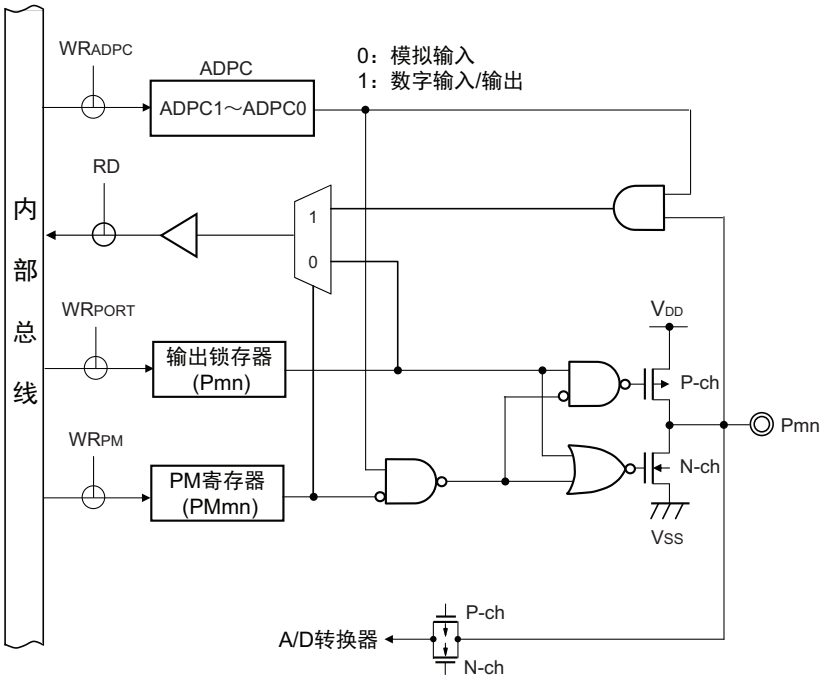
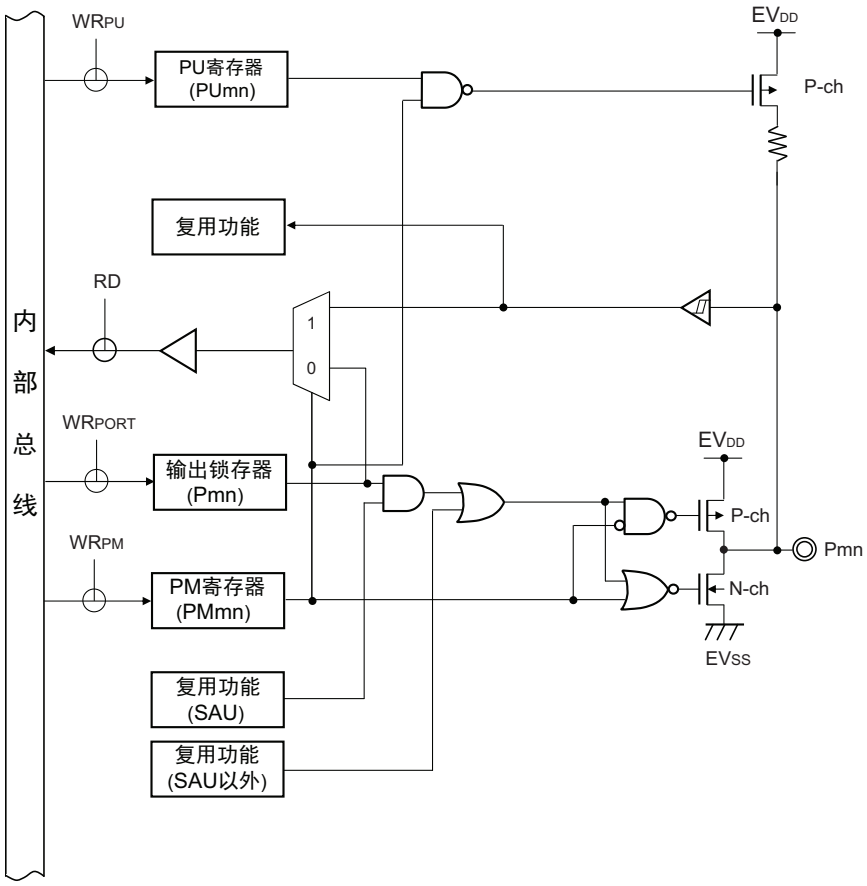


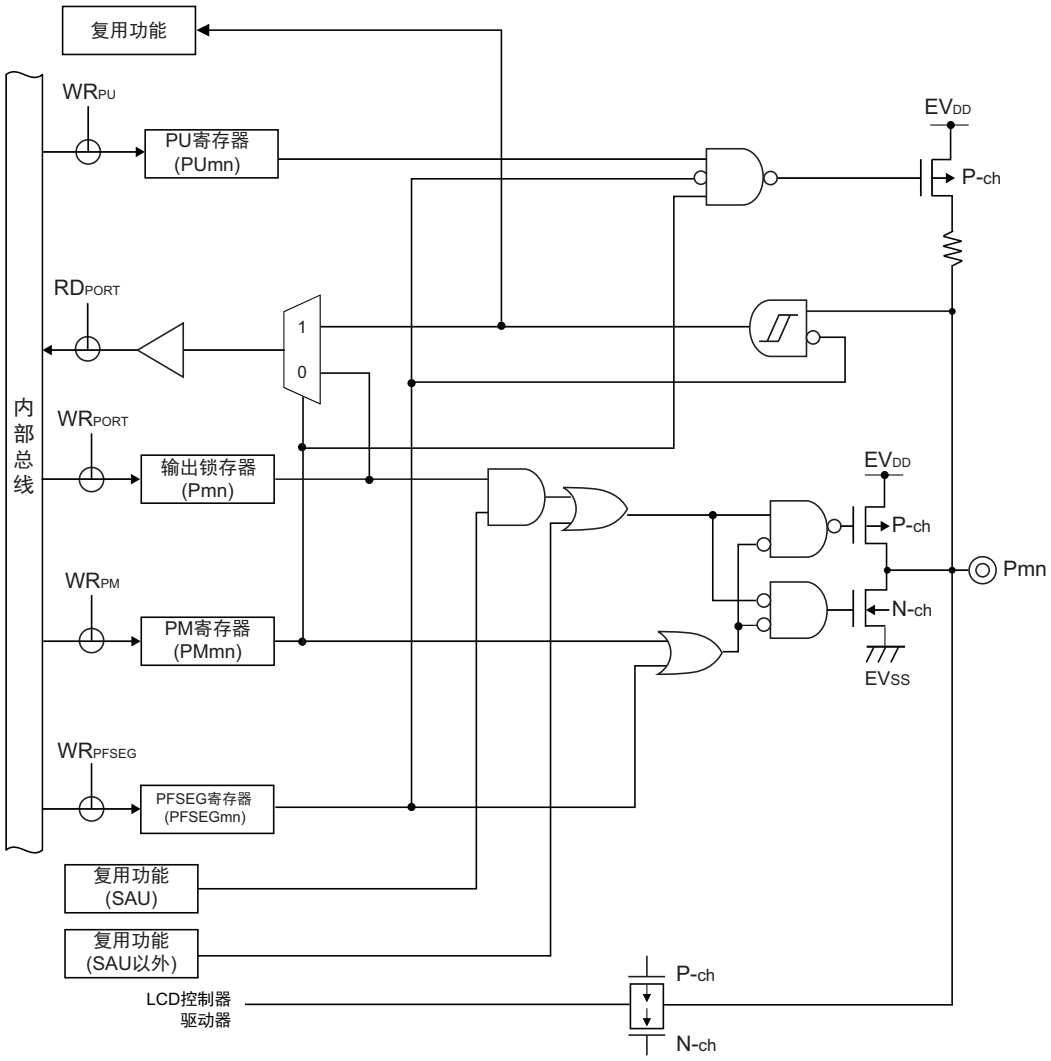
图 2-6 引脚类型 7-1-1 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

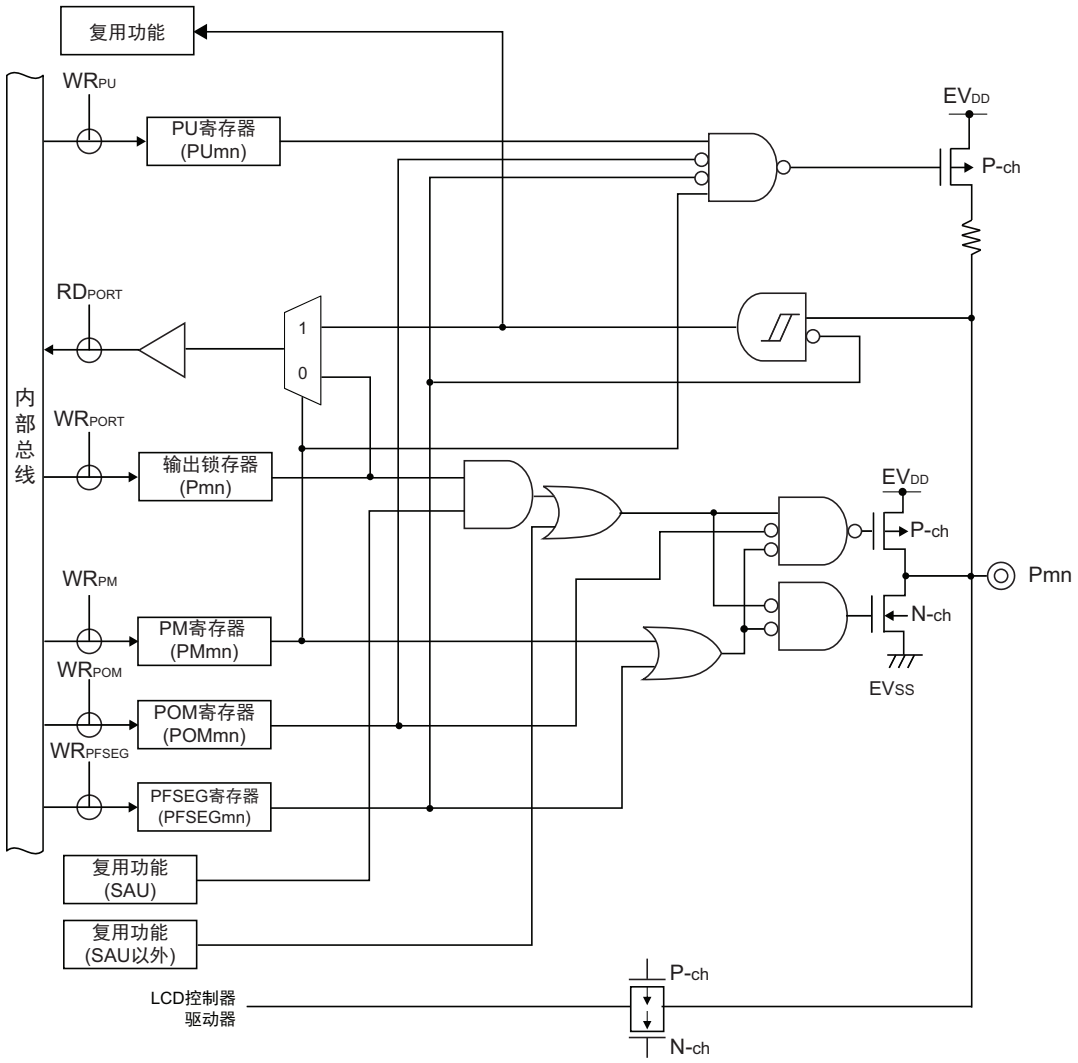
图 2-7 引脚类型 7-5-1 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

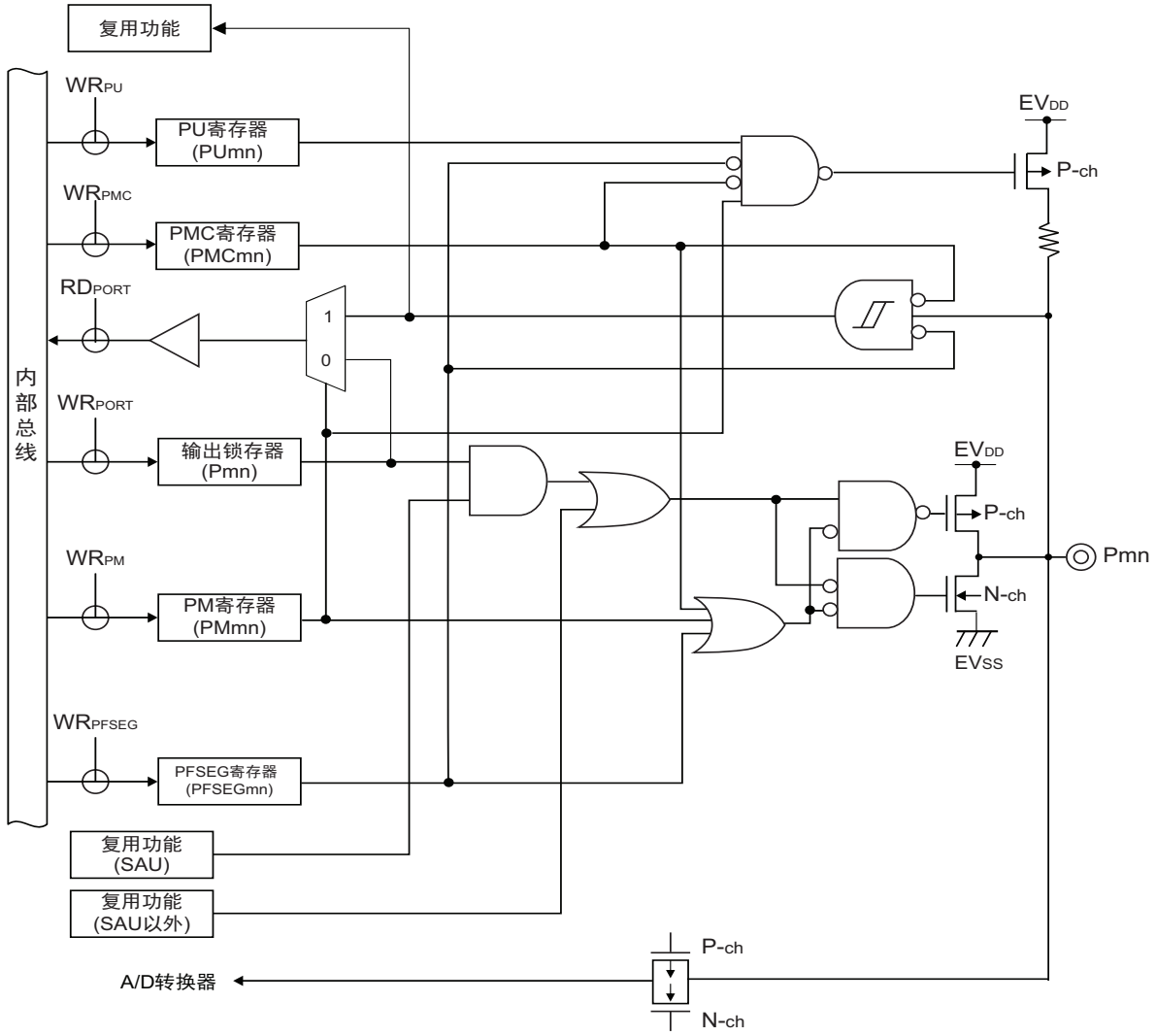
图 2-8 引脚类型 7-5-7 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

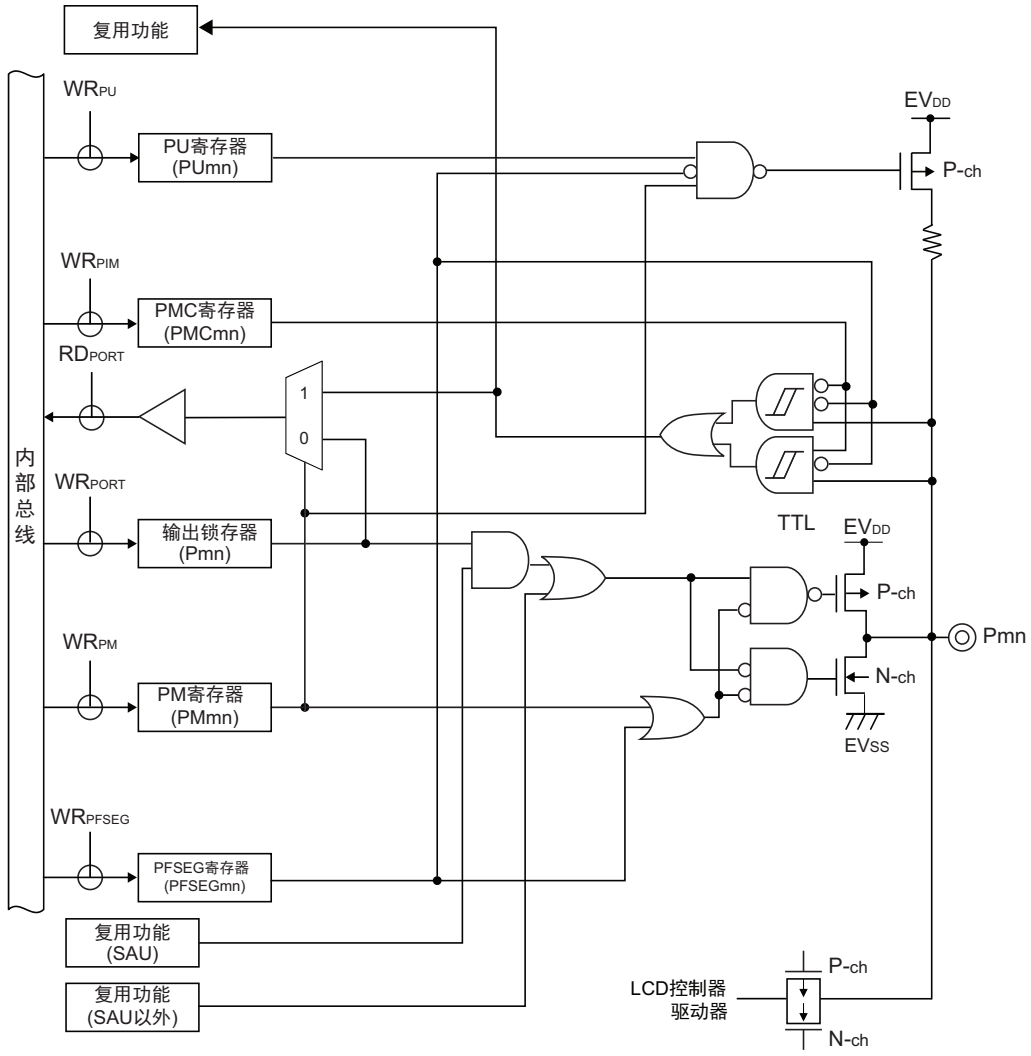
图 2-9 引脚类型 7-10-1 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

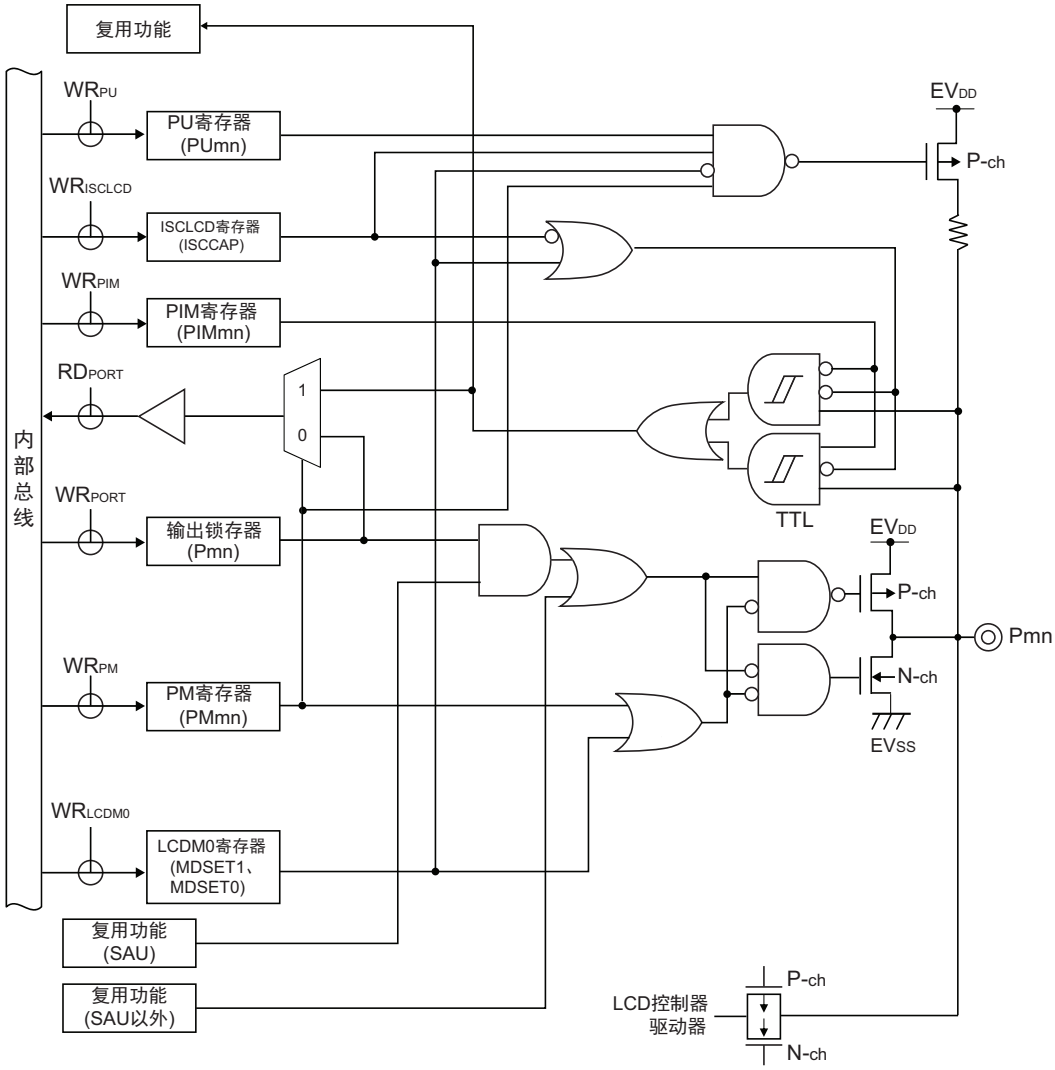
图 2-10 引脚类型 8-5-1 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

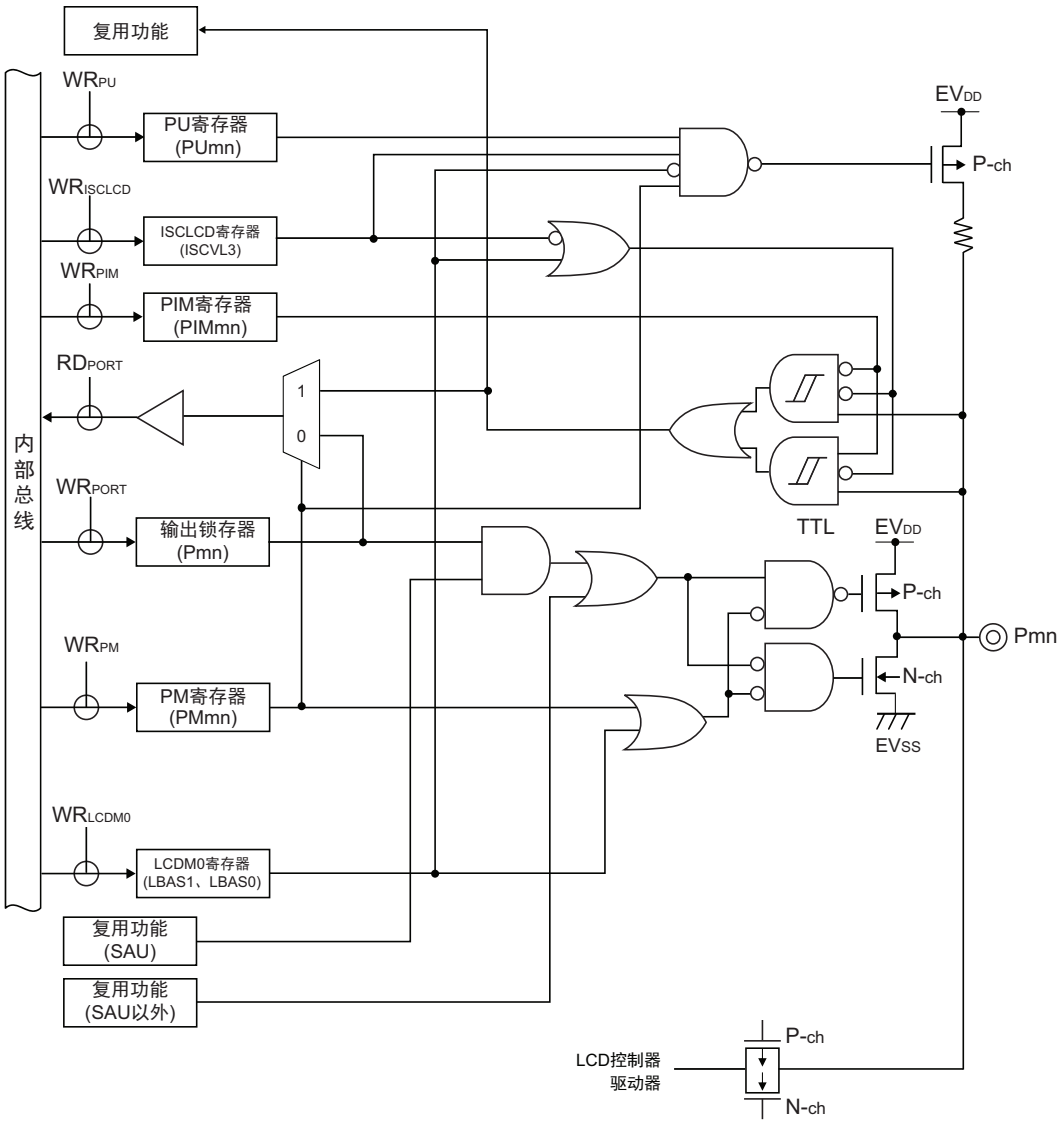
图 2-11 引脚类型 8-5-2 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

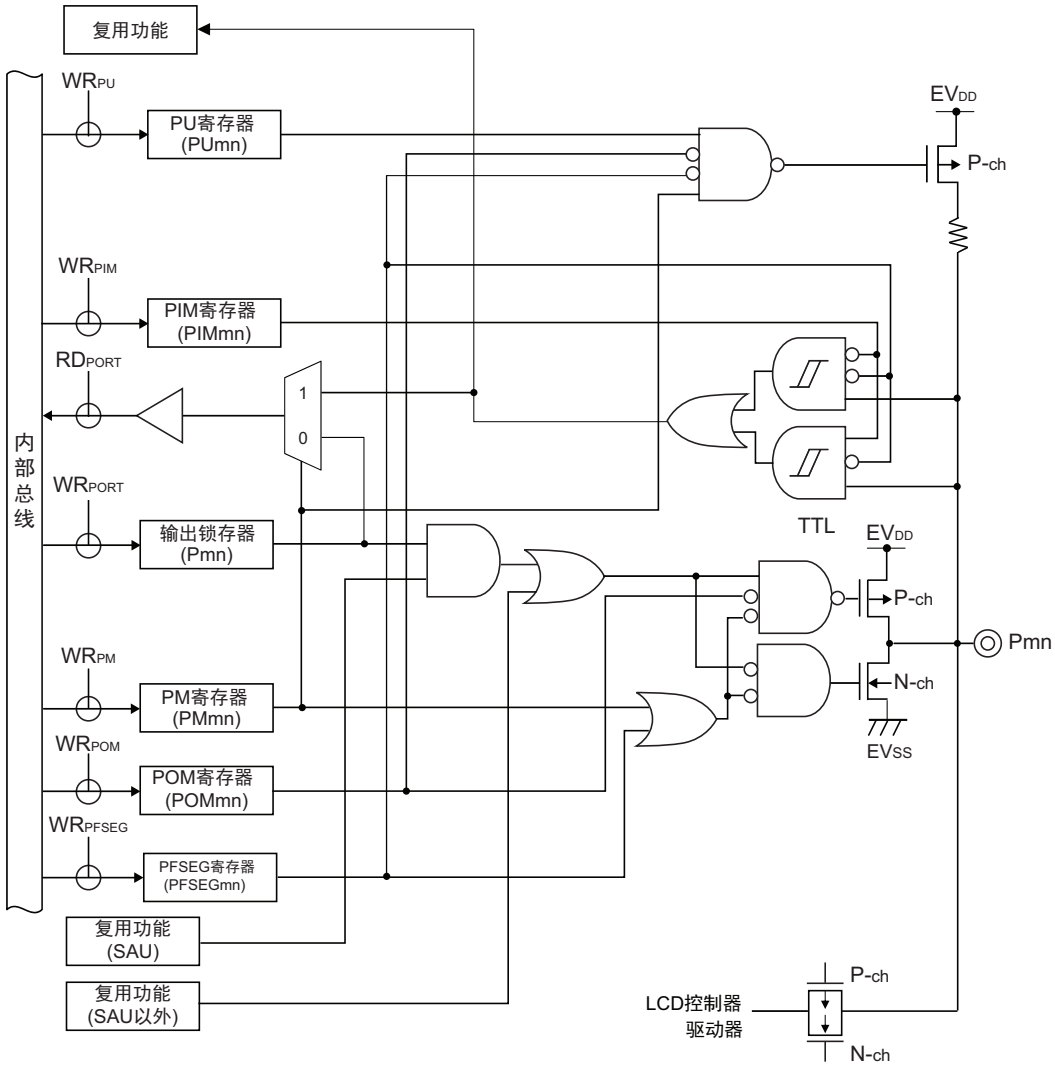
图 2-12 引脚类型 8-5-3 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

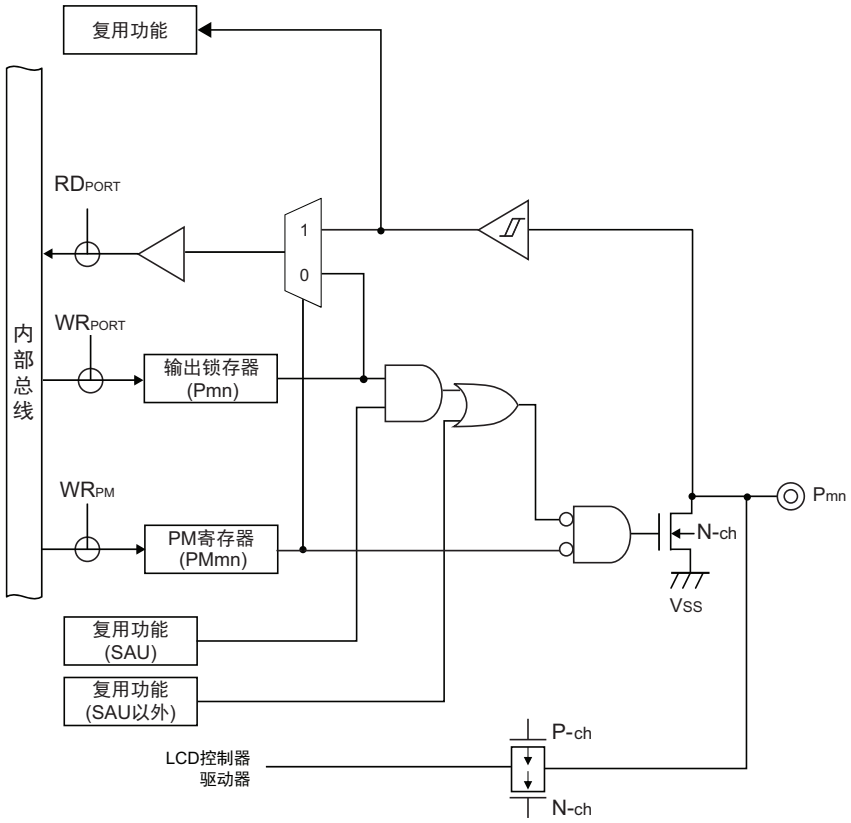
图 2-13 引脚类型 8-5-7 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

2. SAU：串行阵列单元

图 2-14 引脚类型 12-1-4 的引脚框图



备注 1. 复用功能请参照 “2.1 端口功能 ”。

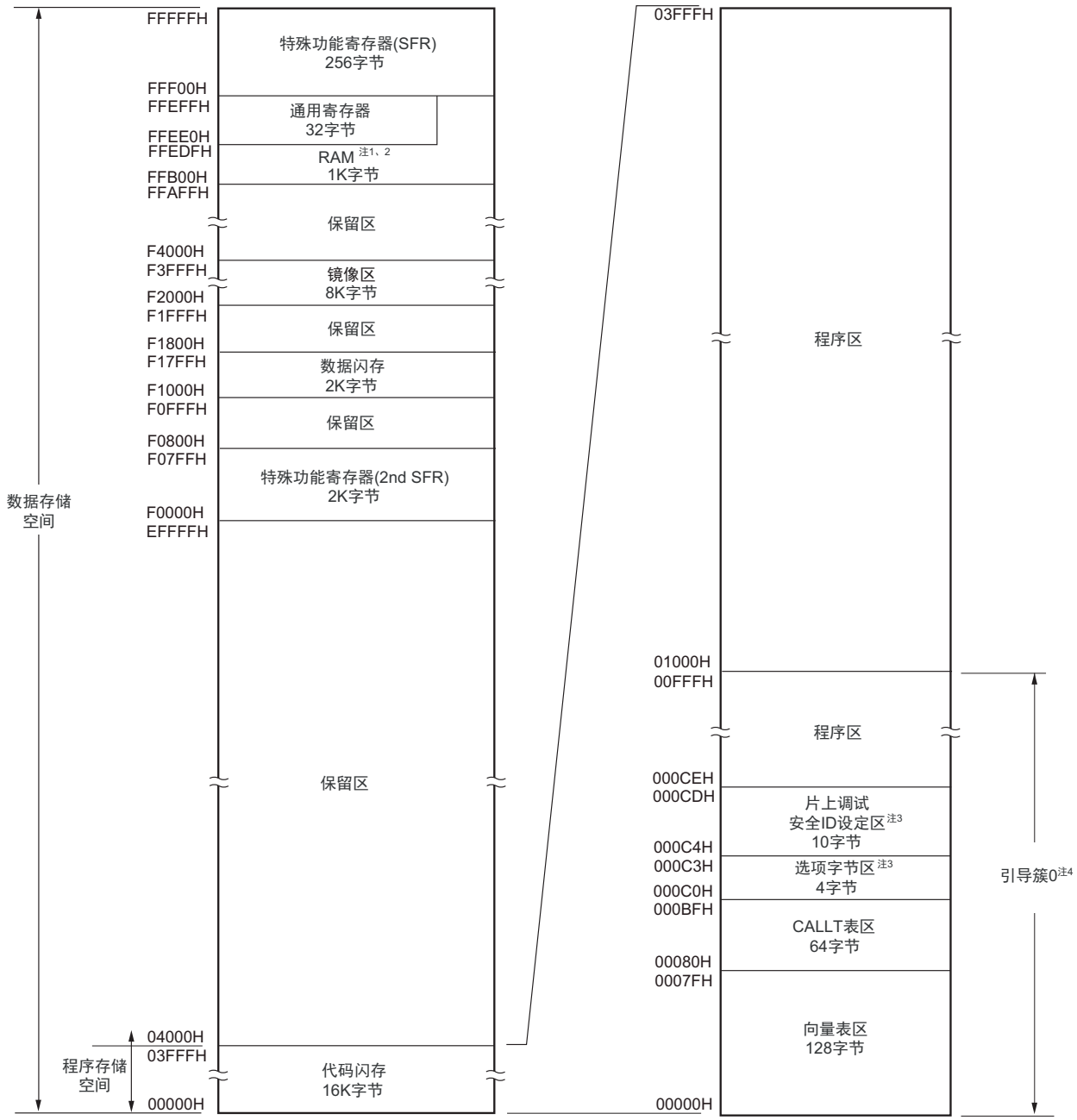
2. SAU：串行阵列单元

第 3 章 CPU 体系结构

3.1 存储空间

R7F0C001G/L、 R7F0C002G/L 能存取 1M 字节的存储空间。存储器映像如图 3-1、图 3-2 所示。

图 3-1 存储器映像 （R7F0C001G、 R7F0C001L）



注 1. 当使用自编程功能和数据闪存功能时，此区域用于自编程库，因此禁止使用 FFE20H ～ FFEDFH 和 FFB00H ～ FFC89H 的区域。

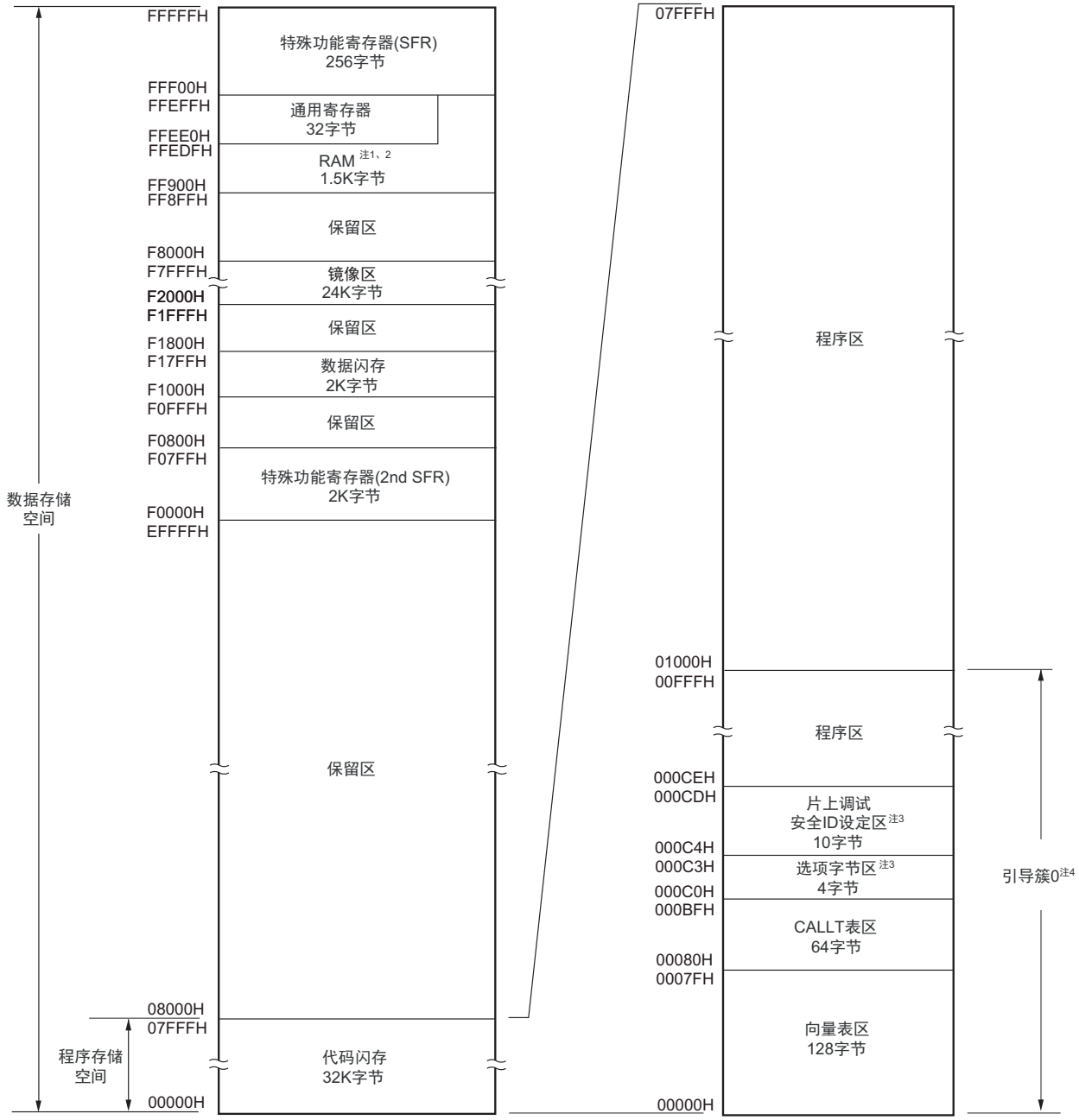
2. 能从除了通用寄存器以外的 RAM 区执行指令。

3. 给 000C0H ～ 000C3H 设定选项字节，并且给 000C4H ～ 000CDH 设定片上调试安全 ID。

4. 能通过安全设定来禁止改写引导簇 0 （参照 “23.7 安全设定 ”）。

注意 在允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）的情况下，当存取数据时，必须对 “ 所用 RAM 区 ” 进行初始化；当从 RAM 区执行指令时，必须对 “ 所用 RAM 区 +10 字节 ” 的区域进行初始化。通过产生复位，进入允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）的状态。详细内容请参照 “20.3.3 RAM 奇偶校验错误检测功能 ”。

图 3-2 存储器映像 （R7F0C002G、 R7F0C002L）



注 1. 当使用自编程功能和数据闪存功能时，此区域用于自编程库，因此禁止使用 FFE20H ～ FFEDFH 和 FF900H ～ FFC89H 的区域。

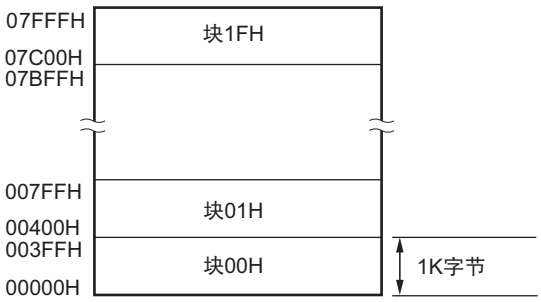
2. 能从除了通用寄存器以外的 RAM 区执行指令。

3. 给 000C0H ～ 000C3H 设定选项字节，并且给 000C4H ～ 000CDH 设定片上调试安全 ID。

4. 能通过安全设定来禁止改写引导簇 0 （参照 “23.7 安全设定 ”）。

注意 在允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）的情况下，当存取数据时，必须对 “ 所用 RAM 区 ” 进行初始化；当从 RAM 区执行指令时，必须对 “ 所用 RAM 区 +10 字节 ” 的区域进行初始化。通过产生复位，进入允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）的状态。详细内容请参照 “20.3.3 RAM 奇偶校验错误检测功能 ”。

备注 闪存分为各块 （1 块 =1K 字节）。有关地址值和块号，请参照 “ 表 3-1 闪存的地址值和块号的对应 ”。



（R7F0C002G、 R7F0C002L的情况）

闪存的地址值和块号的对应如下所示。

表 3-1 闪存的地址值和块号的对应

地址值	块号	地址值	块号	地址值	块号	地址值	块号
00000H ～ 003FFH	00H	02000H ～ 023FFH	08H	04000H ～ 043FFH	10H	06000H ～ 063FFH	18H
00400H ～ 007FFH	01H	02400H ～ 027FFH	09H	04400H ～ 047FFH	11H	06400H ～ 067FFH	19H
00800H ～ 00BFFH	02H	02800H ～ 02BFFH	0AH	04800H ～ 04BFFH	12H	06800H ～ 06BFFH	1AH
00C00H ～ 00FFFH	03H	02C00H ～ 02FFFH	0BH	04C00H ～ 04FFFH	13H	06C00H ～ 06FFFH	1BH
01000H ～ 013FFH	04H	03000H ～ 033FFH	0CH	05000H ～ 053FFH	14H	07000H ～ 073FFH	1CH
01400H ～ 017FFH	05H	03400H ～ 037FFH	0DH	05400H ～ 057FFH	15H	07400H ～ 077FFH	1DH
01800H ～ 01BFFH	06H	03800H ～ 03BFFH	0EH	05800H ～ 05BFFH	16H	07800H ～ 07BFFH	1EH
01C00H ～ 01FFFH	07H	03C00H ～ 03FFFH	0FH	05C00H ～ 05FFFH	17H	07C00H ～ 07FFFH	1FH

备注 R7F0C001G、 R7F0C001L：块号 00H ～ 0FH
R7F0C002G、 R7F0C002L：块号 00H ～ 1FH

3.1.1 内部程序存储空间

内部程序存储空间保存程序和表数据， R7F0C001G/L、 R7F0C002G/L 内置的 ROM （闪存）如下所示。

表 3-2 内部 ROM 容量

产品	内部 ROM	
	构造	容量
R7F0C001G、 R7F0C001L	闪存	16384×8 位 （00000H ～ 03FFFH）
R7F0C002G、 R7F0C002L		32768×8 位 （00000H ～ 07FFFH）

内部程序的存储空间分为以下区域。

(1) 向量表区

将 00000H ～ 0007FH 的 128 字节区域保留为向量表区，向量表区保存在复位或者产生各中断请求时需要转移的程序起始地址。另外，因为向量码为 2 字节，所以中断的转移目标地址为 00000H ～ 0FFFFH 的 64K 地址。

偶数地址保存 16 位地址中的低 8 位，奇数地址保存 16 位地址中的高 8 位。

表 3-3 向量表

向量表地址	中断源	64 引脚	48 引脚
0000H	RESET、 POR、 LVD、 WDT、 TRAP、 IAW、 RPE	○	○
0004H	INTWDTI	○	○
0006H	INTLVI	○	○
0008H	INTP0	○	○
000AH	INTP1	○	○
000CH	INTP2	○	○
000EH	INTP3	○	○
0010H	INTP4	○	○
0012H	INTP5	○	○
0018H	INTST0	○	○
	INTCSI00	○	○
001AH	INTSR0	○	○
	INTCSI01	○	○
001CH	INTSRE0	○	○
	INTTM01H	○	○
0020H	INTTM00	○	○
0024H	INTTM03H	○	○
0028H	INTTM01	○	○
002AH	INTTM02	○	○
002CH	INTTM03	○	○
002EH	INTAD	○	○
0030H	INTRTC	○	○
0032H	INTIT	○	○
0034H	INTKR	○	○
0040H	INTTM06	○	○
0042H	INTTM07	○	○
0046H	INTP6	○	—
0048H	INTP7	○	—
004CH	INTFL	○	○
007EH	BRK	○	○

备注 ○：支持
—：不支持

(2) CALLT 指令表区

00080H ～ 000BFH 的 64 字节区域能保存 2 字节调用指令 （CALLT）的子程序入口地址。必须给子程序入口地址设定 00000H ～ 0FFFFH 内的值 （因为地址码为 2 字节）。

(3) 选项字节区

000C0H ～ 000C3H 的 4 字节区域用作选项字节区。详细内容请参照 “ **第 22 章 选项字节** ”。

(4) 片上调试安全 ID 设定区

000C4H～000CDH的10字节区域用作片上调试安全ID设定区。详细内容请参照“**第24章 片上调试功能**”。

3.1.2 镜像区

R7F0C001G/L、R7F0C002G/L 将 02000H ～ 07FFFH 的代码闪存区镜像到 F2000H ～ F7FFFH（通过处理器模式控制寄存器 （PMC）进行设定）。

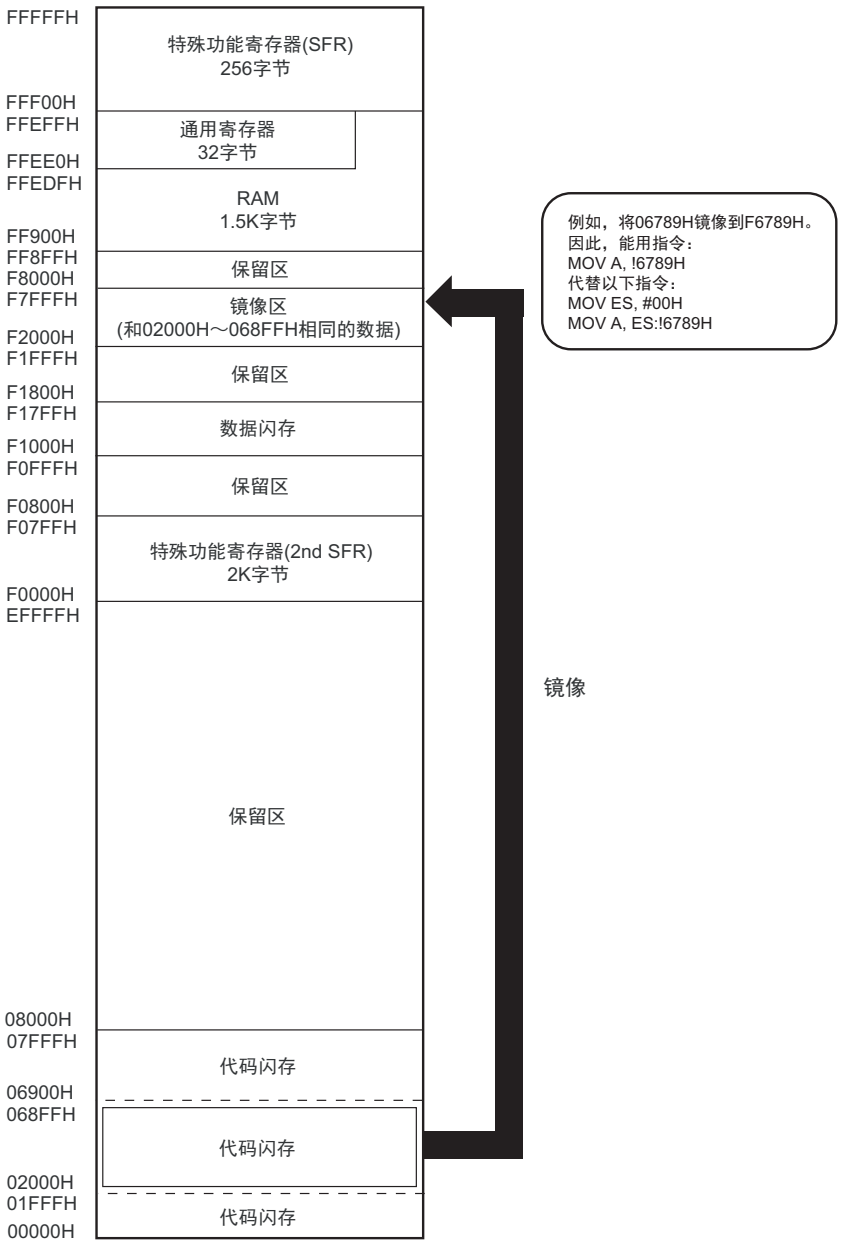
能通过从镜像目标的 F2000H ～ F7FFFH 读数据来使用不持有 ES 寄存器（操作数）的指令，因此能用短代码读代码闪存的内容。但是，不能将代码闪存区镜像到 SFR、扩展 SFR、 RAM 区以及不能使用的区域。

有关各产品的镜像区，请参照 “3.1 存储空间 ”。

镜像区为只读区，不能从此区域取指令。

例子如下所示。

例 R7F0C002G、 R7F0C002L （闪存为 32K 字节， RAM 为 1.5K 字节）的情况



PMC 寄存器的说明如下。

- 处理器模式控制寄存器 （PMC）
  这是设定要镜像到F0000H～FFFFFH的闪存空间的寄存器。
  通过1位或者8位存储器操作指令设定PMC寄存器。
  通过产生复位信号，此寄存器的值变为“00H”。

图 3-3 处理器模式控制寄存器 （PMC）的格式

地址：FFFFEH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	要镜像到 F0000H ～ FFFFFH 的闪存空间的设定
0	将 00000H ～ 0FFFFH 镜像到 F0000H ～ FFFFFH。
1	禁止设定

注意 1. 必须将 bit0 （MAA）置初始值 “0”。
2. 在设定 PMC 寄存器后，必须至少用 1 条指令存取镜像区。

3.1.3 内部数据存储空间

R7F0C001G/L、 R7F0C002G/L 内置以下 RAM。

表 3-4 内部 RAM 容量

产品	内部 RAM
R7F0C001G、 R7F0C001L	1024×8 位 （FFB00H ～ FFEFFH）
R7F0C002G、 R7F0C002L	1536×8 位 （FF900H ～ FFEFFH）

内部 RAM 除了能用作数据区以外，还能作为程序区执行指令 （不能在分配通用寄存器的区域执行指令）。给内部 RAM 区中的 FFEE0H ～ FFEFFH 的 32 字节区域分配了以 1 组为 8 个 8 位寄存器的 4 组通用寄存器。

另外，堆栈存储器使用内部 RAM。

注意 1. 不能将分配通用寄存器 （FFEE0H ～ FFEFFH）的空间用于取指令和堆栈区。
2. 在自编程和改写数据闪存时，不能将用于堆栈、数据缓冲器、向量中断处理的转移目标以及 DMA 的传送目标 / 传送源的 RAM 地址分配到 FFE20H ～ FFEDFH 的区域。
3. 在自编程和改写数据闪存时，以下产品的 RAM 区域用于各库，所以禁止使用。
   R7F0C001G、 R7F0C001L：FFB00H ～ FFC89H
   R7F0C002G、 R7F0C002L：FF900H ～ FFC89H

3.1.4 特殊功能寄存器 （SFR：Special Function Register）的区域

内部外围硬件的特殊功能寄存器 （SFR）分配在 FFF00H ～ FFFFFH 的区域 （参照 “3.2.4 特殊功能寄存器 （SFR：Special Function Register） ” 的表 3-5）。

注意 不能存取未分配 SFR 的地址。

3.1.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register）的区域

内部外围硬件的扩展特殊功能寄存器 （2nd SFR）分配在 F0000H ～ F07FFH 的区域 （参照 “3.2.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register） ” 的表 3-6。

在此区域中分配了 SFR 区 （FFF00H ～ FFFFFH）以外的 SFR，但是扩展 SFR 区的存取指令比 SFR 区长 1 字节。

注意 不能存取未分配扩展 SFR 的地址。

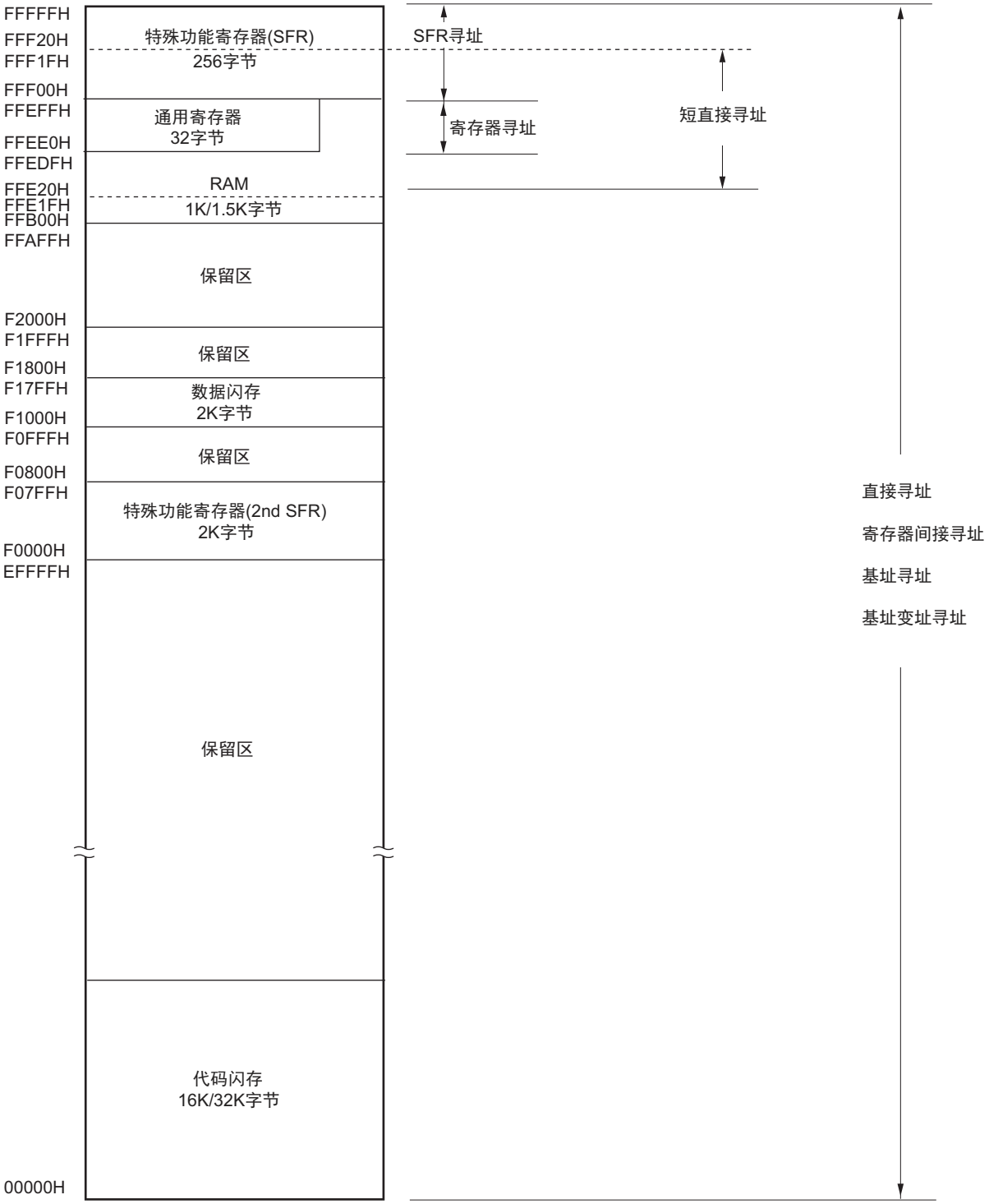
3.1.6 数据存储器的寻址

所谓寻址，是指定下一次要执行的指令地址以及指令执行操作对象的寄存器或者存储器等地址的方法。

对于指令执行操作对象的存储器的寻址，考虑到可操作性等， R7F0C001G/L、 R7F0C002G/L 提供了丰富的寻址方式。尤其是能根据特殊功能寄存器 （SFR）和通用寄存器等各种功能进行特殊的寻址。数据存储器和寻址的对应如图 3-4 所示。

有关各寻址的详细内容，请参照 “3.4 处理数据地址的寻址 ”。

图 3-4 数据存储器和寻址的对应



3.2 处理器的寄存器

R7F0C001G/L、 R7F0C002G/L 内置以下处理器的寄存器。

3.2.1 控制寄存器

这是具有控制程序顺序、状态和堆栈存储器等专用功能的寄存器。在控制寄存器中有程序计数器 （PC）、程序状态字 （PSW）和堆栈指针 （SP）。

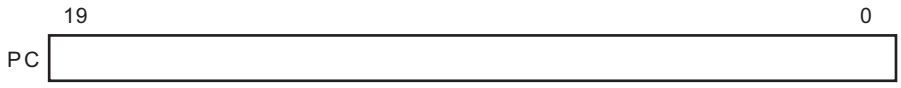
(1) 程序计数器 （PC）

程序计数器是保持下一次要执行的程序地址信息的 20 位寄存器。

在通常运行时，根据预取的指令码字节数自动进行递增。在执行转移指令时，设定立即数或者寄存器的内容。

通过产生复位信号，给程序计数器的低 16 位设定地址 0000H 和 0001H 的复位向量表的值，并且将程序计数器的高 4 位清 “0000”。

图 3-5 程序计数器的结构



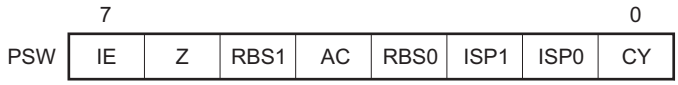
(2) 程序状态字 （PSW）

程序状态字是由各种标志组成的 8 位寄存器，通过执行指令对这些标识进行置位和清除。

在接受向量中断请求以及执行 PUSH PSW 指令时，将程序状态字的内容保存到堆栈区，而在执行 RETB 指令、 RETI 指令或者 POP PSW 指令时恢复程序状态字的内容。

通过产生复位信号， PSW 的值变为 “06H”。

图 3-6 程序状态字的结构



(a) 中断允许标志 （IE）

这是控制 CPU 的中断请求接受运行的标志。

当 IE 位是 “0” 时，为中断禁止 （DI）状态，禁止全部可屏蔽中断请求。

当 IE 位是 “1” 时，为中断允许 （EI）状态，通过优先级控制标志 （ISP1、 ISP0）、各中断源的中断屏蔽标志和优先级指定标志进行可屏蔽中断请求的接受控制。

通过执行 DI 指令或者接受中断，将此标志清 “0”；通过执行 EI 指令，将此标志置 “1”。

(b) 零标志 （Z）

当运算或者比较结果为零或者相等时，将此标志置 “1”。否则，将此标志清 “0”。

(c) 寄存器组选择标志 （RBS0、 RBS1）

这是从 4 组寄存器中选择 1 组的 2 位标志。
此标志保存通过执行 SEL RBn 指令所选寄存器组的 2 位信息。

(d) 辅助进位标志 （AC）

当运算结果在 bit3 产生进位或者借位时，将此标志置 “1”。否则，将此标志清 “0”。

(e) 优先级控制标志 （ISP1、 ISP0）

这是管理能接受的可屏蔽向量中断优先级的标志。禁止接受优先级指定标志寄存器 （PRn0L、 PRn0H、 PRn1L、 PRn1H、 PRn2L）（参照 14.3.3）指定的低于 ISP0 标志值和 ISP1 标志值的向量中断请求。另外，实际上通过中断允许标志 （IE）的状态控制是否接受向量中断请求，。

备注 n=0、 1

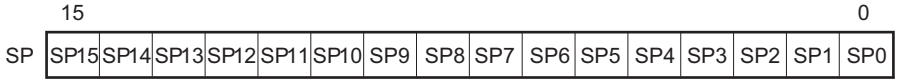
(f) 进位标志 （CY）

这是在执行加减运算指令时保存上溢和下溢的标志。另外，在执行循环指令时保存移出的值，并且在执行位操作指令时用作位累加器。

(3) 堆栈指针 （SP）

这是保存存储器堆栈区起始地址的 16 位寄存器。只有内部 RAM 区才能设定为堆栈区。

图 3-7 堆栈指针的结构



在通过堆栈指针进行堆栈寻址过程中， SP 在写堆栈存储器（压栈）时先递减，而在读堆栈存储器（退栈）时后递增。

注意 1. 通过产生复位信号， SP 的内容变为不定值，因此必须在使用堆栈前对 SP 进行初始化。
2. 禁止将通用寄存器 （FFEE0H ～ FFEFFH）的空间用作堆栈区。
3. 当使用自编程功能和数据闪存功能时，不能将以下产品的内部 RAM 用作堆栈区。
R7F0C001G、 R7F0C001L：FFB00H ～ FFC89H
R7F0C002G、 R7F0C002L：FF900H ～ FFC89H

3.2.2 通用寄存器

通用寄存器被映像到数据存储器的特定地址（FFEE0H ～ FFEFFH），由 1 组为 8 个 8 位寄存器（X、 A、 C、 B、 E、 D、 L、 H）的 4 组寄存器构成。

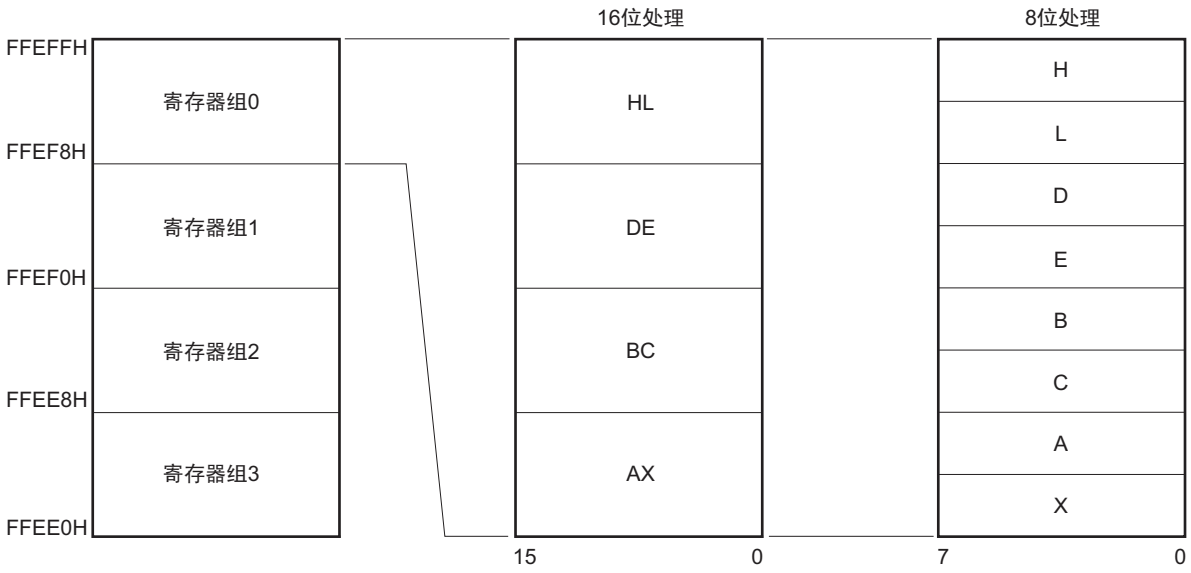
各寄存器除了能分别用作 8 位寄存器以外，还能将 2 个 8 位寄存器成对用作 1 个 16 位寄存器（AX、BC、DE、 HL）。

通过 CPU 控制指令 （SEL RBn）设定执行指令时使用的寄存器组。因为结构为 4 个寄存器组，所以能对通常处理使用的寄存器和中断处理使用的寄存器进行寄存器组的切换，建立高效率的程序。

注意 禁止将通用寄存器 （FFEE0H ～ FFEFFH）的空间用于取指令和堆栈区。

图 3-8 通用寄存器的结构

(a) 功能名称



3.2.3 ES 寄存器和 CS 寄存器

能通过 ES 寄存器指定数据存取并且通过 CS 寄存器 （寄存器直接寻址）指定执行转移时的高位地址。

ES 寄存器的复位后的初始值为 “0FH”， CS 寄存器的复位后的初始值为 “00H”。

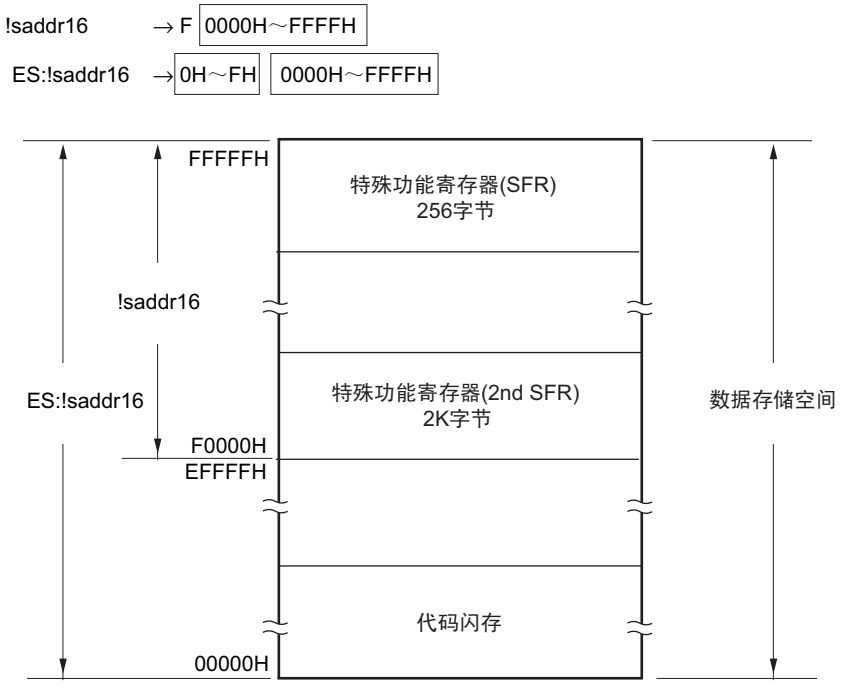
图 3-9 ES/CS 寄存器的结构

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

能通过 16 位地址进行存取的数据区是 F0000H ～ FFFFFH 的 64K 字节空间，但是如果附加 “ES:”，就能扩充到 00000H ～ FFFFFH 的 1M 字节空间。

图 3-10 数据存取区的扩充



3.2.4 特殊功能寄存器 （SFR：Special Function Register）

SFR 是和通用寄存器不同的并且分别具有特殊功能的寄存器。

SFR 空间分配在 FFF00H ～ FFFFFH 的区域。

和通用寄存器一样，能通过运算指令、传送指令和位操作指令来操作 SFR。能操作的位单位 （1、 8、 16）因各 SFR 而不同。

各操作位单位的指定方法如下所示。

- 1 位操作
  给 1 位操作指令的操作数 （sfr.bit）进行以下的记述：
  已定义位名的情况：＜位名＞
  没有定义位名的情况：＜寄存器名＞.＜位号＞或者＜地址＞.＜位号＞
- 8 位操作
  给 8 位操作指令的操作数 （sfr）记述汇编程序定义的符号，也能指定地址。
- 16 位操作
  给 16 位操作指令的操作数 （sfrp）记述汇编程序定义的符号。当指定地址时，必须记述偶数地址。

SFR 一览表如**表 3-5** 所示。表中的项目的含义如下所示。

- 符号
  这是表示特殊功能寄存器地址的符号。在汇编程序中为保留字，在编译程序中通过 #pragma sfr 指令定义为 sfr 变量。在使用汇编程序、调试程序和仿真程序时，能记述为指令的操作数。
- R/W
  表示能否读 （Read）写 （Write）相应的特殊功能寄存器。
  R/W：可读写
  R：只能读
  W：只能写
- 可操作的位单位
  “○”表示能操作的位单位 （1、 8、 16）。 “—”表示不能操作的位单位。
- 复位后
  表示在产生复位信号后的各个寄存器的状态。

注意 不能存取未分配 SFR 的地址。

备注 有关扩展 SFR （2nd SFR），请参照 “3.2.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register） ”。

表 3-5 SFR 一览表 (1/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位范围			复位后
					1 位	8 位	16 位	
FFF01H	端口寄存器 1	P1		R/W	○	○	—	00H
FFF02H	端口寄存器 2	P2		R/W	○	○	—	00H
FFF03H	端口寄存器 3	P3		R/W	○	○	—	00H
FFF04H	端口寄存器 4	P4		R/W	○	○	—	00H
FFF05H	端口寄存器 5	P5		R/W	○	○	—	00H
FFF06H	端口寄存器 6	P6		R/W	○	○	—	00H
FFF07H	端口寄存器 7	P7		R/W	○	○	—	00H
FFF0CH	端口寄存器 12	P12		R/W	○	○	—	不定值
FFF0DH	端口寄存器 13	P13		R/W	○	○	—	不定值
FFF0EH	端口寄存器 14	P14		R/W	○	○	—	00H
FFF10H	串行数据寄存器 00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	串行数据寄存器 01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	定时器数据寄存器 00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	定时器数据寄存器 01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○		00H
FFF1EH	10 位 A/D 转换结果寄存器	ADCR		R	—	—	○	0000H
FFF1FH	8 位 A/D 转换结果寄存器	ADCRH		R	—	○	—	00H
FFF21H	端口模式寄存器 1	PM1		R/W	○	○	—	FFH
FFF22H	端口模式寄存器 2	PM2		R/W	○	○	—	FFH
FFF23H	端口模式寄存器 3	PM3		R/W	○	○	—	FFH
FFF24H	端口模式寄存器 4	PM4		R/W	○	○	—	FFH
FFF25H	端口模式寄存器 5	PM5		R/W	○	○	—	FFH
FFF26H	端口模式寄存器 6	PM6		R/W	○	○	—	FFH
FFF27H	端口模式寄存器 7	PM7		R/W	○	○	—	FFH
FFF2CH	端口模式寄存器 12	PM12		R/W	○	○	—	FFH
FFF2EH	端口模式寄存器 14	PM14		R/W	○	○	—	FFH
FFF30H	A/D 转换器的模式寄存器 0	ADM0		R/W	○	○	—	00H
FFF31H	模拟输入通道指定寄存器	ADS		R/W	○	○	—	00H
FFF32H	A/D 转换器的模式寄存器 1	ADM1		R/W	○	○	—	00H
FFF34H	键中断控制寄存器	KRCTL		R/W	○	○	—	00H
FFF35H	键中断标志寄存器	KRF		R/W	—	○	—	00H
FFF37H	键中断模式寄存器 0	KRM0		R/W	○	○	—	00H

表 3-5 SFR 一览表 (2/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位的范围			复位后
					1 位	8 位	16 位	
FFF38H	外部中断上升沿允许寄存器 0	EGP0		R/W	○	○	—	00H
FFF39H	外部中断下降沿允许寄存器 0	EGN0		R/W	○	○	—	00H
FFF40H	LCD 模式寄存器 0	LCDM0		R/W	—	○	—	00H
FFF41H	LCD 模式寄存器 1	LCDM1		R/W	○	○	—	00H
FFF42H	LCD 时钟控制寄存器 0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD 升压电平控制寄存器	VLCD		R/W	—	○	—	04H
FFF64H	定时器数据寄存器 02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	定时器数据寄存器 03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○		00H
FFF6CH	定时器数据寄存器 06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	定时器数据寄存器 07	TDR07		R/W	—	—	○	0000H
FFF6FH								
FFF90H	间隔定时器控制寄存器	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFF92H	秒计数寄存器	SEC		R/W	—	○	—	00H
FFF93H	分钟计数寄存器	MIN		R/W	—	○	—	00H
FFF94H	小时计数寄存器	HOUR		R/W	—	○	—	12H 注
FFF95H	星期计数寄存器	WEEK		R/W	—	○	—	00H
FFF96H	日计数寄存器	DAY		R/W	—	○	—	01H
FFF97H	月计数寄存器	MONTH		R/W	—	○	—	01H
FFF98H	年计数寄存器	YEAR		R/W	—	○	—	00H
FFF99H	时钟误差校正寄存器	SUBCUD		R/W	—	○	—	00H
FFF9AH	闹钟分钟寄存器	ALARMWM		R/W	—	○	—	00H
FFF9BH	闹钟小时寄存器	ALARMWH		R/W	—	○	—	12H
FFF9CH	闹钟星期寄存器	ALARMWW		R/W	—	○	—	00H
FFF9DH	实时时钟控制寄存器 0	RTCC0		R/W	○	○	—	00H
FFF9EH	实时时钟控制寄存器 1	RTCC1		R/W	○	○	—	00H
FFFA0H	时钟运行模式控制寄存器	CMC		R/W	—	○	—	00H
FFFA1H	时钟运行状态控制寄存器	CSC		R/W	○	○	—	C0H
FFFA2H	振荡稳定时间计数器的状态寄存器	OSTC		R	○	○	—	00H
FFFA3H	振荡稳定时间选择寄存器	OSTS		R/W	—	○	—	07H
FFFA4H	系统时钟控制寄存器	CKC		R/W	○	○	—	00H

注 在复位后，如果将 AMPM 位 （实时时钟控制寄存器 0 （RTCC0）的 bit3）置 “1”，就为 “00H”。

表 3-5 SFR 一览表 (3/4)

地址	特殊功能寄存器 （SFR）名称	符号	R/W	可操作的位范围			复位后
				1 位	8 位	16 位	
FFFA5H	时钟输出选择寄存器 0	CKS0	R/W	○	○	—	00H
FFFA6H	时钟输出选择寄存器 1	CKS1	R/W	○	○	—	00H
FFFA8H	复位控制标志寄存器	RESF	R	—	○	—	不定值注1
FFFA9H	电压检测寄存器	LVIM	R/W	○	○	—	00H 注 1
FFFAAH	电压检测电平寄存器	LVIS	R/W	○	○	—	00H/01H/81H 注 1
FFFABH	看门狗定时器允许寄存器	WDTE	R/W	—	○	—	1AH/9AH 注 2
FFFACH	CRC 输入寄存器	CRCIN	R/W	—	○	—	00H

注 1. 复位值因复位源不同，如下所示。

寄存器 \ 复位源		RESET 输入	POR 复位	因执行非法指令发生的复位	WDT 复位	因 RAM 奇偶校验错误发生的复位	因存取非法存储器发生的复位	LVD 复位
RESF	TRAP	清 “0”		置 “1”	保持			保持
	WDTRF			保持	置 “1”	保持		
	RPERF			保持		置 “1”	保持	
	IAWRF			保持			置 “1”	
	LVIRF			保持				置 “1”
LVIM	LVISEN	清 “0”						保持
	LVIOMSK	保持						
	LVIF							
LVIS		清除 （00H/01H/81H）						

2. WDTE 寄存器的复位值取决于选项字节的设定。

表 3-5 SFR 一览表 (4/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位范围			复位后
					1 位	8 位	16 位	
FFFD0H	中断请求标志寄存器 2L	IF2L	IF2	R/W	○	○	○	00H
FFFD4H	中断屏蔽标志寄存器 2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD8H	优先级指定标志寄存器 02L	PR02L	PR02	R/W	○	○	○	FFH
FFFDCH	优先级指定标志寄存器 12L	PR12L	PR12	R/W	○	○	○	FFH
FFFE0H	中断请求标志寄存器 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	中断请求标志寄存器 0H	IF0H		R/W	○	○		00H
FFFE2H	中断请求标志寄存器 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	中断请求标志寄存器 1H	IF1H		R/W	○	○		00H
FFFE4H	中断屏蔽标志寄存器 0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	中断屏蔽标志寄存器 0H	MK0H		R/W	○	○		FFH
FFFE6H	中断屏蔽标志寄存器 1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	中断屏蔽标志寄存器 1H	MK1H		R/W	○	○		FFH
FFFE8H	优先级指定标志寄存器 00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	优先级指定标志寄存器 00H	PR00H		R/W	○	○		FFH
FFFEAH	优先级指定标志寄存器 01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	优先级指定标志寄存器 01H	PR01H		R/W	○	○		FFH
FFFECH	优先级指定标志寄存器 10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	优先级指定标志寄存器 10H	PR10H		R/W	○	○		FFH
FFFEEH	优先级指定标志寄存器 11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	优先级指定标志寄存器 11H	PR11H		R/W	○	○		FFH
FFFFEH	处理器模式控制寄存器	PMC		R/W	○	○	—	00H

备注 有关扩展 SFR （2nd SFR），请参照“ 表 3-6 扩展 SFR （2nd SFR）一览表 ”。

3.2.5 扩展特殊功能寄存器 （2nd SFR：2nd Special Function Register）

扩展 SFR （2nd SFR）是和通用寄存器不同的并且分别具有特殊功能的寄存器。

扩展 SFR 空间分配在 F0000H ～ F07FFH 的区域。在此区域中分配了 SFR 区 （FFF00H ～ FFFFFH）以外的 SFR，但是扩展 SFR 区的存取指令比 SFR 区长 1 字节。

和通用寄存器一样，能通过运算指令、传送指令和位操作指令来操作扩展 SFR。能操作的位单位 （1、 8、 16）因各扩展 SFR 而不同。

各操作位单位的指定方法如下所示。

- 1 位操作
  给 1 位操作指令的操作数 （!addr16.bit）进行以下的记述：
  已定义位名的情况：＜位名＞
  没有定义位名的情况：＜寄存器名＞.＜位号＞或者＜地址＞.＜位号＞
- 8 位操作
  给 8 位操作指令的操作数 （!addr16）记述汇编程序定义的符号，也能指定地址。
- 16 位操作
  给 16 位操作指令的操作数 （!addr16）记述汇编程序定义的符号。当指定地址时，必须记述偶数地址。

扩展 SFR 一览表如**表 3-6** 所示。表中的项目的含义如下所示。

- 符号
  这是表示扩展 SFR 地址的符号。在汇编程序中为保留字，在编译程序中通过 #pragma sfr 指令定义为 sfr 变量。在使用汇编程序、调试程序和仿真程序时，能记述为指令的操作数。
- R/W
  扩展 SFR 表示能否读 （Read）写 （Write）相应的特殊功能寄存器。
  R/W：可读写
  R：只能读
  W：只能写
- 可操作的位单位
  “○”表示能操作的位单位 （1、 8、 16）。 “—”表示不能操作的位单位。
- 复位后
  表示产生复位信号后的各个寄存器的状态。

注意 不能存取未分配扩展 SFR （2nd SFR）的地址。

备注 有关 SFR 区的 SFR，请参照 “3.2.4 特殊功能寄存器 （SFR：Special Function Register） ”。

表 3-6 扩展 SFR （2nd SFR）一览表 (1/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位范围			复位后
					1 位	8 位	16 位	
F0010H	A/D 转换器的模式寄存器 2	ADM2		R/W	○	○	—	00H
F0011H	转换结果比较上限值设定寄存器	ADUL		R/W	—	○	—	FFH
F0012H	转换结果比较下限值设定寄存器	ADLL		R/W	—	○	—	00H
F0013H	A/D 测试寄存器	ADTES		R/W	—	○	—	00H
F0031H	上拉电阻选择寄存器 1	PU1		R/W	○	○	—	00H
F0033H	上拉电阻选择寄存器 3	PU3		R/W	○	○	—	00H
F0034H	上拉电阻选择寄存器 4	PU4		R/W	○	○	—	01H
F0035H	上拉电阻选择寄存器 5	PU5		R/W	○	○	—	00H
F0037H	上拉电阻选择寄存器 7	PU7		R/W	○	○	—	00H
F003CH	上拉电阻选择寄存器 12	PU12		R/W	○	○	—	00H
F003EH	上拉电阻选择寄存器 14	PU14		R/W	○	○	—	00H
F0041H	端口输入模式寄存器 1	PIM1		R/W	○	○	—	00H
F0051H	端口输出模式寄存器 1	POM1		R/W	○	○	—	00H
F0061H	端口模式控制寄存器 1	PMC1		R/W	○	○	—	FFH
F0064H	端口模式控制寄存器 4	PMC4		R/W	○	○	—	FFH
F006CH	端口模式控制寄存器 12	PMC12		R/W	○	○	—	FFH
F006EH	端口模式控制寄存器 14	PMC14		R/W	○	○	—	FFH
F0070H	噪声滤波器允许寄存器 0	NFEN0		R/W	○	○	—	00H
F0071H	噪声滤波器允许寄存器 1	NFEN1		R/W	○	○	—	00H
F0074H	定时器输入选择寄存器 0	TIS0		R/W	—	○	—	00H
F0076H	A/D 端口配置寄存器	ADPC		R/W	—	○	—	00H
F0077H	外围 I/O 重定向寄存器	PIOR		R/W	—	○	—	00H
F0078H	非法存储器存取检测控制寄存器	IAWCTL		R/W	—	○	—	00H
F0079H	定时器阵列单元输出选择寄存器	TOS		R/W	○	○	—	00H
F0090H	数据闪存控制寄存器	DFLCTL		R/W	○	○	—	00H
F00A8H	高速内部振荡器频率选择寄存器	HOCODIV		R/W	—	○	—	不定值[注]
F00F0H	外围允许寄存器 0	PER0		R/W	○	○	—	00H
F00F3H	副系统时钟提供模式控制寄存器	OSMC		R/W	—	○	—	00H
F00F5H	RAM 奇偶校验错误控制寄存器	RPECTL		R/W	○	○	—	00H
F00FEH	BCD 校正结果寄存器	BCDADJ		R	—	○	—	不定值
F0100H	串行状态寄存器 00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	串行状态寄存器 01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0108H	串行标志清除触发寄存器 00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	串行标志清除触发寄存器 01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		

注 通过选项字节 000C2H 的 FRQSEL2 ～ FRQSEL0 设定的值。

表 3-6 扩展 SFR （2nd SFR）一览表 (2/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位范围			复位后
					1 位	8 位	16 位	
F0110H	串行模式寄存器 00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	串行模式寄存器 01	SMR01		R/W	—	—	○	0020H
F0113H								
F0118H	串行通信运行设定寄存器 00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	串行通信运行设定寄存器 01	SCR01		R/W	—	—	○	0087H
F011BH								
F0120H	串行通道允许状态寄存器 0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	串行通道开始寄存器 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	串行通道停止寄存器 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	串行时钟选择寄存器 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	串行输出寄存器 0	SO0		R/W	—	—	○	0303H
F0129H								
F012AH	串行输出允许寄存器 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	串行输出电平寄存器 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	串行待机控制寄存器 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0180H	定时器计数寄存器 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	定时器计数寄存器 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	定时器计数寄存器 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	定时器计数寄存器 03	TCR03		R	—	—	○	FFFFH
F0187H								
F018CH	定时器计数寄存器 06	TCR06		R	—	—	○	FFFFH
F018DH								
F018EH	定时器计数寄存器 07	TCR07		R	—	—	○	FFFFH
F018FH								
F0190H	定时器模式寄存器 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	定时器模式寄存器 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	定时器模式寄存器 02	TMR02		R/W	—	—	○	0000H
F0195H								

表 3-6 扩展 SFR （2nd SFR）一览表 (3/4)

地址	特殊功能寄存器 （SFR）名称	符号		R/W	可操作的位范围			复位后
					1 位	8 位	16 位	
F0196H	定时器模式寄存器 03	TMR03		R/W	—	—	○	0000H
F0197H								
F019CH	定时器模式寄存器 06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	定时器模式寄存器 07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	定时器状态寄存器 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	定时器状态寄存器 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	定时器状态寄存器 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	定时器状态寄存器 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01ACH	定时器状态寄存器 06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—	—		
F01AEH	定时器状态寄存器 07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—	—		
F01B0H	定时器通道允许状态寄存器 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	定时器通道开始寄存器 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	定时器通道停止寄存器 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	定时器时钟选择寄存器 0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	定时器输出寄存器 0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	定时器输出允许寄存器 0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	定时器输出电平寄存器 0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	定时器输出模式寄存器 0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F02F0H	闪存 CRC 控制寄存器	CRC0CTL		R/W	○	○	—	00H
F02F2H	闪存 CRC 运算结果寄存器	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRC 数据寄存器	CRCD		R/W	—	—	○	0000H
F0300H	LCD 端口功能寄存器 0	PFSEG0		R/W	○	○	—	F0H
F0301H	LCD 端口功能寄存器 1	PFSEG1		R/W	○	○	—	FFH
F0302H	LCD 端口功能寄存器 2	PFSEG2		R/W	○	○	—	FFH
F0303H	LCD 端口功能寄存器 3	PFSEG3		R/W	○	○	—	FFH
F0304H	LCD 端口功能寄存器 4	PFSEG4		R/W	○	○	—	7FH
F0308H	LCD 输入切换控制寄存器	ISCLCD		R/W	○	○	—	00H

表 3-6 扩展 SFR （2nd SFR）一览表 (4/4)

地址	特殊功能寄存器 （SFR）名称	符号	R/W	可操作的位范围			复位后
				1 位	8 位	16 位	
F0400H	LCD 显示数据存储器 0	SEG0	R/W	—	○	—	00H
F0401H	LCD 显示数据存储器 1	SEG1	R/W	—	○	—	00H
F0402H	LCD 显示数据存储器 2	SEG2	R/W	—	○	—	00H
F0403H	LCD 显示数据存储器 3	SEG3	R/W	—	○	—	00H
F0404H	LCD 显示数据存储器 4	SEG4	R/W	—	○	—	00H
F0405H	LCD 显示数据存储器 5	SEG5	R/W	—	○	—	00H
F0406H	LCD 显示数据存储器 6	SEG6	R/W	—	○	—	00H
F0407H	LCD 显示数据存储器 7	SEG7	R/W	—	○	—	00H
F0408H	LCD 显示数据存储器 8	SEG8	R/W	—	○	—	00H
F0409H	LCD 显示数据存储器 9	SEG9	R/W	—	○	—	00H
F040AH	LCD 显示数据存储器 10	SEG10	R/W	—	○	—	00H
F040BH	LCD 显示数据存储器 11	SEG11	R/W	—	○	—	00H
F040CH	LCD 显示数据存储器 12	SEG12	R/W	—	○	—	00H
F040DH	LCD 显示数据存储器 13	SEG13	R/W	—	○	—	00H
F040EH	LCD 显示数据存储器 14	SEG14	R/W	—	○	—	00H
F040FH	LCD 显示数据存储器 15	SEG15	R/W	—	○	—	00H
F0410H	LCD 显示数据存储器 16	SEG16	R/W	—	○	—	00H
F0411H	LCD 显示数据存储器 17	SEG17	R/W	—	○	—	00H
F0412H	LCD 显示数据存储器 18	SEG18	R/W	—	○	—	00H
F0413H	LCD 显示数据存储器 19	SEG19	R/W	—	○	—	00H
F0414H	LCD 显示数据存储器 20	SEG20	R/W	—	○	—	00H
F0415H	LCD 显示数据存储器 21	SEG21	R/W	—	○	—	00H
F0416H	LCD 显示数据存储器 22	SEG22	R/W	—	○	—	00H
F0417H	LCD 显示数据存储器 23	SEG23	R/W	—	○	—	00H
F0418H	LCD 显示数据存储器 24	SEG24	R/W	—	○	—	00H
F0419H	LCD 显示数据存储器 25	SEG25	R/W	—	○	—	00H
F041AH	LCD 显示数据存储器 26	SEG26	R/W	—	○	—	00H
F041BH	LCD 显示数据存储器 27	SEG27	R/W	—	○	—	00H
F041CH	LCD 显示数据存储器 28	SEG28	R/W	—	○	—	00H
F041DH	LCD 显示数据存储器 29	SEG29	R/W	—	○	—	00H
F041EH	LCD 显示数据存储器 30	SEG30	R/W	—	○	—	00H
F041FH	LCD 显示数据存储器 31	SEG31	R/W	—	○	—	00H
F0420H	LCD 显示数据存储器 32	SEG32	R/W	—	○	—	00H
F0421H	LCD 显示数据存储器 33	SEG33	R/W	—	○	—	00H
F0422H	LCD 显示数据存储器 34	SEG34	R/W	—	○	—	00H
F0423H	LCD 显示数据存储器 35	SEG35	R/W	—	○	—	00H
F0424H	LCD 显示数据存储器 36	SEG36	R/W	—	○	—	00H
F0425H	LCD 显示数据存储器 37	SEG37	R/W	—	○	—	00H
F0426H	LCD 显示数据存储器 38	SEG38	R/W	—	○	—	00H

备注 有关 SFR 区的 SFR，请参照 “ 表 3-5 SFR 一览表 ”。

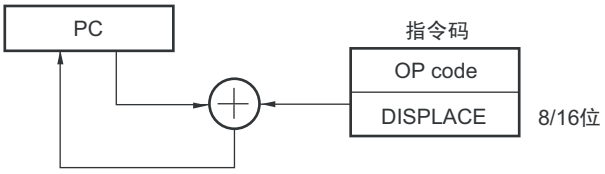
3.3 指令地址的寻址

3.3.1 相对寻址

【功能】

相对寻址将指令码中的位移量 （带符号的补码数据：–128 ～ +127 或者 –32768 ～ +32767）加上程序计数器 （PC）的值 （下一条指令的起始地址），结果保存在程序计数器 （PC）并且指定转移目标的程序地址。相对寻址只适用于转移指令。

图 3-11 相对寻址的概要



3.3.2 立即寻址

【功能】

立即寻址将指令码中的立即数保存到程序计数器，指定转移目标的程序地址。

在立即寻址中有指定 20 位地址的 CALL !!addr20/BR !!addr20 和指定 16 位地址的 CALL !addr16/BR !addr16。

当指定 16 位地址时，将高 4 位置 “0000”。

图 3-12 CALL !!addr20/BR !!addr20 的例子

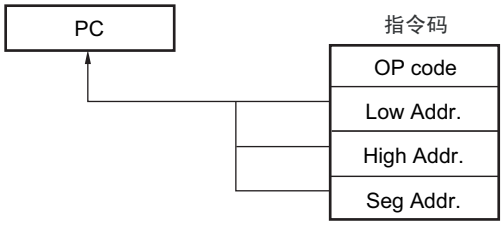
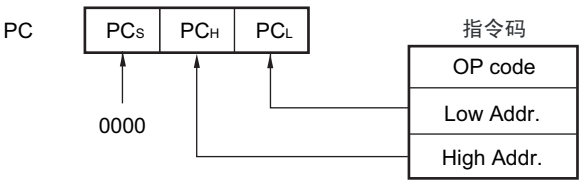


图 3-13 CALL !addr16/BR !addr16 的例子



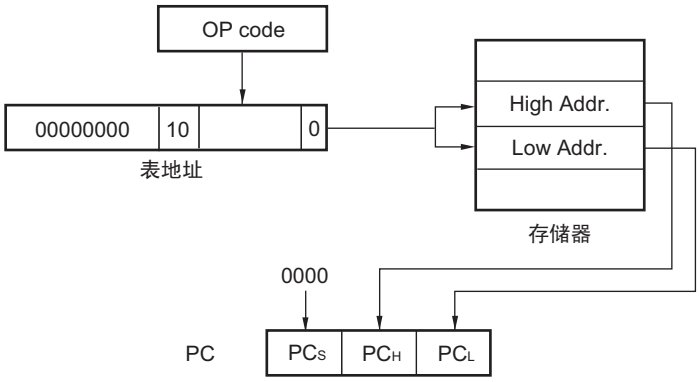
3.3.3 表间接寻址

【功能】

表间接寻址通过指令码中的 5 位立即数指定 CALLT 表区 （0080H ～ 00BFH）中的表地址，将此内容和其后续的地址内容作为 16 位数据保存到程序计数器 （PC），指定程序地址。表间接寻址只适用于 CALLT 指令。

R7F0C0001G/L 、 R7F0C002G/L 只能在 00000H ～ 0FFFFH 的 64K 字节空间中进行转移。

图 3-14 表间接寻址的概要

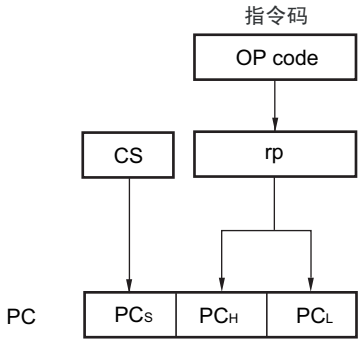


3.3.4 寄存器直接寻址

【功能】

寄存器直接寻址将指令码指定的当前寄存器组的通用寄存器对 （AX/BC/DE/HL）和 CS 寄存器的内容作为 20 位数据保存到程序计数器 （PC），指定程序地址。寄存器直接寻址只适用于 CALL AX/BC/DE/HL 和 BR AX 指令。

图 3-15 寄存器直接寻址的概要



3.4 处理数据地址的寻址

3.4.1 隐含寻址

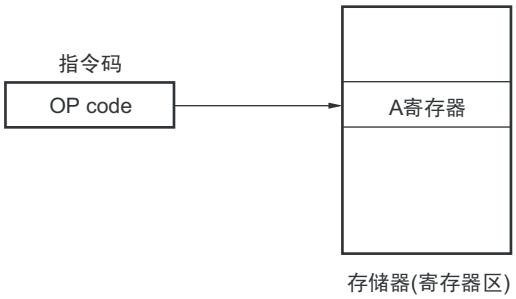
【功能】

对于具有累加器等特殊功能寄存器的存取指令，指令码中没有寄存器指定字段，而通过指令码直接指定。

【操作数形式】

隐含寻址只适用于 MULU X 指令。

图 3-16 隐含寻址的概要



3.4.2 寄存器寻址

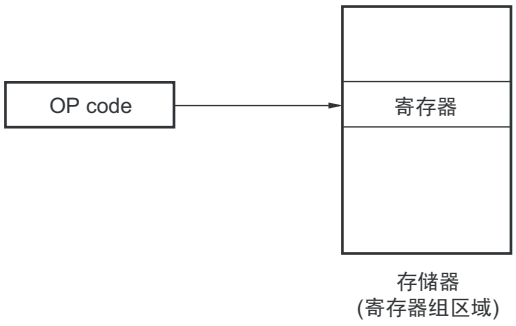
【功能】

寄存器寻址是将通用寄存器作为操作数进行存取的寻址方式。当指定 8 位寄存器时，通过指令码中的 3 位选择寄存器；当指定 16 位寄存器时，通过指令码中的 2 位选择寄存器。

【操作数形式】

表现形式	记述方法
r	X、 A、 C、 B、 E、 D、 L、 H
rp	AX、 BC、 DE、 HL

图 3-17 寄存器寻址的概要



3.4.3 直接寻址

【功能】

直接寻址是以指令码中的立即数为操作数地址来直接指定对象地址的寻址方式。

【操作数形式】

表现形式	记述方法
!addr16	标号或者 16 位立即数 （只能指定 F0000H ～ FFFFFH 的空间）
ES:!addr16	标号或者 16 位立即数 （通过 ES 寄存器指定高 4 位地址）

图 3-18 !addr16 的例子

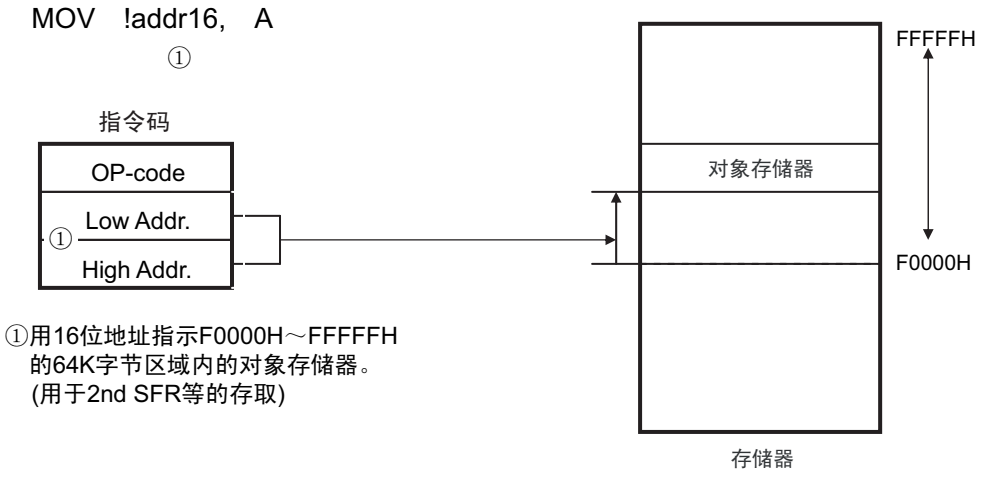
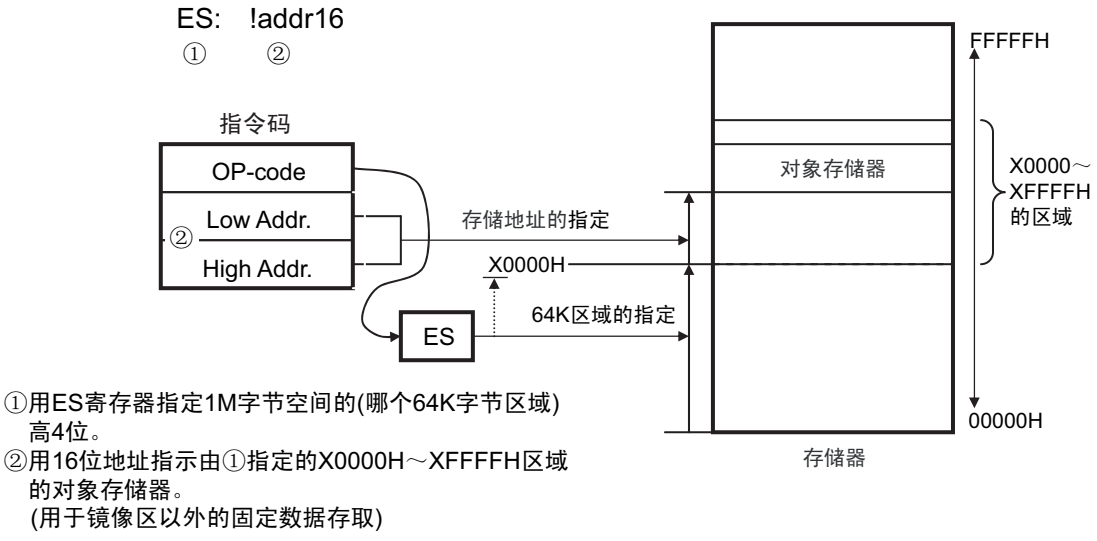


图 3-19 ES:!addr16 的例子



3.4.4 短直接寻址

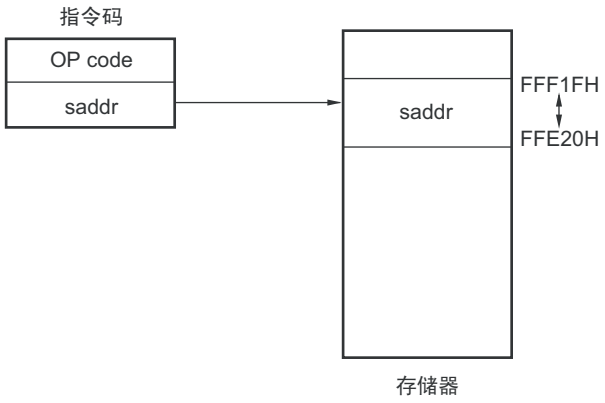
【功能】

短直接寻址是通过指令码中的 8 位数据直接指定对象地址的寻址方式。此寻址方式只适用于 FFE20H ～ FFF1FH 的空间。

【操作数形式】

表现形式	记述方法
SADDR	标号、 FFE20H ～ FFF1FH 的立即数或者 0FE20H ～ 0FF1FH 的立即数 （只能指定 FFE20H ～ FFF1FH 的空间）
SADDRP	标号、 FFE20H ～ FFF1FH 的立即数或者 0FE20H ～ 0FF1FH 的立即数 （只限于偶数地址） （只能指定 FFE20H ～ FFF1FH 的空间）

图 3-20 短直接寻址的概要



备注 SADDR 和 SADDRP 能通过 16 位立即数 （省略了实际地址的高 4 位）记述 FE20H ～ FF1FH 的值，并且能通过 20 位立即数记述 FFE20H ～ FFF1FH 的值。
但是，无论用哪种形式，都指定存储器的FFE20H～FFF1FH空间地址。

3.4.5 SFR 寻址

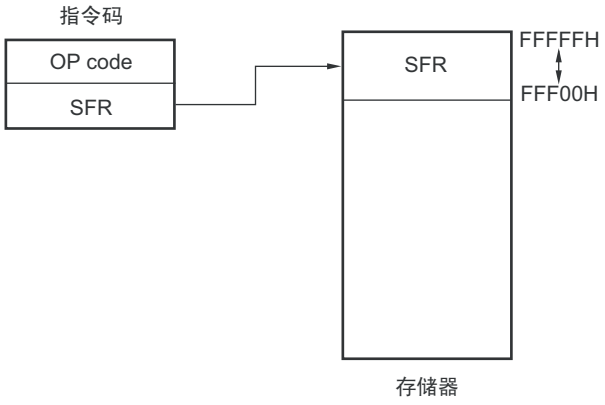
【功能】

SFR 寻址是通过指令码中的 8 位数据直接指定对象 SFR 地址的寻址方式。此寻址方式只适用于 FFF00H ～ FFFFFH 的空间。

【操作数形式】

表现形式	记述方法
SFR	SFR 寄存器名
SFRP	16 位可操作的 SFR 寄存器名 （偶数地址）

图 3-21 SFR 寻址的概要



3.4.6 寄存器间接寻址

【功能】

寄存器间接寻址以指令码指定的寄存器对的内容为操作数地址，指定对象地址。

【操作数形式】

表现形式	记述方法
—	[DE]、 [HL] （只能指定 F0000H ～ FFFFFH 的空间）
—	ES:[DE]、 ES:[HL] （通过 ES 寄存器指定高 4 位地址）

图 3-22 [DE]、 [HL] 的例子

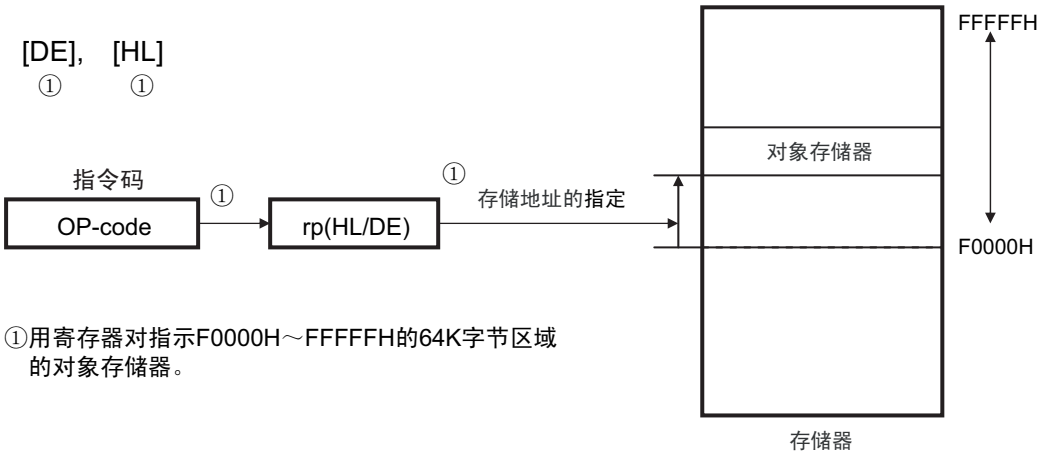
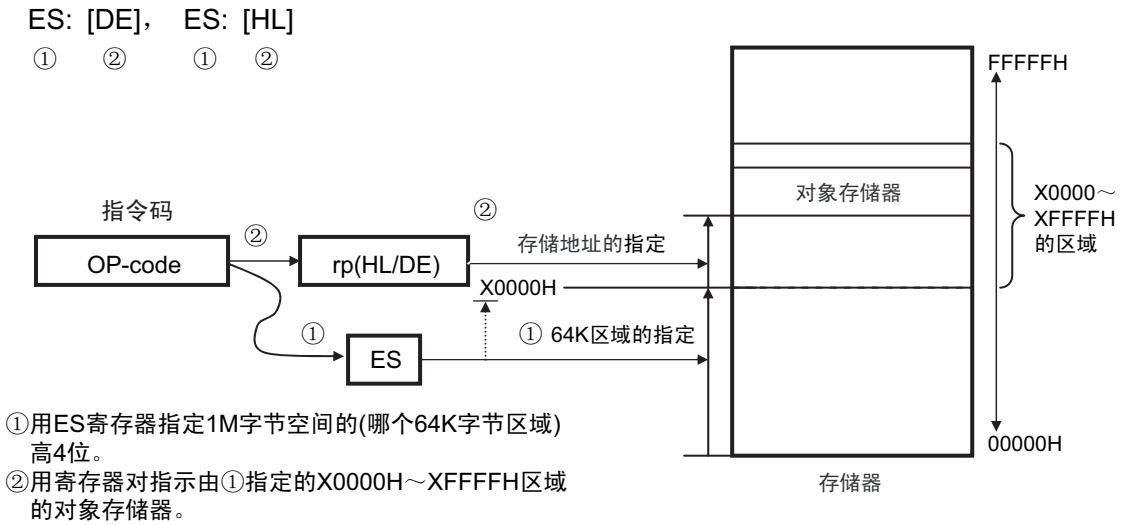


图 3-23 ES:[DE]、 ES:[HL] 的例子



3.4.7 基址寻址

【功能】

基址寻址以指令码指定的寄存器对的内容或者 16 位立即数为基址，以 8 位立即数或者 16 位立即数为偏移量，用基址和偏移量的相加结果指定对象地址。

【操作数形式】

表现形式	记述方法
—	[HL+byte]、 [DE+byte]、 [SP+byte] （只能指定 F0000H ～ FFFFFH 的空间）
—	word[B]、 word[C] （只能指定 F0000H ～ FFFFFH 的空间）
—	word[BC] （只能指定 F0000H ～ FFFFFH 的空间）
—	ES:[HL+byte]、 ES:[DE+byte] （通过 ES 寄存器指定高 4 位地址）
—	ES:word[B]、 ES:word[C] （通过 ES 寄存器指定高 4 位地址）
—	ES:word[BC] （通过 ES 寄存器指定高 4 位地址）

图 3-24 [SP+byte] 的例子

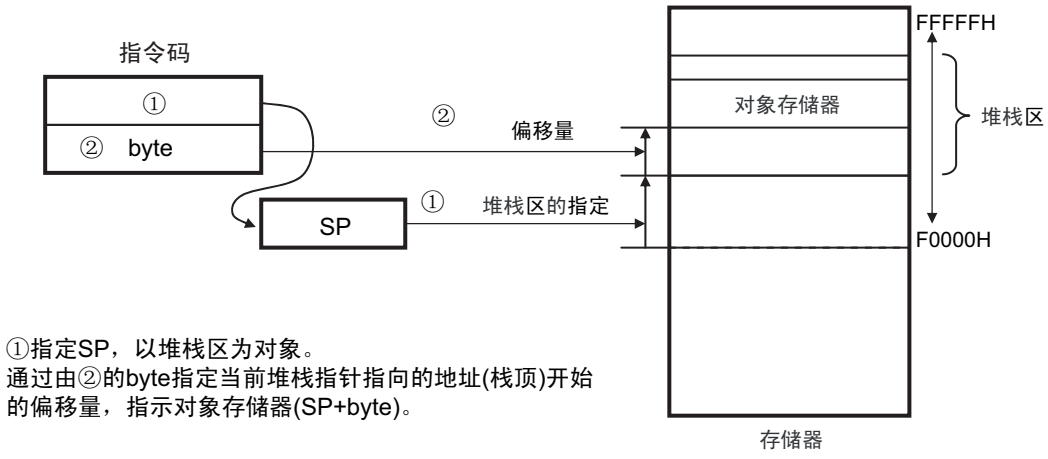
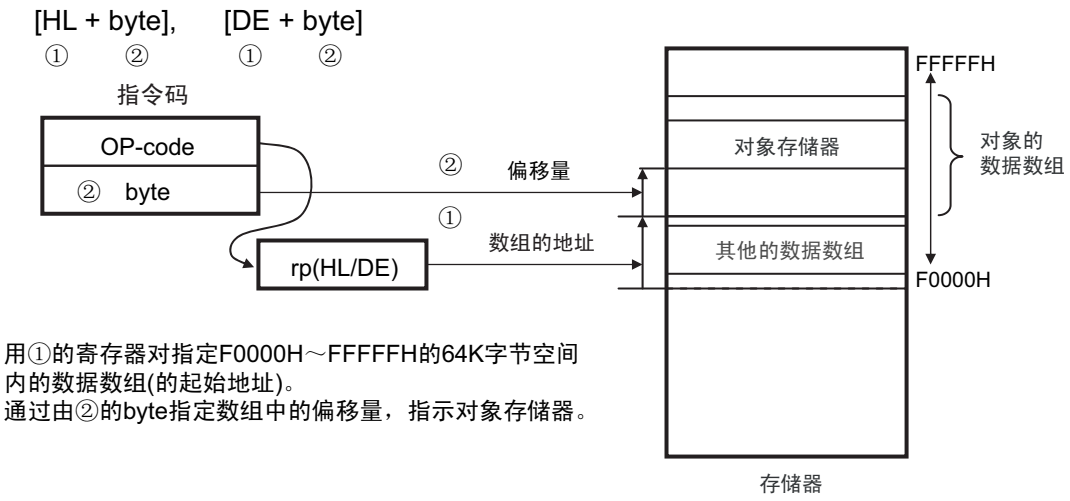
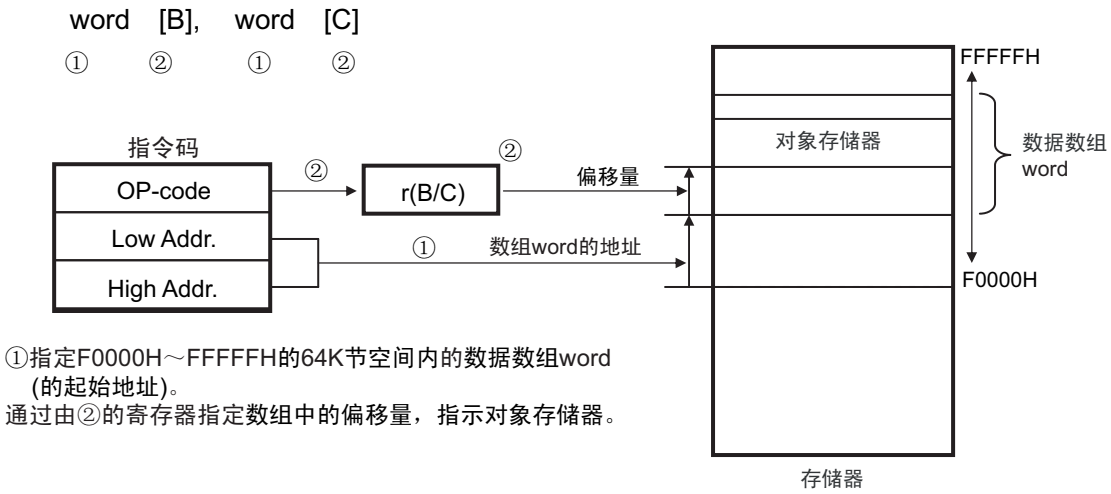


图 3-25 [HL+byte]、 [DE+byte] 的例子



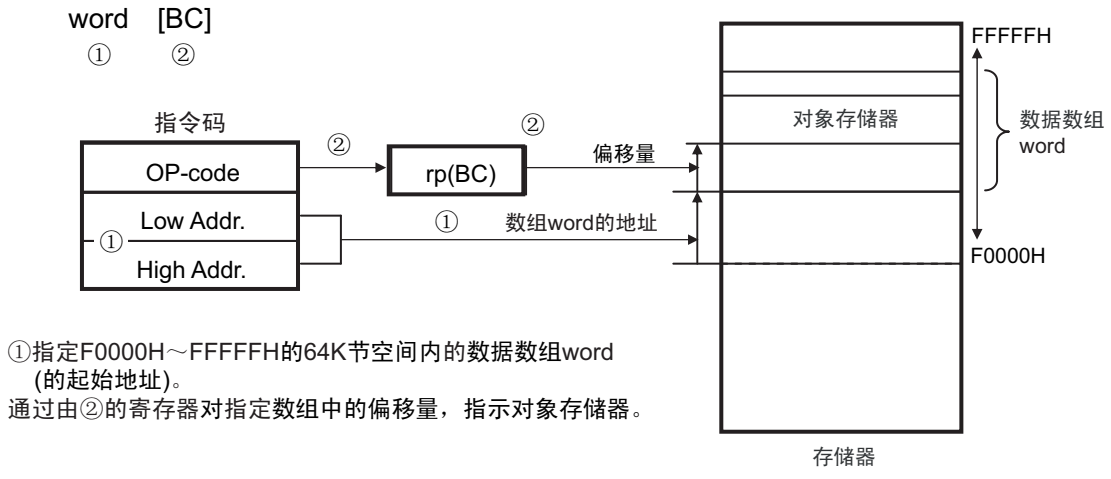
用①的寄存器对指定F0000H～FFFFFH的64K字节空间内的数据数组(的起始地址)。
通过由②的byte指定数组中的偏移量，指示对象存储器。

图 3-26 word[B]、 word[C] 的例子



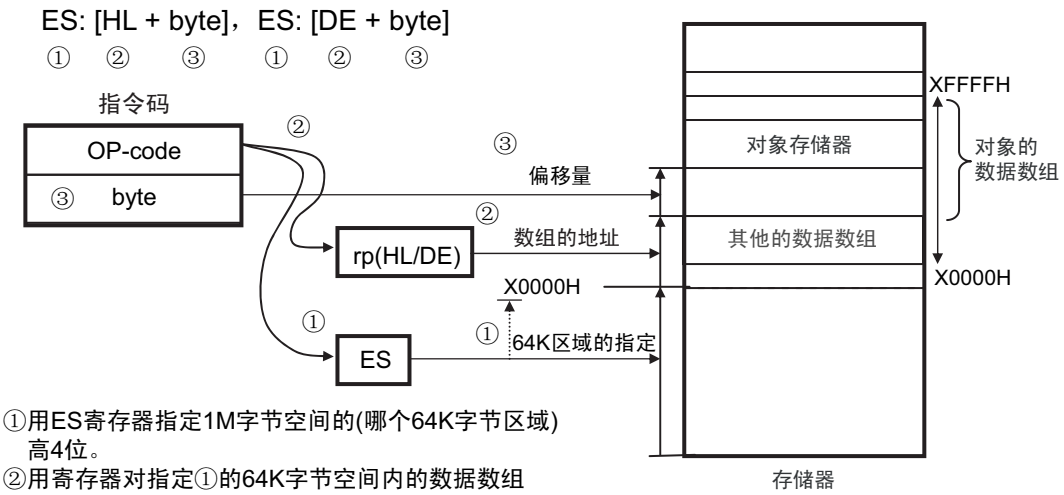
①指定F0000H～FFFFFH的64K节空间内的数据数组word(的起始地址)。
通过由②的寄存器指定数组中的偏移量，指示对象存储器。

图 3-27 word[BC] 的例子



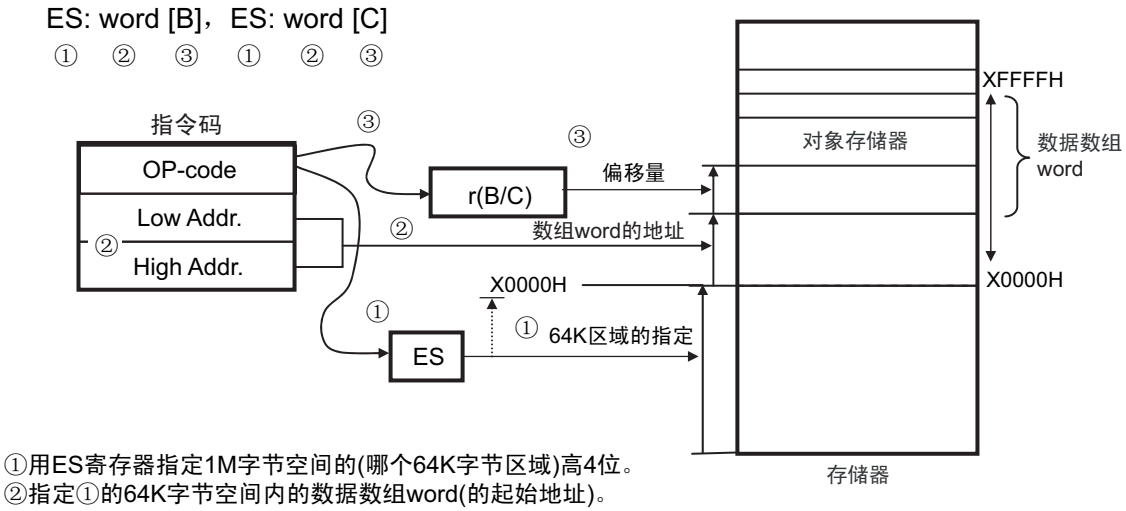
①指定F0000H～FFFFFH的64K节空间内的数据数组word(的起始地址)。
通过由②的寄存器对指定数组中的偏移量，指示对象存储器。

图 3-28 ES:[HL+byte]、 ES:[DE+byte] 的例子



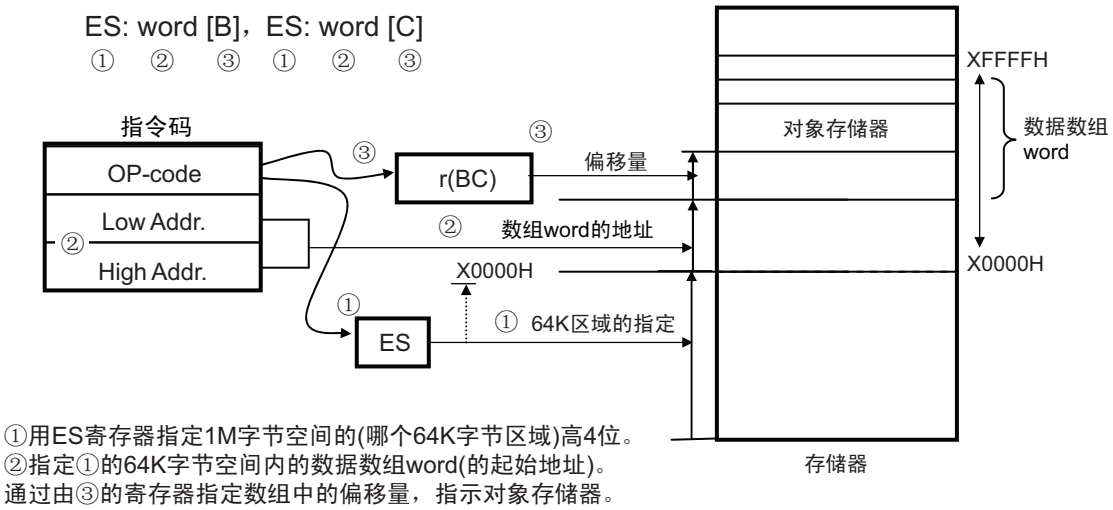
①用ES寄存器指定1M字节空间的(哪个64K字节区域)高4位。
②用寄存器对指定①的64K字节空间内的数据数组(的起始地址)。
通过由③的byte指定数组中的偏移量，指示对象存储器。

图 3-29 ES:word[B]、 ES:word[C] 的例子



①用ES寄存器指定1M字节空间的(哪个64K字节区域)高4位。
②指定①的64K字节空间内的数据数组word(的起始地址)。
通过由③的寄存器指定数组中的偏移量，指示对象存储器。

图 3-30 ES:word[BC] 的例子



①用ES寄存器指定1M字节空间的(哪个64K字节区域)高4位。
②指定①的64K字节空间内的数据数组word(的起始地址)。
通过由③的寄存器指定数组中的偏移量，指示对象存储器。

3.4.8 基址变址寻址

【功能】

基址变址寻址以指令码指定的寄存器对的内容为基址，以指令码指定的 B 寄存器或者 C 寄存器的内容为偏移地址，用基址和偏移地址的相加结果指定对象地址。

【操作数形式】

表现形式	记述方法
—	[HL+B]、 [HL+C] （只能指定 F0000H ～ FFFFFH 的空间）
—	ES:[HL+B]、 ES:[HL+C] （通过 ES 寄存器指定高 4 位地址）

图 3-31 [HL+B]、 [HL+C] 的例子

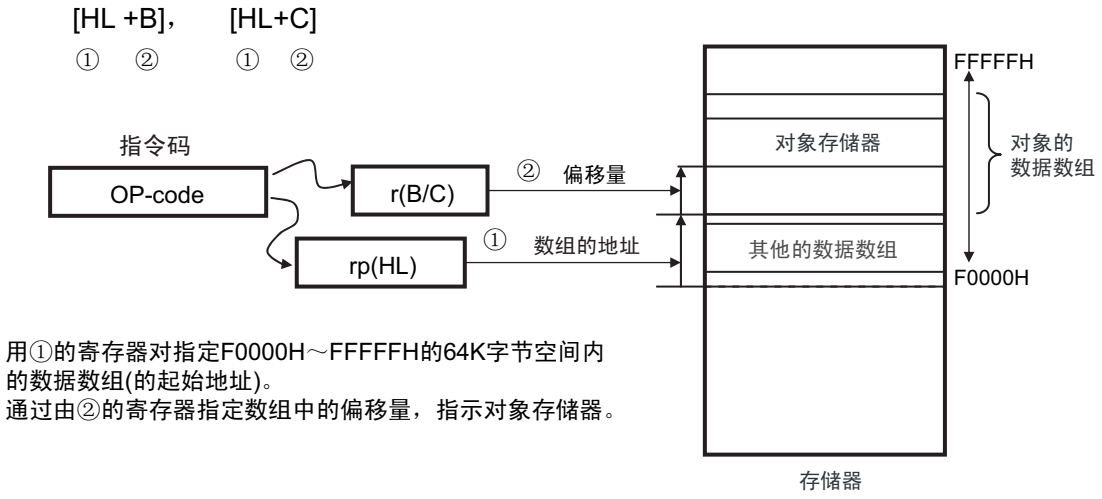
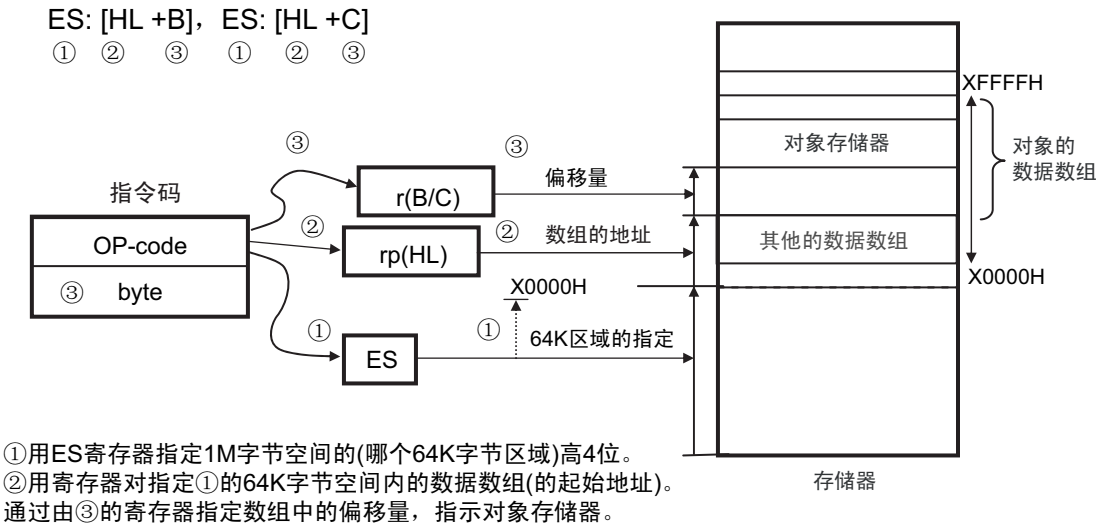


图 3-32 ES:[HL+B]、 ES:[HL+C] 的例子



3.4.9 堆栈寻址

【功能】

堆栈寻址是通过堆栈指针 （SP）的内容间接指定堆栈区域的寻址方式。当执行 PUSH、 POP、子程序调用和返回指令时，或者在因产生中断请求而保存 / 恢复寄存器时，将自动使用这种寻址方式。

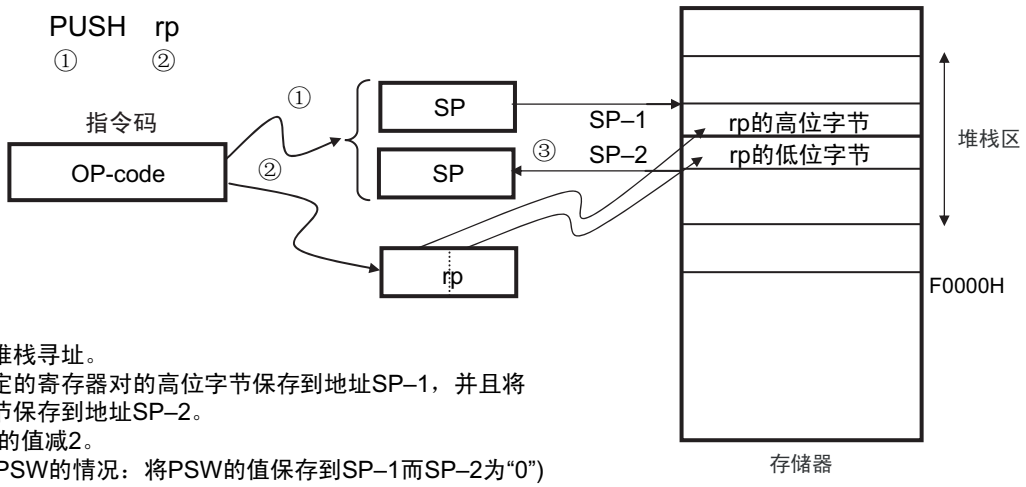
堆栈存取只适用于内部 RAM 区域。

【记述形式】

表现形式	记述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （发生中断请求） RETI

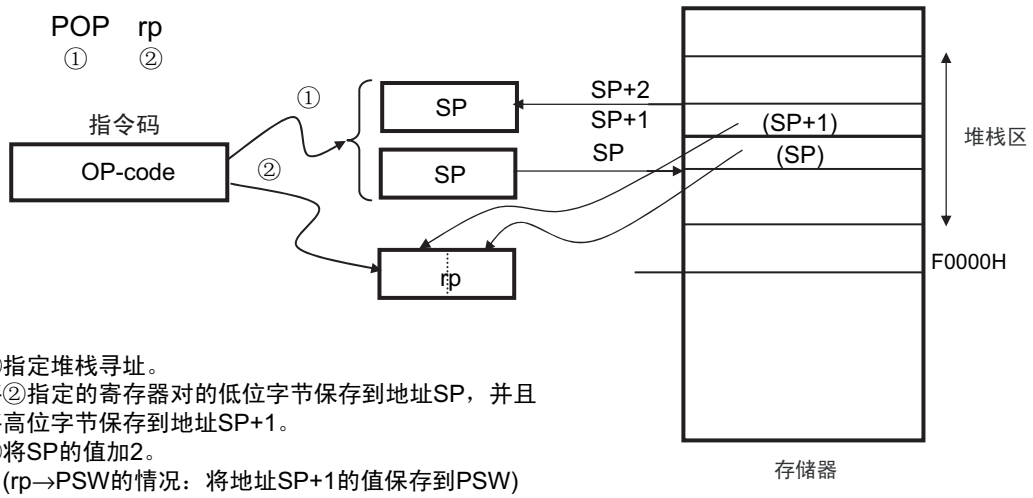
根据各堆栈的运行，压栈和退栈的数据如图 3-33 ～图 3-38 所示。

图 3-33 PUSH rp 的例子



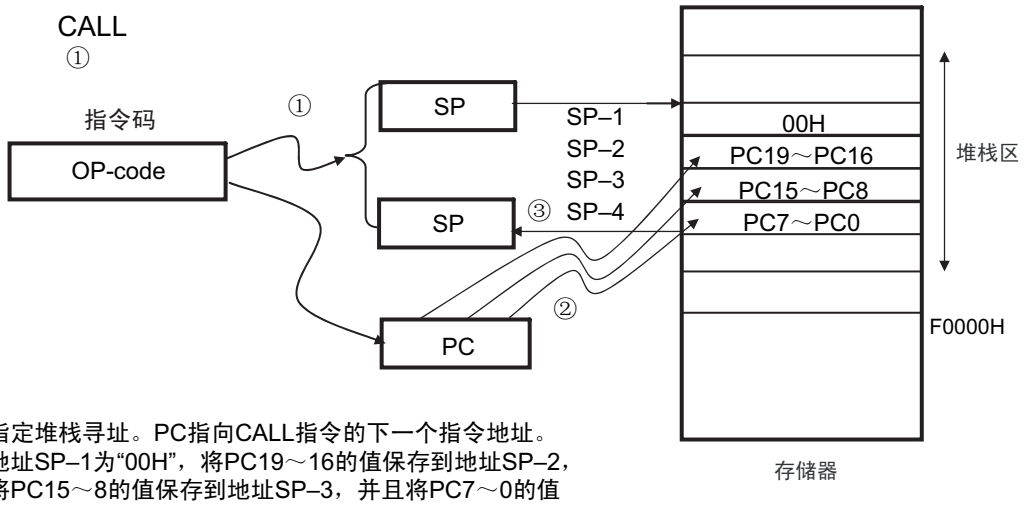
①指定堆栈寻址。
将②指定的寄存器对的高位字节保存到地址SP–1，并且将低位字节保存到地址SP–2。
③将SP的值减2。
(rp→PSW的情况：将PSW的值保存到SP–1而SP–2为“0”)

图 3-34 POP 的例子



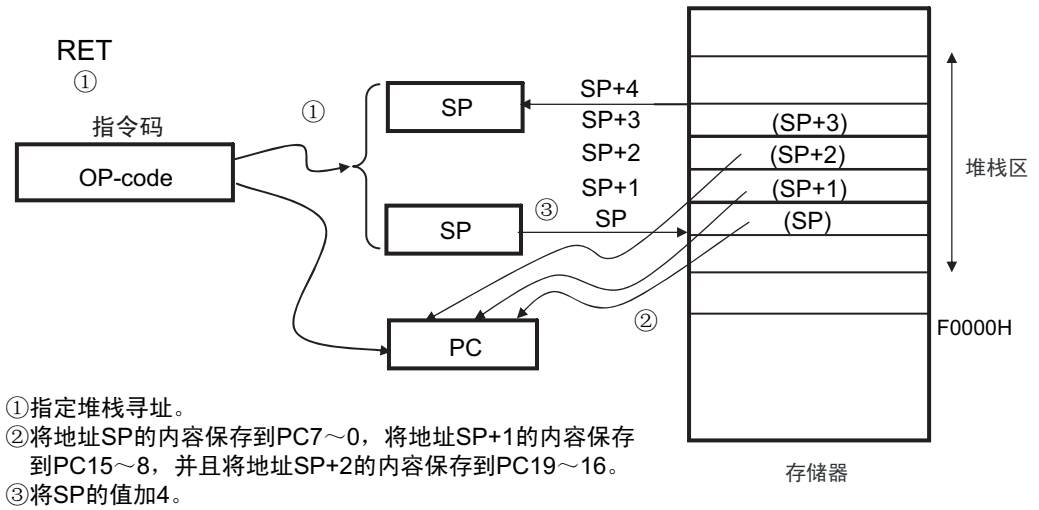
①指定堆栈寻址。
将②指定的寄存器对的低位字节保存到地址SP，并且
将高位字节保存到地址SP+1。
③将SP的值加2。
(rp→PSW的情况：将地址SP+1的值保存到PSW)

图 3-35 CALL、 CALLT 的例子



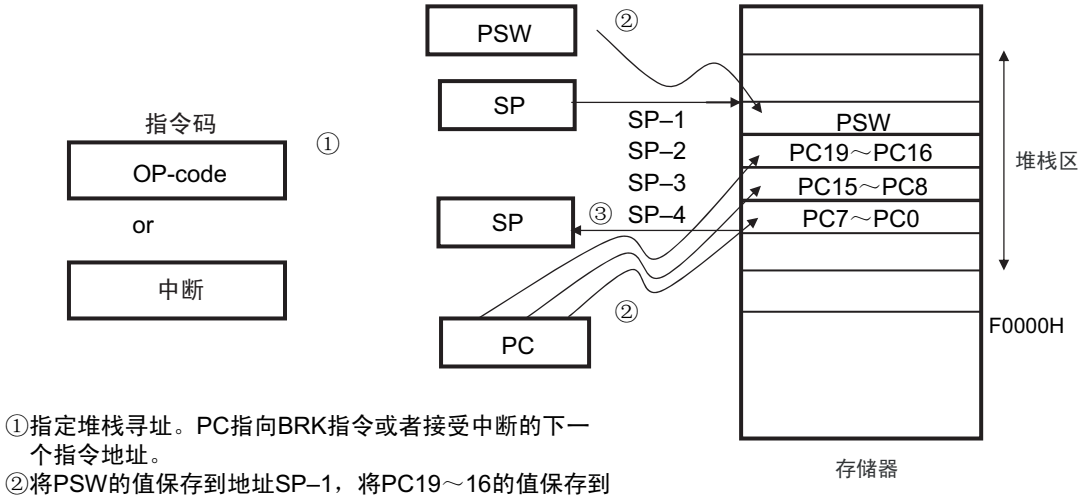
①指定堆栈寻址。PC指向CALL指令的下一个指令地址。
②地址SP–1为“00H”，将PC19～16的值保存到地址SP–2，
将PC15～8的值保存到地址SP–3，并且将PC7～0的值
保存到地址SP–4。
③将SP的值减4。

图 3-36 RET 的例子



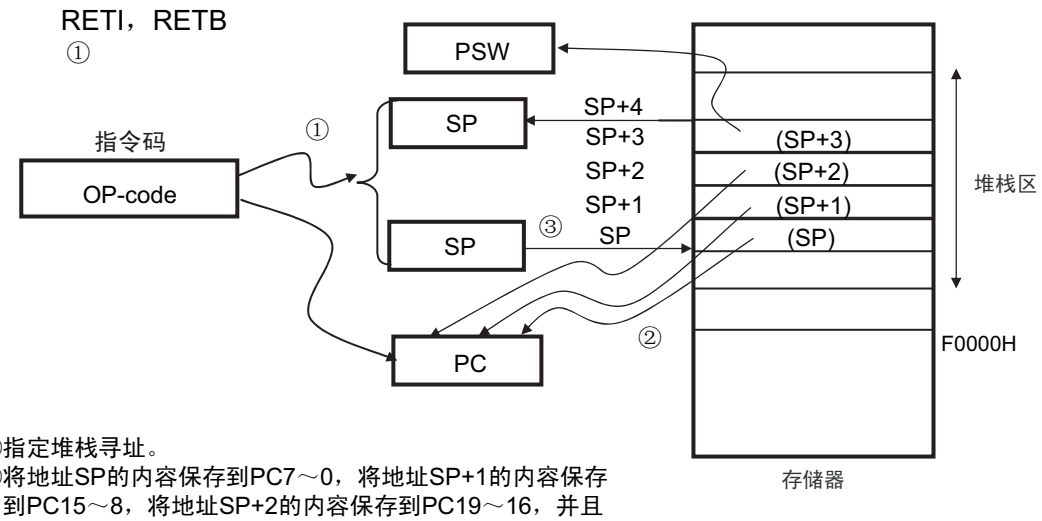
①指定堆栈寻址。
②将地址SP的内容保存到PC7～0，将地址SP+1的内容保存到PC15～8，并且将地址SP+2的内容保存到PC19～16。
③将SP的值加4。

图 3-37 中断、 BRK 的例子



①指定堆栈寻址。PC指向BRK指令或者接受中断的下一个指令地址。
②将PSW的值保存到地址SP–1，将PC19～16的值保存到地址SP–2，将PC15～8的值保存到地址SP–3，并且将PC7～0的值保存到地址SP–4。
③将SP的值减4。

图 3-38 RETI、 RETB 的例子



①指定堆栈寻址。
②将地址SP的内容保存到PC7～0，将地址SP+1的内容保存到PC15～8，将地址SP+2的内容保存到PC19～16，并且将地址SP+3的内容保存到PSW。
③将SP的值加4。

第 4 章 端口功能

4.1 端口功能

R7F0C001G/L、 R7F0C002G/L 提供数字输入 / 输出端口，能进行各种控制。

除了作为数字输入 / 输出端口的功能以外，还提供各种复用功能。有关复用功能，请参照“**第 2 章 引脚功能**”。

4.2 端口结构

端口由以下硬件构成。

表 4-1 端口结构

项目	结构
控制寄存器	端口模式寄存器 （PM1 ～ PM7、 PM12、 PM14） 端口寄存器 （P1 ～ P7、 P12 ～ P14） 上拉电阻选择寄存器 （PU1、 PU3 ～ PU5、 PU7、 PU12、 PU14） 端口输入模式寄存器 （PIM1） 端口输出模式寄存器 （POM1） 端口模式控制寄存器 （PMC1、 PMC4、 PMC12、 PMC14） A/D 端口配置寄存器 （ADPC） 外围 I/O 重定向寄存器 （PIOR） LCD 端口功能寄存器 （PFSEG0 ～ PFSEG4） LCD 输入切换控制寄存器 （ISCLCD）
端口	• 48 引脚产品： 合计：33 个 （CMOS 输入 / 输出：26 个， CMOS 输入：5 个， N 沟道漏极开路输出：2 个） • 64 引脚产品： 合计：47 个 （CMOS 输入 / 输出：39 个， CMOS 输入：5 个， CMOS 输出：1 个， N 沟道漏极开路输出：2 个）
上拉电阻	• 48 引脚产品：合计 24 个 • 64 引脚产品：合计 37 个

4.2.1 端口 1

端口 1 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 1 （PM1）以 1 位为单位指定输入模式或者输出模式。当将 P10 ～ P17 引脚用作输入端口时，能通过上拉电阻选择寄存器 1 （PU1）使用内部上拉电阻。

能通过设定端口输入模式寄存器 1 （PIM1），以 1 位为单位将 P10、 P11、 P15 和 P16 引脚的输入指定通常的输入缓冲器或者 TTL 输入缓冲器。

能通过端口输出模式寄存器 1 （POM1），以 1 位为单位将 P10、 P12、 P15 和 P17 引脚的输出指定为通常 CMOS 输出或者 N 沟道漏极开路输出 （V_{DD} 耐压注 1/EV_{DD} 耐压注 2）。

当将 P13、 P14 引脚用作输入时，必须通过端口模式控制寄存器 1 （PMC1）设定数字或者模拟 （能以 1 位为单位进行设定）。

端口 1 作为复用功能，有串行接口的数据输入 / 输出、串行接口的时钟输入 / 输出、编程 UART 的输入 / 输出、定时器的输入 / 输出、 LCD 控制器 / 驱动器的段输出、外出中断请求的输入和 A/D 转换器的模拟输入。

在产生复位信号后，变为以下状态：

- P10～P12、 P05～P07 引脚……输入模式
- P13、 P14 引脚……模拟输入

注 1. 48 引脚产品：V_{DD} 耐压

2. 64 引脚产品：EV_{DD} 耐压

4.2.2 端口 2

端口 2 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 2 （PM2）以 1 位为单位指定输入模式或者输出模式。

端口 2 作为复用功能，有 A/D 转换器的模拟输入、 A/D 转换器的正 （+）基准电压输入和 A/D 转换器的负 （–）基准电压输入。

当将 P20/ANI0 ～ P21/ANI1 用作数字输入 / 输出时，必须在通过 A/D 端口配置寄存器 （ADPC）设定为数字输入 / 输出后从高位开始使用。

当将 P20/ANI0 ～ P21/ANI1 用作模拟输入时，必须在通过 A/D 端口配置寄存器 （ADPC）设定为模拟输入并且通过 PM2 寄存器设定为输入模式后从低位开始使用。

表 4-2 P20/ANI0 ～ P21/ANI1 引脚功能的设定

ADPC 寄存器	PM2 寄存器	ADS 寄存器	P20/ANI0 ～ P21/ANI1 引脚
数字输入 / 输出的选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入的选择	输入模式	选择 ANI。	模拟输入 （转换对象）
		不选择 ANI。	模拟输入 （非转换对象）
	输出模式	选择 ANI。	禁止设定。
		不选择 ANI。	

在产生复位信号后， P20/ANI0 ～ P21/ANI1 都变为模拟输入。

4.2.3 端口 3

端口 3 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 3 （PM3）以 1 位为单位指定输入模式或者输出模式。当将 P30 ～ P32 引脚用作输入端口时，能通过上拉电阻选择寄存器 3 （PU3）以 1 位为单位使用内部上拉电阻。

端口 3 作为复用功能，有外部中断请求的输入、实时时钟的校正时钟输出、 LCD 控制器 / 驱动器的段输出和定时器的输入 / 输出。

在产生复位信号后， P30 ～ P32 变为输入模式。

4.2.4 端口 4

端口 4 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 4 （PM4）以 1 位为单位指定输入模式或者输出模式。当将 P40 ～ P43 引脚用作输入端口时，能通过上拉电阻选择寄存器 4 （PU4）以 1 位为单位使用内部上拉电阻。

如果 P40 为允许片上调试 （通过选项字节设定），就必须连接外部上拉电阻。

端口 4 作为复用功能，有 LCD 控制器 / 驱动器的段输出、外部中断请求的输入、闪存编程器 / 调试器的数据输入 / 输出、定时器的输入 / 输出和 A/D 转换器的模拟输入。

在产生复位信号后， P40、 P42 和 P43 变为输入模式， P41 变为模拟输入。

4.2.5 端口 5

端口 5 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 5 （PM5）以 1 位为单位指定输入模式或者输出模式。当将 P50 ～ P54 引脚用作输入端口时，能通过上拉电阻选择寄存器 5 （PU5）以 1 位为单位使用内部上拉电阻。

端口 5 作为复用功能，有外部中断请求的输入、 LCD 控制器 / 驱动器的段输出和定时器输入 / 输出。

在产生复位信号后，端口 5 变为输入模式。

4.2.6 端口 6

端口 6 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 6 （PM6）以 1 位为单位指定输入模式或者输出模式。

P60 和 P61 引脚的输出为 N 沟道漏极开路输出 （EV_{DD} 耐压注）。

端口 6 作为复用功能，有 LCD 控制器 / 驱动器的段输出。

在产生复位信号后，端口 6 变为输入模式。

注 48 引脚产品：V_{DD} 耐压

64 引脚产品：EV_{DD} 耐压

4.2.7 端口 7

端口 7 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 7 （PM7）以 1 位为单位指定输入模式或者输出模式。当将端口 7 用作输入端口时，能通过上拉电阻选择寄存器 7 （PU7）以 1 位为单位使用内部上拉电阻。

端口 7 作为复用功能，有 LCD 控制器 / 驱动器的段输出。

在产生复位信号后，端口 7 变为输入模式。

4.2.8 端口 12

P120 和 P125 ～ P127 是带输出锁存器的 4 位输入 / 输出端口，能通过端口模式寄存器 12 （PM12）以 1 位为单位指定输入模式或者输出模式。当将端口 12 用作输入端口时，能通过上拉电阻选择寄存器 12 （PU12）使用内部上拉电阻。

P121 ～ P124 是 4 位输入专用端口。

能通过设定端口模式控制寄存器 12 （PMC12）将 P120 引脚指定为数字输入 / 输出或者模拟输入。

端口 12 作为复用功能，有 A/D 转换器的模拟输入、主系统时钟的谐振器连接、副系统时钟的谐振器连接、主系统时钟的外部时钟输入、副系统时钟的外部时钟输入、 LCD 控制器 / 驱动器的段输出、 LCD 控制器 / 驱动器的电容器连接和 LCD 驱动的电压引脚。

在产生复位信号后， P120 变为模拟输入， P121 ～ P127 变为输入模式。

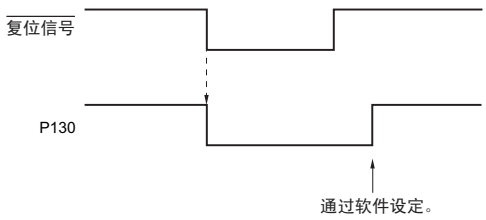
4.2.9 端口 13

P130 是带输出锁存器的 1 位输出专用端口， P137 是 1 位输入专用端口。

P130 固定为输出模式， P137 固定为输入模式。

端口 13 作为复用功能，有外部中断请求的输入。

备注 如果发生复位，P130 就输出低电平。因此，如果在发生复位前将 P130 设定为高电平输出，就能将 P130 的输出作为 CPU 的复位信号进行虚拟输出。



4.2.10 端口 14

端口 14 是带输出锁存器的输入 / 输出端口，能通过端口模式寄存器 14 （PM14）以 1 位为单位指定输入模式或者输出模式。当将 P140 ～ P147 引脚用作输入端口时，能通过上拉电阻选择寄存器 14 （PU14）以 1 位为单位使用内部上拉电阻。

能通过设定端口模式控制寄存器 14 （PMC14）将 P142 ～ P145 引脚指定为数字输入 / 输出或者模拟输入。

端口 14 作为复用功能，有时钟 / 蜂鸣器的输出、 LCD 控制器 / 驱动器的段输出、 A/D 转换器的模拟输入和定时器的输入 / 输出。

在产生复位信号后， P140、 P141、 P146 和 P147 变为输入模式， P142 ～ P145 变为模拟输入。

4.3 控制端口功能的寄存器

通过以下寄存器控制端口。

- 端口模式寄存器 （PMxx）
- 端口寄存器 （Pxx）
- 上拉电阻选择寄存器 （PUxx）
- 端口输入模式寄存器 （PIMxx）
- 端口输出模式寄存器 （POMxx）
- 端口模式控制寄存器 （PMCxx）
- A/D端口配置寄存器 （ADPC）
- 外围I/O重定向寄存器 （PIOR）
- LCD端口功能寄存器 （PFSEG0～PFSEG4）
- LCD输入切换控制寄存器 （ISCLCD）

注意 不能更改各寄存器的未定义位 （因产品而不同）的初始值。

表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 (1/3)

端口		位名						64 引脚	48 引脚
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 0	—	—	—	—	—	—	—	—	—
端口 1	0	PM10	P10	PU10	PIM10	POM10	—	○	○
	1	PM11	P11	PU11	PIM11	—	—	○	○
	2	PM12	P12	PU12	—	POM12	—	○	○
	3	PM13	P13	PU13	—	—	PMC13	○	○
	4	PM14	P14	PU14	—	—	PMC14	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○
	6	PM16	P16	PU16	PIM16	—	—	○	○
	7	PM17	P17	PU17	—	POM17	—	○	○
端口 2	0	PM20	P20	—	—	—	—	○	○
	1	PM21	P21	—	—	—	—	○	○
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 (2/3)

端口		位名						64 引脚	48 引脚
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 3	0	PM30	P30	PU30	—	—	—	○	○
	1	PM31	P31	PU31	—	—	—	○	○
	2	PM32	P32	PU32	—	—	—	○	○
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 4	0	PM40	P40	PU40	—	—	—	○	○
	1	PM41	P41	PU41	—	—	PMC41	○	○
	2	PM42	P42	PU42	—	—	—	○	—
	3	PM43	P43	PU43	—	—	—	○	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 5	0	PM50	P50	PU50	—	—	—	○	○
	1	PM51	P51	PU51	—	—	—	○	—
	2	PM52	P52	PU52	—	—	—	○	—
	3	PM53	P53	PU53	—	—	—	○	—
	4	PM54	P54	PU54	—	—	—	○	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 6	0	PM60	P60	—	—	—	—	○	○
	1	PM61	P61	—	—	—	—	○	○
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 7	0	PM70	P70	PU70	—	—	—	○	○
	1	PM71	P71	PU71	—	—	—	○	—
	2	PM72	P72	PU72	—	—	—	○	—
	3	PM73	P73	PU73	—	—	—	○	—
	4	PM74	P74	PU74	—	—	—	○	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 (3/3)

端口		位名						64 引脚	48 引脚
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 8	—	—	—	—	—	—	—	—	—
端口 9	—	—	—	—	—	—	—	—	—
端口 10	—	—	—	—	—	—	—	—	—
端口 11	—	—	—	—	—	—	—	—	—
端口 12	0	PM120	P120	PU120	—	—	PMC120	○	○
	1	—	P121	—	—	—	—	○	○
	2	—	P122	—	—	—	—	○	○
	3	—	P123	—	—	—	—	○	○
	4	—	P124	—	—	—	—	○	○
	5	PM125	P125	PU125	—	—	—	○	○
	6	PM126	P126	PU126	—	—	—	○	○
	7	PM127	P127	PU127	—	—	—	○	○
端口 13	0	—	P130	—	—	—	—	○	—
	1	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○
端口 14	0	PM140	P140	PU140	—	—	—	○	○
	1	PM141	P141	PU141	—	—	—	○	○
	2	PM142	P142	PU142	—	—	PMC142	○	○
	3	PM143	P143	PU143	—	—	PMC143	○	○
	4	PM144	P144	PU144	—	—	PMC144	○	○
	5	PM145	P145	PU145	—	—	PMC145	○	—
	6	PM146	P146	PU146	—	—	—	○	—
	7	PM147	P147	PU147	—	—	—	○	—
端口 15	—	—	—	—	—	—	—	—	—

以下以 64 引脚产品为例说明各寄存器的格式。

有关 64 引脚以外的产品的寄存器配置，请参照**表 4-3**。

4.3.1 端口模式寄存器 （PMxx）

这是以位为单位设定端口输入 / 输出的寄存器。

通过 1 位或者 8 位存储器操作指令设定端口模式寄存器。

通过产生复位信号，此寄存器的值变为 “FFH”。

当将端口引脚用作复用功能的引脚时，必须参照 “**4.5 使用用复用功能时的寄存器设定** ” 进行设定。

图 4-1 端口模式寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	1	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn 引脚的输入 / 输出模式的选择 （m=1 ～ 7、 12、 14， n=0 ～ 7）
0	输出模式 （输出缓冲器 ON）
1	输入模式 （输出缓冲器 OFF）

注意 必须给未配置的位设定初始值。

4.3.2 端口寄存器 （Pxx）

这是设定端口输出锁存器的值的寄存器。

读时，在输入模式中读引脚电平，而在输出模式中读端口的输出锁存器的值注。

通过 1 位或者 8 位存储器操作指令设定端口寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

注 在将 P13、P14、P20、P21、P41、P120 和 P142 ～ P145 设定为 A/D 转换器的模拟输入功能的情况下，如果在端口为输入模式时读端口，读取值就不是引脚电平而总是 “0”。

图 4-2 端口寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（输出锁存器）	R/W
P2	0	0	0	0	0	0	P21	P20	FFF02H	00H（输出锁存器）	R/W
P3	0	0	0	0	0	P32	P31	P30	FFF03H	00H（输出锁存器）	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H（输出锁存器）	R/W
P5	0	0	0	P54	P53	P52	P51	P50	FFF05H	00H（输出锁存器）	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H（输出锁存器）	R/W
P7	0	0	0	P74	P73	P72	P71	P70	FFF07H	00H（输出锁存器）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	P120	FFF0CH	不定值	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注 2	R/W注1
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H（输出锁存器）	R/W

Pmn	输出数据的控制 （输出模式）	输入数据的读取 （输入模式）
0	输出 “0”。	输入低电平。
1	输出 “1”。	输入高电平。

注 1. P121 ～ P124 和 P137 是只读位。

2. P137：不定值
P130：0 （输出锁存器）

注意 必须给未配置的位设定初始值。

备注 m=1 ～ 7、 12 ～ 14， n=0 ～ 7

4.3.3 上拉电阻选择寄存器 （PUxx）

这是设定是否使用内部上拉电阻的寄存器。只能对通过上拉电阻选择寄存器指定使用内部上拉电阻的引脚并且 POMmn 位为 “0” 而且设定为输入模式 （PMmn=1）的位，以位为单位使用内部上拉电阻。对于设定为输出模式的位，与上拉电阻选择寄存器的设定无关，不连接内部上拉电阻。当用作复用功能的输出引脚或者设定为模拟输入 （PMC=1、 ADPC=1）时也相同。

通过 1 位或者 8 位存储器操作指令设定上拉电阻选择寄存器。

通过产生复位信号，此寄存器的值变为 “00H” （只有在 PU4 时为 “01H”）。

注意 当是带 PIMn 寄存器的端口并且将信号从不同电位的外部设备输入到 TTL 缓冲器时，必须将 PUmn 位置 “0” 并且通过外部电阻将此引脚上拉到不同电位设备的电源。

图 4-3 上拉电阻选择寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	0	0	0	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	0	0	0	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmn 引脚的内部上拉电阻的选择 （m=1、 3 ～ 5、 7、 12、 14， n=0 ～ 7）
0	不连接内部上拉电阻。
1	连接内部上拉电阻。

注意 1. 对于用作 LCD 功能 （SEGxx、 CAPL、 CAPH、 V_{L3}）的引脚，必须将 PUm 寄存器的 PUmn 位置 “0”。

2. 必须给未配置的位设定初始值。

4.3.4 端口输入模式寄存器 （PIM1）

这是以位为单位设定输入缓冲器的寄存器。

能在和不同电位的外部设备进行串行通信等时选择 TTL 输入缓冲器。

通过 1 位或者 8 位存储器操作指令设定端口输入模式寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 4-4 端口输入模式寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PIM1	0	PIM16	PIM15	0	0	0	PIM11	PIM10	F0041H	00H	R/W

PIM1n	P1n 引脚的输入缓冲器的选择 （n=0、 1、 5、 6）
0	通常的输入缓冲器
1	TTL 输入缓冲器

注意 1. 当将 P10/$\overline{\text{SCK00}}$/SEG28、 P11/SI00/RxD0/TOOLRxD/SEG29、 P15/$\overline{\text{SCK01}}$/INTP1/SEG4、 P16/SI01/INTP2/SEG5 用作 LCD 控制器 / 驱动器功能 （段输出引脚）时，禁止将 PIM1n 位置 “1”。

2. 必须给未配置的位设定初始值。

4.3.5 端口输出模式寄存器 （POM1）

这是以位为单位设定 P10、 P12、 P15 和 P17 的输出模式的寄存器。

在和不同电位的外部设备进行串行通信时，能选择N沟道漏极开路输出（V_{DD}耐压注1/EV_{DD}耐压注2）模式。

另外，通过 POMxx 寄存器和 PUxx 寄存器设定是否使用内部上拉电阻。

通过 1 位或者 8 位存储器操作指令设定端口输出模式寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

注意 设定为 N 沟道漏极开路输出 （V_{DD} 耐压注 1/EV_{DD} 耐压注 2）模式 （POMIu=1）的位，不能连接内部上拉电阻。

图 4-5 端口输出模式寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
POM1	POM17	0	POM15	0	0	POM12	0	POM10	F0051H	00H	R/W

POM1n	P1n 引脚的输出模式的选择 （n=0、 2、 5、 7）
0	通常的输出模式
1	N 沟道漏极开路输出 （V_{DD} 耐压注 1/EV_{DD} 耐压注 2）模式

注 1. 48 引脚产品：V_{DD} 耐压

2. 64 引脚产品：EV_{DD} 耐压

注意 必须给未配置的位设定初始值。

4.3.6 端口模式控制寄存器 （PMCxx）

这是以位为单位设定数字输入 / 输出或者模拟输入的寄存器。

通过 1 位或者 8 位存储器操作指令设定端口模式控制寄存器。

通过产生复位信号，此寄存器的值变为 “FFH”。

图 4-6 端口模式控制寄存器的格式 （64 引脚产品）

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PMC1	1	1	1	PMC14	PMC13	1	1	1	F0061H	FFH	R/W
PMC4	1	1	1	1	1	1	PMC41	1	F0064H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	1	1	PMC145	PMC144	PMC143	PMC142	1	1	F006EH	FFH	R/W

PMCmn	Pmn 引脚的数字输入 / 输出或者模拟输入的选择 （m=1、 4、 12、 14， n=0 ～ 5）
0	数字输入 / 输出 （模拟输入以外的复用功能）
1	模拟输入

注意 1. 必须通过端口模式寄存器 1、4、12、14（PM1、PM4、PM12、PM14）将通过 PMCxx 寄存器设定为模拟输入的端口设定为输入模式。

2. 对于由 PMC 寄存器设定为数字输入 / 输出的引脚，不能通过模拟输入通道指定寄存器 （ADS）进行设定。

3. 必须给未配置的位设定初始值。

4.3.7 A/D 端口配置寄存器 （ADPC）

这是将 ANI0/P20 引脚和 ANI1/P21 引脚切换为 A/D 转换器的模拟输入或者端口的数字输入 / 输出的寄存器。

通过 8 位存储器操作指令设定 ADPC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 4-7 A/D 端口配置寄存器 （ADPC）的格式

地址：F0076H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	0	ADPC1	ADPC0

ADPC1	ADPC0	模拟输入 （A）和数字输入 / 输出 （D）的切换	
		ANI1/P21	ANI0/P20
0	0	A	A
0	1	D	D
1	0	D	A
1	1	A	A

注意 1. 对于由 ADPC 寄存器设定为模拟输入的端口，必须通过端口模式寄存器 2 （PM2）选择为输入模式。

2. 对于由 ADPC 寄存器设定为数字输入 / 输出的引脚，不能通过模拟输入通道指定寄存器 （ADS）进行设定。

3. 如果要使用 AV_{REFP} 和 AV_{REFM}，必须将 ANI0 和 ANI1 设定为模拟输入，并且通过端口模式寄存器设定为输入模式。

4.3.8 外围 I/O 重定向寄存器 （PIOR）

这是设定允许或者禁止外围 I/O 重定向功能的寄存器。
外围 I/O 重定向功能切换被分配了复用功能的端口。
必须通过 PIOR 寄存器将端口分配给重定向功能，然后置为允许重定向功能的运行。
能在允许重定向功能的运行前更改重定向的设定。
通过 8 位存储器操作指令设定 PIOR 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 4-8 外围 I/O 重定向寄存器 （PIOR）的格式

地址：F0077H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	0	0	PIOR1	PIOR0

位	功能	64 引脚		48 引脚	
		设定值		设定值	
		0	1	0	1
PIOR1	PCLBUZ0	P140	P50	P140	P50
PIOR0	INTP1	P15	P53	P15	P10
	INTP2	P16	P54	P16	P11
	INTP6	P52	P140	—	—
	INTP7	P43	P141	—	—
	TI02/TO02	P17	P54	P17	P12

4.3.9 LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4）

这是设定将 P10 ～ P17、P30 ～ P32、P41 ～ P43、P50 ～ P54、P60、P61、P70 ～ P74、P120、P140 ～ P147 引脚用作端口（段输出除外）还是用作段输出。通过1位或者8位存储器操作指令设定PFSEG0～PFSEG4寄存器。

通过产生复位信号，这些寄存器的值变为 “FFH” （PFSEG0 为 “F0H”， PFSEG4 为 “7FH”）。

备注 段输出引脚 （SEGxx）和 PFSEG 寄存器 （PFSEGxx 位）的对应以及产品是否有 SEGxx 引脚如 “ 表 4-4 各产品配置的段输出引脚和对应的 PFSEG 寄存器 （PFSEG 位） ” 所示。

图 4-9 LCD 端口功能寄存器 （PFSEG0 ～ PFSEG4）的格式 （64 引脚产品）

地址：F0300H 复位后：F0H R/W

符号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

地址：F0301H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

地址：F0302H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

地址：F0303H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24

地址：F0304H 复位后：7FH R/W

符号	7	6	5	4	3	2	1	0
PFSEG4	0	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

PFSEGxx （xx=04 ～ 38）	Pmn 引脚的端口 （段输出除外）或者段输出的指定 （mn=10 ～ 17、 30 ～ 32、 41 ～ 43、 50 ～ 54、 60、 61、 70 ～ 74、 120、 140 ～ 147）
0	用作端口 （段输出除外）。
1	用作段输出。

表 4-4 各产品配置的段输出引脚和对应的 PFSEG 寄存器 （PFSEG 位）

PFSEG 寄存器的位名	对应的 SEGxx 引脚	复用的端口	64 引脚	48 引脚
PFSEG04	SEG4	P15	○	○
PFSEG05	SEG5	P16	○	○
PFSEG06	SEG6	P17	○	○
PFSEG07	SEG7	P50	○	○
PFSEG08	SEG8	P51	○	—
PFSEG09	SEG9	P52	○	—
PFSEG10	SEG10	P53	○	—
PFSEG11	SEG11	P54	○	—
PFSEG12	SEG12	P74	○	—
PFSEG13	SEG13	P73	○	—
PFSEG14	SEG14	P72	○	—
PFSEG15	SEG15	P71	○	—
PFSEG16	SEG16	P70	○	○
PFSEG17	SEG17	P32	○	○
PFSEG18	SEG18	P31	○	○
PFSEG19	SEG19	P30	○	○
PFSEG20	SEG20	P61	○	○
PFSEG21	SEG21	P60	○	○
PFSEG22	SEG22	P43	○	—
PFSEG23	SEG23	P42	○	—
PFSEG24	SEG24	P41	○	○
PFSEG25	SEG25	P120	○	○
PFSEG26	SEG26	P141	○	○
PFSEG27	SEG27	P140	○	○
PFSEG28	SEG28	P10	○	○
PFSEG29	SEG29	P11	○	○
PFSEG30	SEG30	P12	○	○
PFSEG31	SEG31	P13	○	○
PFSEG32	SEG32	P14	○	○
PFSEG33	SEG33	P142	○	○
PFSEG34	SEG34	P143	○	○
PFSEG35	SEG35	P144	○	○
PFSEG36	SEG36	P145	○	—
PFSEG37	SEG37	P146	○	—
PFSEG38	SEG38	P147	○	—

备注 ○：支持 —：不支持

4.3.10 LCD 输入切换控制寄存器 （ISCLCD）

CAPL/P126、 CAPH/P127、 V_{L3}/P125 引脚在内部连接施密特触发缓冲器。

为了在将 CAPL/P126、 CAPH/P127、 V_{L3}/P125 引脚用作 LCD 功能时防止贯通电流的流入，需要禁止施密特触发缓冲器的输入。

通过 1 位或者 8 位存储器操作指令设定 ISCLCD 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 4-10 LCD 输入切换控制寄存器 （ISCLCD）

地址：F0308H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	V_{L3}/P125 引脚的施密特触发缓冲器的控制
0	数字输入无效。
1	数字输入有效。

ISCCAP	CAPL/P126 引脚和 CAPH/P127 引脚的施密特触发缓冲器的控制
0	数字输入无效。
1	数字输入有效。

注意 1. 当 ISCVL3 位为 “0” 时，对应的端口控制寄存器必须进行以下的设定：

PU12 寄存器的 PU125=0、 P12 寄存器的 P125=0

2. 当 ISCCAP 位为 “0” 时，对应的端口控制寄存器必须进行以下的设定：

PU12 寄存器的 PU127=0、 P12 寄存器的 P127=0

PU12 寄存器的 PU126=0、 P12 寄存器的 P126=0

4.4 端口功能的运行

如下所示，端口的运行因输入 / 输出模式的设定而不同。

4.4.1 输入 / 输出端口的写操作

(1) 输出模式的情况

能通过传送指令给输出锁存器写值，并且从引脚输出输出锁存器的内容。
保持被写在输出锁存器中的数据，直到下次写数据为止。
在产生复位信号时清除输出锁存器的数据。

(2) 输入模式的情况

通过传送指令，给输出锁存器写值，但是因输出缓冲器处于 OFF 状态而引脚的状态不发生变化。因此，能对输入和输出混在一起的端口进行字节写。
保持被写在输出锁存器中的数据，直到下次写数据为止。
在产生复位信号时清除输出锁存器的数据。

4.4.2 输入 / 输出端口的读操作

(1) 输出模式的情况

能通过传送指令读输出锁存器的内容，但是输出锁存器的内容不发生变化。

(2) 输入模式的情况

能通过传送指令读引脚状态，但是输出锁存器的内容不发生变化。

4.4.3 输入 / 输出端口的运算

(1) 输出模式的情况

对输出锁存器内容进行运算，将结果写到输出锁存器，并且从引脚输出输出锁存器的内容。
保持被写在输出锁存器中的数据，直到下次写数据为止。
在产生复位信号时清除输出锁存器的数据。

(2) 输入模式的情况

读引脚电平并且对其内容进行运算，将运算结果写到输出锁存器，但是因输出缓冲器处于 OFF 状态而引脚的状态不发生变化。因此，能对输入和输出混在一起的端口进行字节写。
在产生复位信号时清除输出锁存器的数据。

4.4.4 和不同电位 （1.8V、 2.5V、 3V）外部器件的连接方法

在连接不同电位（1.8V、2.5V、3V）的外部器件时，可根据连接目标的电源选择 EV_{DD}。即使是 EV_{DD} 不独立的产品，端口 1 也能连接以 1.8V、 2.5V 或者 3V 电压运行的外部器件的串行接口或者通用端口的输入 / 输出。

4.4.5 不同电位 （1.8V、 2.5V、 3V）的输入 / 输出缓冲器对应

能通过端口输入模式寄存器 （PIM1）和端口输出模式寄存器 （POM1）切换输入 / 输出缓冲器，并且连接以不同电位 （1.8V、 2.5V、 3V）运行的外部器件。

在接受不同电位 （1.8V、 2.5V、 3V）的外部器件的输入时，能通过按位设定端口输入模式寄存器 1（PIM1），切换通常输入 （CMOS） /TTL 输入缓冲器。

在向不同电位 （1.8V、 2.5V、 3V）的外部器件进行输出时，能通过按位设定端口输出模式寄存器 1（POM1），切换通常输出 （COMS） /N 沟道漏极开路 （V_{DD} 耐压注 1/EV_{DD} 耐压注 2）。

以下说明串行接口的连接。

注 1. 这是 48 引脚产品的情况。
2. 这是 64 引脚产品的情况。

(1) 将 UART0、 CSI00、 CSI01 功能的输入端口用作 TTL 输入缓冲器时的设定步骤

UART0 的情况：P11
CSI00 的情况： P10、 P11
CSI01 的情况： P15、 P16

① 通过外部电阻将使用的输入引脚上拉到对象器件的电源 （不能使用内部上拉电阻）。
② 将 PIM1 寄存器的对应位置“1”，切换到 TTL 输入缓冲器。另外， V_{IH} 和 V_{IL} 参照选择 TTL 输入缓冲器时的 DC 特性。
③ 允许串行阵列单元运行，并且设定为 UART/CSI 模式。

(2) 将 UART0、 CSI00、 CSI01 功能的输出端口用作 N 沟道漏极开路输出模式时的设定步骤

UART0 的情况：P12
CSI00 的情况： P10、 P12
CSI01 的情况： P15、 P17

① 通过外部电阻将使用的输出引脚上拉到对象器件的电源 （不能使用内部上拉电阻）。
② 在解除复位后，端口模式为输入模式 （Hi-Z）。
③ 将对应的端口输出锁存器置“1”。
④ 将 POM1 寄存器的对应位置“1”，设定为 N 沟道漏极开路输出 （V_{DD} 耐压注 1/EV_{DD} 耐压注 2）模式。
⑤ 允许串行阵列单元运行，并且设定为 UART/CSI 模式。
⑥ 通过 PM1 寄存器设定为输出模式。此时，因为输出数据是高电平，所以引脚处于 Hi-Z 状态。

注 1. 这是 48 引脚产品的情况。
2. 这是 64 引脚产品的情况。

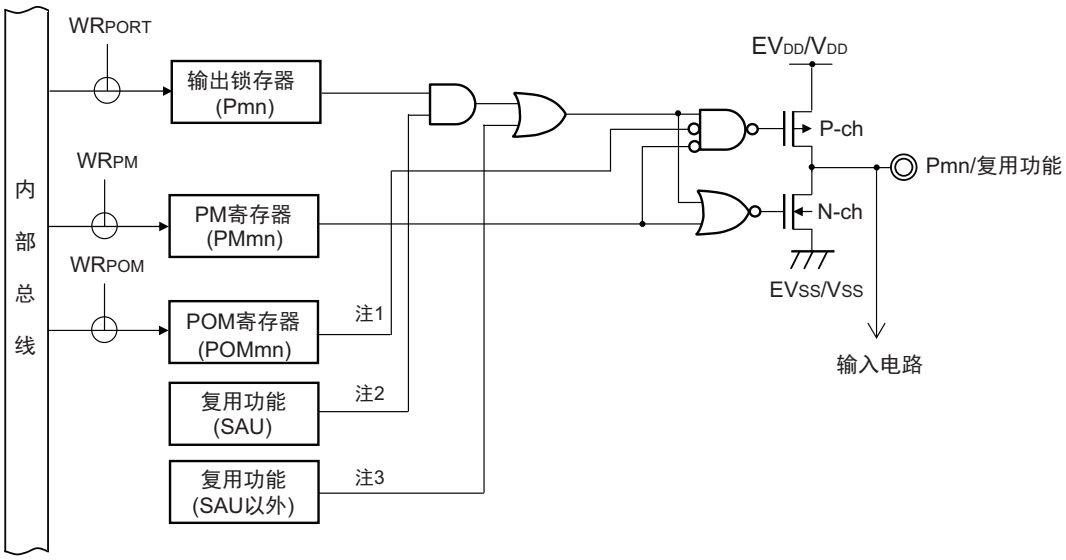
4.5 使用用复用功能时的寄存器设定

4.5.1 使用复用功能时的基本观点

通过 ADPC 寄存器或者端口模式控制寄存器 （PMCxx）设定是将与模拟输入复用的引脚用作模拟输入还是用作数字输入 / 输出。

用作数字输入 / 输出的引脚的输出电路的基本结构如图 4-11 所示。与端口输出锁存器的输出复用的 SAU 功能的输出被输入到 AND 门。 AND 门的输出被输入到 OR 门。 OR 门的其他输入与复用的 SAU 以外的功能（TAU、 RTC、时钟 / 蜂鸣器的输出、 IICA 等）的输出连接。将这样的引脚用作端口功能或者复用功能时，必须注意不使用的复用功能不能影响要使用的功能的输出。此时的基本设定的观点如表 4-5 所示。

图 4-11 引脚输出电路的基本结构



注 1. 在无 POM 寄存器时，此信号为 Low 电平 （0）。

2. 在无复用功能时，此信号为 High 电平 （1）。

3. 在无复用功能时，此信号为 Low 电平 （0）。

备注 m：端口号 （m=1 ～ 7、 12 ～ 14）、 n：位号 （n=0 ～ 7）

表 4-5 基本设定的观点

使用引脚的输出功能	不使用的复用功能的输出设定		
	端口功能	SAU 的输出功能	SAU 以外的输出功能
端口输出功能	—	High 电平输出 （1）	Low 电平输出 （0）
SAU 的输出功能	High （1）	—	Low 电平输出 （0）
SAU 以外的输出功能	Low （0）	High 电平输出 （1）	Low 电平输出 （0）注

注 因为 1 个引脚有可能复用多个 SAU 以外的输出功能，所以必须将不使用的复用功能的输出设定为 Low 电平（0）。有关详细设定方法请参照 “4.5.2 不使用输出功能的复用功能的寄存器设定 ”。

4.5.2 不使用输出功能的复用功能的寄存器设定

不使用引脚复用功能的输出时，必须执行以下设定。另外，在为外围 I/O 重定向功能的对象时，能通过设定外围 I/O 重定向寄存器 （PIOR），将输出切换到其他引脚。这样就能使用分配到对象引脚的端口功能和其他复用功能。

1. SOp=1/TxDq=1 （不使用SAU的串行输出 （SOp/TxDq）时的设定）
   只使用SAU的串行输入，不使用串行输出 （SOp/TxDq）时，将与不使用的输出对应的串行输出允许寄存器m （SOEm）的位置“0”（禁止输出），并且将串行输出寄存器m （SOm）的SOmn位置“1”（High电平）。这是与初始状态相同的设定。

2. SCKp=1/SDAr=1/SCLr=1 （不使用SAU的通道n时的设定）
   不使用SAU时，将串行通道允许状态寄存器m （SEm）的bit n （SEmn）置“0”（运行停止状态），并且将与不使用的输出对应的串行输出允许寄存器m （SOEm）的位置“0”（禁止输出），串行输出寄存器m （SOm）的SOmn位和CKOmn位置“1”（High电平）。这是与初始状态相同的设定。

3. TOmn=0 （不使用TAU的通道n的输出时的设定）
   不使用TAU的TOmn输出时，将与不使用的输出对应的定时器输出允许寄存器0 （TOE0）的位置“0”（禁止输出），并且将定时器输出寄存器0 （TO0）的位置“0”（Low电平）。这是与初始状态相同的设定。

4. SDAAn=0/SCLAn=0 （不使用IICA时的设定）
   不使用IICA时，将IICA控制寄存器n0 （IICCTLn0）的IICEn位置“0”（运行停止）。这是与初始状态相同的设定。

5. PCLBUZn=0 （不使用时钟输出/蜂鸣器输出时的设定）
   不使用时钟输出/蜂鸣器输出时，将时钟输出选择寄存器n （CKSn）的PCLOEn位置“0”（禁止输出）。这是与初始状态相同的设定。

4.5.3 使用的端口功能和复用功能的寄存器设定例子

使用的端口功能和复用功能的寄存器设定例子如表 4-6 所示。端口功能的控制寄存器的设定如表 4-6 所示。另外，有关表 4-6 的中的记载说明请参照以下备注。

备注 —： 对象外
x： 忽略
PIORx： 外围 I/O 重定向寄存器
POMxx： 端口输出模式寄存器
PMCxx： 端口模式控制寄存器
PMxx： 端口模式寄存器
Pxx： 端口的输出锁存器
PUxx： 上拉电阻选择寄存器
PIMxx： 端口输入模式寄存器
PFSEGxx：LCD 端口功能寄存器
ISCLCD： LCD 输入切换控制寄存器

表 4-6 使用复用功能时的寄存器、输出锁存器的设定例子 (1/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P10	P10	输入	×	×	—	1	×	0/1	0/1	0	—
		输出	×	0/1	—	0	0/1	×	×	0	—
	$\overline{SCK00}$	输入	×	×	—	1	×	0/1	0/1	0	—
		输出	×	0/1	—	0	1	×	×	0	—
	SEG28	输出	×	0	—	0	0	0	0	1	—
P11	P11	输入	×	—	—	1	×	0/1	0/1	0	—
		输出	×	—	—	0	0/1	×	×	0	—
	SI00	输入	×	—	—	1	×	0/1	0/1	0	—
	RxD0	输入	×	—	—	1	×	0/1	0/1	0	—
	TOOLRxD	输入	×	—	—	1	×	0/1	0/1	0	—
	SEG29	输出	×	—	—	0	0	0	0	1	—
P12	P12	输入	×	×	—	1	×	0/1	—	0	—
		输出	×	0/1	—	0	0/1	×	—	0	—
	SO00	输出	×	0/1	—	0	1	×	—	0	—
	TxD0	输出	×	0/1	—	0	1	×	—	0	—
	TOOLTxD	输出	×	0/1	—	0	1	×	—	0	—
	SEG30	输出	×	0	—	0	0	0	—	1	—
P13	P13	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI18	输入	×	—	1	1	×	×	—	—	—
	SEG31	输出	×	—	0	0	0	0	—	1	—
P14	P14	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI19	输入	×	—	1	1	×	×	—	—	—
	SEG32	输出	×	—	0	0	0	0	—	1	—
P15	P15	输入	×	×	—	1	×	0/1	0/1	0	—
		输出	×	0/1	—	0	0/1	×	×	0	—
	$\overline{SCK01}$	输入	×	×	—	1	×	0/1	0/1	0	—
		输出	×	0/1	—	0	1	×	×	0	—
	INTP1	输入	PIOR0 =0	×	—	1	×	0/1	0/1	0	—
	SEG4	输出	×	0	—	0	0	0	0	1	—
P16	P16	输入	×	—	—	1	×	0/1	0/1	0	—
		输出	×	—	—	0	0/1	×	×	0	—
	SI01	输入	×	—	—	1	×	0/1	0/1	0	—
	INTP2	输入	PIOR0 =0	—	—	1	×	0/1	0/1	0	—
	SEG5	输出	×	—	—	0	0	0	0	1	—

表 4-6 使用复用功能时寄存器、输出锁存器的设定例子 (2/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P17	P17	输入	×	×	—	1	×	0/1	—	0	—
		输出	×	0/1	—	0	0/1	×	—	0	—
	SO01	输出	×	0/1	—	0	1	×	—	0	—
	TI02	输入	PIOR0 =0	×	—	1	×	0/1	—	0	—
	TO02	输出	PIOR0 =0	0/1	—	0	0	×	—	0	—
	SEG6	输出	×	0	—	0	0	0	—	1	—
P20	P20	输入	×	—	—	1	×	—	—	—	—
		输出	×	—	—	0	0/1	—	—	—	—
	ANI0	输入	×	—	—	1	×	—	—	—	—
	AV_{REFP}	输入	×	—	—	1	×	—	—	—	—
P21	P21	输入	×	—	—	1	×	—	—	—	—
		输出	×	—	—	0	0/1	—	—	—	—
	ANI1	输入	×	—	—	1	×	—	—	—	—
	AV_{REFM}	输入	×	—	—	1	×	—	—	—	—
P30	P30	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	1	0/1	×	—	0	—
	TI01	输入	×	—	—	1	×	0/1	—	0	—
	TO01	输出	×	—	—	0	0	×	—	0	—
	SEG19	输出	×	—	—	0	0	0	—	1	—
P31	P31	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	INTP3	输入	×	—	—	1	×	0/1	—	0	—
	RTC1HZ	输出	×	—	—	0	0	×	—	0	—
	SEG18	输出	×	—	—	0	0	0	—	1	—
P32	P32	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	TI03	输入	×	—	—	1	×	0/1	—	0	—
	TO03	输出	×	—	—	0	0	×	—	0	—
	INTP4	输入	×	—	—	1	×	0/1	—	0	—
	SEG17	输出	×	—	—	0	0	0	—	1	—
P40	P40	输入	×	—	—	1	×	0/1	—	—	—
		输出	×	—	—	0	0/1	×	—	—	—
	TOOL0	输入 / 输出	×	—	—	×	×	×	—	—	—
P41	P41	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI16	输入	×	—	1	1	×	×	—	—	—
	SEG24	输出	×	—	0	0	0	0	—	1	—

表 4-6 使用复用功能时寄存器、输出锁存器的设定例子 (3/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P42	P42	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	SEG23	输出	×	—	—	0	0	0	—	1	—
P43	P43	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	INTP7	输入	PIOR0 =0	—	—	1	×	0/1	—	0	—
	SEG22	输出	×	—	—	0	0	0	—	1	—
P50	P50	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	INTP5	输入	×	—	—	1	×	0/1	—	0	—
	SEG7	输出	×	—	—	0	0	0	—	1	—
	(PCLBUZ0)	输出	PIOR1 =1	—	—	0	0	×	—	0	—
P51	P51	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	TI06	输入	×	—	—	1	×	0/1	—	0	—
	TO06	输出	×	—	—	0	0	×	—	0	—
	SEG8	输出	×	—	—	0	0	0	—	1	—
P52	P52	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	INTP6	输入	PIOR0 =0	—	—	1	×	0/1	—	0	—
	SEG9	输出	×	—	—	0	0	0	—	1	—
P53	P53	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	TI07	输入	×	—	—	1	×	0/1	—	0	—
	TO07	输出	×	—	—	0	0	×	—	0	—
	SEG10	输出	×	—	—	0	0	0	—	1	—
	(INTP1)	输入	PIOR0 =1	—	—	1	×	0/1	—	0	—
P54	P54	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	SEG11	输出	×	—	—	0	0	0	—	1	—
	(TI02)	输入	PIOR0 =1	—	—	1	×	0/1	—	0	—
	(TO02)	输出	PIOR0 =1	—	—	0	0	×	—	0	—
	(INTP2)	输入	PIOR0 =1	—	—	1	×	0/1	—	0	—

表 4-6 使用复用功能时寄存器、输出锁存器的设定例子 (4/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P60	P60	输入	×	—	—	1	×	—	—	0	—
		输出	×	—	—	0	0/1	—	—	0	—
	SEG21	输出	×	—	—	0	0	—	—	1	—
P61	P61	输入	×	—	—	1	×	—	—	0	—
		输出	×	—	—	0	0/1	—	—	0	—
	SEG20	输出	×	—	—	0	0	—	—	1	—
P70	P70	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	KR0	输入	×	—	—	1	×	0/1	—	0	—
	SEG16	输出	×	—	—	0	0	0	—	1	—
P71	P71	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	KR1	输入	×	—	—	1	×	0/1	—	0	—
	SEG15	输出	×	—	—	0	0	0	—	1	—
P72	P72	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	KR2	输入	×	—	—	1	×	0/1	—	0	—
	SEG14	输出	×	—	—	0	0	0	—	1	—
P73	P73	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	KR3	输入	×	—	—	1	×	0/1	—	0	—
	SEG13	输出	×	—	—	0	0	0	—	1	—
P74	P74	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	SEG12	输出	×	—	—	0	0	0	—	1	—
P120	P120	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI17	输入	×	—	1	1	×	×	—	—	—
	SEG25	输出	×	—	0	0	0	0	—	1	—
P121	P121	输入	×	—	—	—	×	—	—	—	—
		输出	×	—	—	—	0/1	—	—	—	—
	X1	输入	×	—	—	—	×	—	—	—	—
P122	P122	输入	×	—	—	—	×	—	—	—	—
		输出	×	—	—	—	0/1	—	—	—	—
	X2	输入	×	—	—	—	×	—	—	—	—
	EXCLK	输入	×	—	—	—	×	—	—	—	—

表 4-6 使用复用功能时寄存器、输出锁存器的设定例子 (5/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P123	P123	输入	×	—	—	—	×	—	—	—	—
		输出	×	—	—	—	0/1	—	—	—	—
	XT1	输入	×	—	—	—	×	—	—	—	—
P124	P124	输入	×	—	—	—	×	—	—	—	—
		输出	×	—	—	—	0/1	—	—	—	—
	XT2	输入	×	—	—	—	×	—	—	—	—
	EXCLKS	输入	×	—	—	—	×	—	—	—	—
P125	125	输入	×	—	—	1	×	0/1	—	—	0
		输出	×	—	—	0	0/1	×	—	—	0
	V_{L3}	输入 / 输出	×	—	—	1	0	0	—	—	1
P126	P126	输入	×	—	—	1	×	0/1	—	—	0
		输出	×	—	—	0	0/1	×	—	—	0
	CAPL	输入 / 输出	×	—	—	1	0	0	—	—	1
P127	P127	输入	×	—	—	1	×	0/1	—	—	0
		输出	×	—	—	0	0/1	×	—	—	0
	CAPH	输入 / 输出	×	—	—	1	0	0	—	—	1
P130	P130	输出	×	—	—	—	0/1	—	—	—	—
P137	P137	输入	×	—	—	—	×	—	—	—	—
	INTP0	输入	×	—	—	—	×	—	—	—	—
P140	P140	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	TO00	输出	×	—	—	0	0	×	—	0	—
	PCLBUZ0	输出	PIOR1 =0	—	—	0	0	×	—	0	—
	SEG27	输出	×	—	—	0	0	0	—	1	—
	(INTP6)	输入	PIOR0 =1	—	—	1	×	0/1	—	0	—
P141	P141	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	TI00	输入	×	—	—	1	×	0/1	—	0	—
	PCLBUZ1	输出	×	—	—	0	0	×	—	0	—
	SEG26	输出	×	—	—	0	0	0	—	1	—
	(INTP7)	输入	PIOR0 =1	—	—	1	×	0/1	—	0	—
P142	P142	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI20	输入	×	—	1	1	×	×	—	—	—
	SEG33	输出	×	—	0	0	0	0	—	1	—

表 4-6 使用复用功能时寄存器、输出锁存器的设定例子 (6/6)

引脚名	复用功能		PIORx	POMxx	PMCxx	PMxx	Pxx	PUxx	PIMxx	PFSEGxx	ISCLCD
	名称	输入 / 输出									
P143	P143	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI21	输入	×	—	1	1	×	×	—	—	—
	SEG34	输出	×	—	0	0	0	0	—	1	—
P144	P144	输入	×	—	0	1	×	0/1	—	0	—
		输出	x	—	0	0	0/1	×	—	0	—
	ANI22	输入	×	—	1	1	×	×	—	—	—
	SEG35	输出	×	—	0	0	0	0	—	1	—
P145	P145	输入	×	—	0	1	×	0/1	—	0	—
		输出	×	—	0	0	0/1	×	—	0	—
	ANI23	输入	×	—	1	1	×	×	—	—	—
	SEG36	输出	×	—	0	0	0	0	—	1	—
P146	P146	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	SEG37	输出	×	—	—	0	0	0	—	1	—
P147	P147	输入	×	—	—	1	×	0/1	—	0	—
		输出	×	—	—	0	0/1	×	—	0	—
	SEG38	输出	×	—	—	0	0	0	—	1	—

4.6 使用端口功能时的注意事项

4.6.1 有关对端口寄存器 n （Pn）的 1 位操作指令的注意事项

在对输入和输出混在一起的端口执行 1 位操作指令时，除了操作对象的位以外，也可能改写非操作对象的输入端口的输出锁存器的值。

因此，建议在将任意的端口从输入模式切换为输出模式前重新写输出锁存器的值。

＜例＞ 当 P10 为输出端口并且 P11 ～ P17 为输入端口 （引脚状态全部为高电平）而且端口 1 的输出锁存器值为 “00H” 时，如果通过 1 位操作指令将输出端口 P10 的输出从低电平改为高电平，端口 1 的输出锁存器的值就变为 “FFH”。

说明 ：PMnm 位为 “1” 的端口的 Pn 寄存器的写对象是输出锁存器，而读对象是引脚状态。

在 R7F0C001G/L、 R7F0C002G/L 内部， 1 位操作指令按照以下顺序执行：

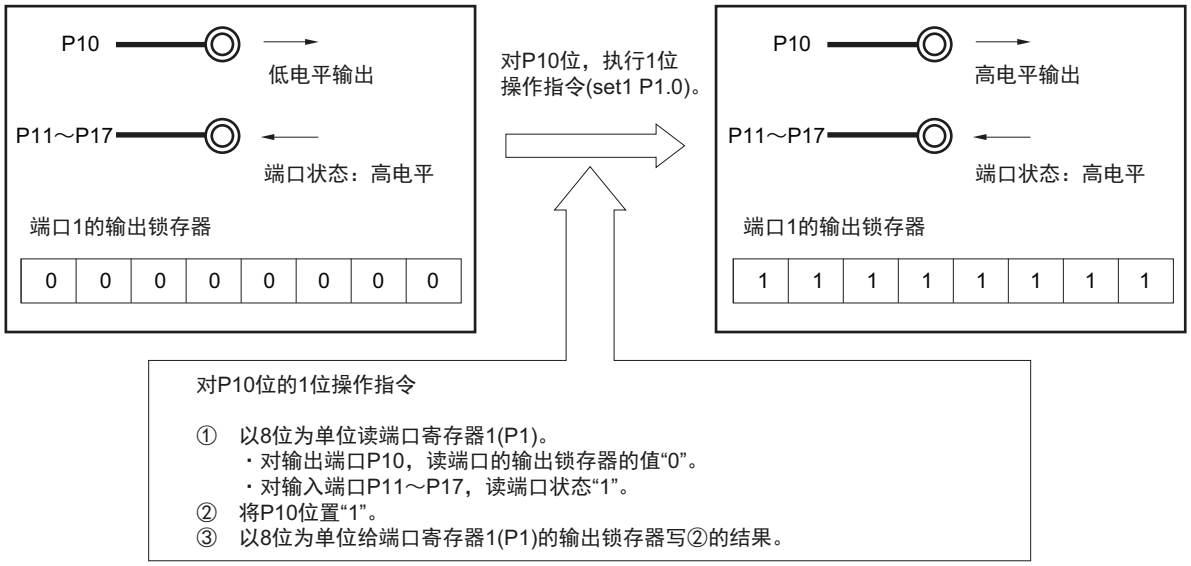
<1> 以 8 位为单位读 Pn 寄存器。
<2> 操作 1 位对象位。
<3> 以 8 位为单位写 Pn 寄存器。

在 <1> 时，读输出端口 P10 的输出锁存器的值 “0”，并且读输入端口 P11 ～ P17 的引脚状态。此时，如果 P11 ～ P17 的引脚状态为高电平，读取值就为 “FEH”。

通过 <2> 的操作，值变为 “FFH”。

通过 <3> 的操作，给输出锁存器写 “FFH”。

图 4-12 1 位存储器操作指令 （P10 的情况）



4.6.2 设定设定的注意事项

有关分配了多个复用功能的输出引脚，需要将不使用的复用功能的输出设置为初始状态 （回避输出的冲突），在通过设定外围 I/O 重定向寄存器 （PIOR）给引脚分配功能时也同样。有关复用输出，请参照 “**4.5 使用用复用功能时的寄存器设定** ”。

对于用作输入的引脚，复用功能的输出无效 （缓冲器输出为 Hi-Z），因此不需要进行处理。

另外，为了实现低功耗，建议停止不使用的功能，包括只有输入或者没有输出的模块。

第 5 章 时钟发生电路

5.1 时钟发生电路的功能

时钟发生电路是产生给 CPU 和外围硬件提供时钟的电路。

有以下几种系统时钟和时钟振荡电路。

(1) 主系统时钟

① X1 振荡电路

能通过给 X1 和 X2 连接谐振器使 f_X=1～20MHz 的时钟振荡，并且能通过执行 STOP 指令或者设定 MSTOP 位 （时钟运行状态控制寄存器 （CSC）的 bit7）使振荡停止。

② 高速内部振荡器

能通过选项字节 （000C2H）从 f_{IH}=24MHz、 16MHz、 12MHz、 8MHz、 4MHz 和 1MHz （TYP.）中选择频率进行振荡。在解除复位后， CPU 一定以此高速内部振荡器时钟开始运行。能通过执行 STOP 指令或者设定 HIOSTOP 位 （CSC 寄存器的 bit0）使振荡停止。

能通过高速内部振荡器频率选择寄存器 （HOCODIV）更改选项字节设定的频率。有关频率，请参照 “图 5-9 高速内部振荡器频率选择寄存器 （HOCODIV）的格式”。

能通过高速内部振荡器设定的振荡频率如下所示 （能通过选项字节和高速内部振荡器频率选择寄存器 （HOCODIV）选择的种类）。

电源电压	振荡频率 （MHz）								
	1	2	3	4	6	8	12	16	24
2.7V ≤ V_{DD} ≤ 5.5V	○	○	○	○	○	○	○	○	○
2.4V ≤ V_{DD} < 2.7V	○	○	○	○	○	○	○	○	—
1.8V ≤ V_{DD} < 2.4V	○	○	○	○	○	○	—	—	—
1.6V ≤ V_{DD} < 1.8V	○	○	—	○	—	—	—	—	—

另外，能由 EXCLK/X2/P122 引脚提供外部主系统时钟 （f_{EX}=1 ～ 20MHz），并且能通过执行 STOP 指令或者设定 MSTOP 位将外部主系统时钟的输入置为无效。

能通过设定 MCM0 位 （系统时钟控制寄存器 （CKC）的 bit4）进行高速系统时钟 （X1 时钟或者外部主系统时钟）和高速内部振荡器时钟的切换。

(2) 副系统时钟

- XT1 振荡电路
  能通过给 XT1 和 XT2 连接 32.768kHz 的谐振器使 f_{XT}=32.768kHz 的时钟振荡，并且能通过设定 XTSTOP 位 （时钟运行状态控制寄存器 （CSC）的 bit6）使振荡停止。

另外，能由 EXCLKS/XT2/P124 引脚提供外部副系统时钟 （f_{EXS}=32.768kHz），并且能通过设定 XTSTOP 位将外部副系统时钟的输入置为无效。

(3) 低速内部振荡器时钟

能使 f_{IL}=15kHz （TYP.）的时钟振荡。
不能将低速内部振荡器时钟用作 CPU 时钟。
只有以下外围硬件能通过低速内部振荡器时钟运行：

- 看门狗定时器
- 实时时钟
- 12 位间隔定时器
- LCD 驱动器 / 控制器

当选项字节 （000C0H）的 bit4 （WDTON）和副系统时钟提供模式控制寄存器 （OSMC）的 bit4 （WUTMMCK0）的其中 1 位为 “1” 时，或者两者同时为 “1” 时，低速内部振荡器时钟振荡。

但是，在 WDTON 位为 “1” 并且 WUTMMCK0 位为 “0” 而且选项字节 （000C0H）的 bit0 （WDSTBYON）为 “0” 时，如果执行 HALT 指令或者 STOP 指令，低速内部振荡器就停止振荡。

注意 只有在使用固定周期中断功能时，才能选择低速内部振荡器时钟 （f_{IL}）作为实时时钟的运行时钟。

备注 f_X： X1 时钟振荡频率
f_{IH}： 高速内部振荡器时钟频率
f_{EX}： 外部主系统时钟频率
f_{XT}： XT1 时钟振荡频率
f_{EXS}： 外部副系统时钟频率
f_{IL}： 低速内部振荡器时钟频率

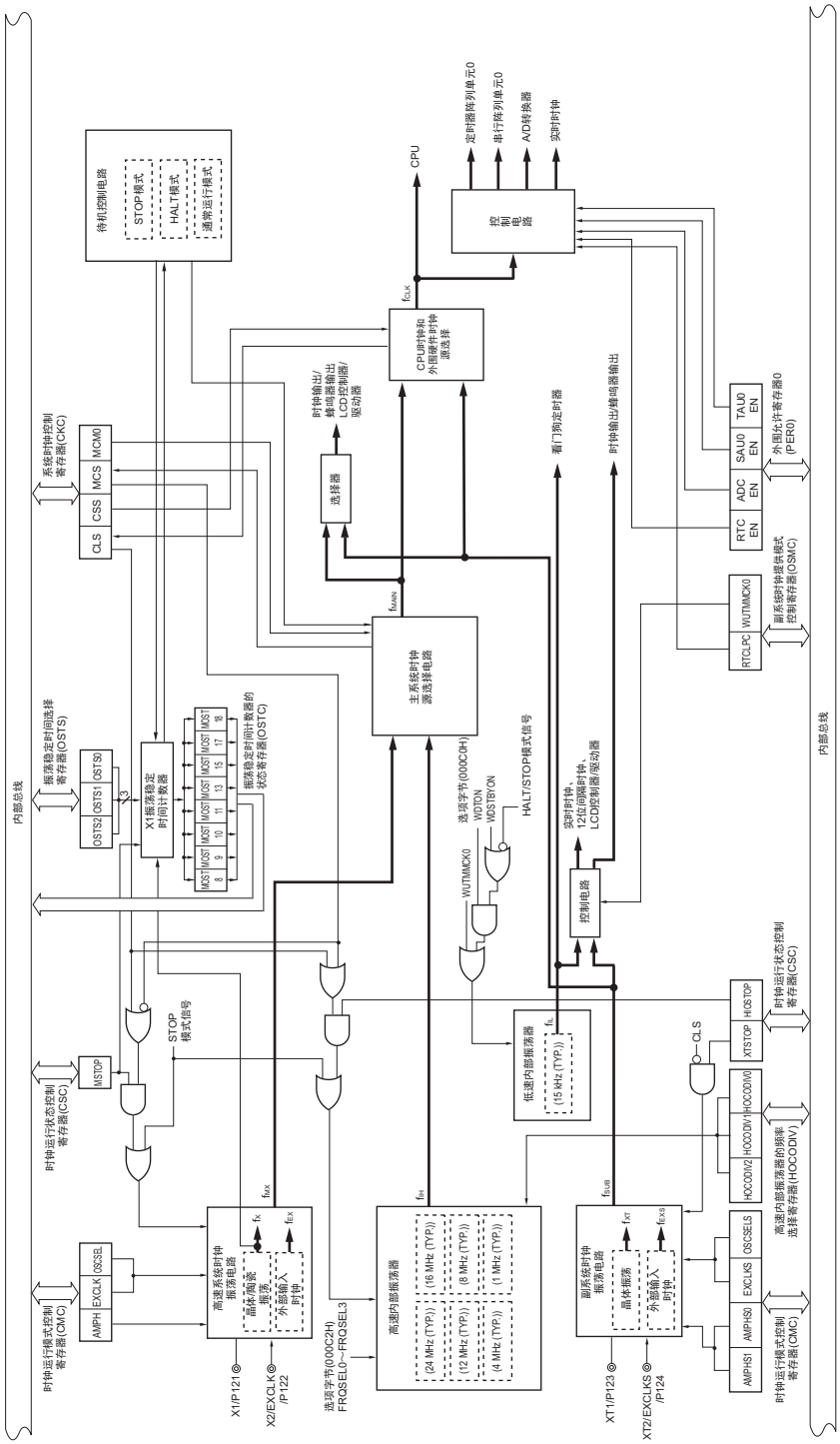
5.2 时钟发生电路的结构

时钟发生电路由以下硬件构成。

表 5-1 时钟发生电路的结构

项目	结构
控制寄存器	时钟运行模式控制寄存器 （CMC） 系统时钟控制寄存器 （CKC） 时钟运行状态控制寄存器 （CSC） 振荡稳定时间计数器状态寄存器 （OSTC） 振荡稳定时间选择寄存器 （OSTS） 外围允许寄存器 0 （PER0） 副系统时钟提供模式控制寄存器 （OSMC） 高速内部振荡器频率选择寄存器 （HOCODIV）
振荡电路	X1 振荡电路 XT1 振荡电路 高速内部振荡器 低速内部振荡器

图 5-1 时钟发生电路的框图



备注 f_X： X1 时钟振荡频率
f_{IH}： 高速内部振荡器时钟频率
f_{EX}： 外部主系统时钟频率
f_{MX}： 高速系统时钟频率
f_{MAIN}： 主系统时钟频率
f_{XT}： XT1时钟振荡频率
f_{EXS}： 外部副系统时钟频率
f_{SUB}： 副系统时钟频率
f_{CLK}： CPU/外围硬件时钟频率
f_{IL}： 低速内部振荡器时钟频率

5.3 控制时钟发生电路的寄存器

通过以下 9 种寄存器控制时钟发生电路。

- 时钟运行模式控制寄存器 （CMC）
- 系统时钟控制寄存器 （CKC）
- 时钟运行状态控制寄存器 （CSC）
- 振荡稳定时间计数器状态寄存器 （OSTC）
- 振荡稳定时间选择寄存器 （OSTS）
- 外围允许寄存器0 （PER0）
- 副系统时钟提供模式控制寄存器 （OSMC）
- 高速内部振荡器频率选择寄存器 （HOCODIV）

5.3.1 时钟运行模式控制寄存器 （CMC）

这是设定 X1/P121、X2/EXCLK/P122、XT1/P123、XT2/EXCLKS/P124 引脚的运行模式以及选择振荡电路增益的寄存器。

在解除复位后，只能通过 8 位存储器操作指令写 1 次 CMC 寄存器。能通过 8 位存储器操作指令读此寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 5-2 时钟运行模式控制寄存器 （CMC）的格式

地址：FFFA0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速系统时钟引脚的运行模式	X1/P121 引脚	X2/EXCLK/P122 引脚
0	0	输入端口模式	输入端口	
0	1	X1 振荡模式	连接晶体谐振器或者陶瓷谐振器。	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

EXCLKS	OSCSELS	副系统时钟引脚的运行模式	XT1/P123 引脚	XT2/EXCLKS/P124 引脚
0	0	输入端口模式	输入端口	
0	1	XT1 振荡模式	连接晶体谐振器。	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

AMPHS1	AMPHS0	XT1 振荡电路的振荡模式选择
0	0	低功耗振荡 （默认）
0	1	通常的振荡
1	0	超低功耗振荡
1	1	禁止设定

AMPH	X1 时钟振荡频率的控制
0	1MHz ≤ f_X ≤ 10MHz
1	10MHz < f_X ≤ 20MHz

注意 1. 在解除复位后，只能通过 8 位存储器操作指令写 1 次 CMC 寄存器。当以初始值 （“00H”）使用 CMC 寄存器时，为了防止程序失控时的误动作（如果误写“00H”以外的值就不能恢复），必须在解除复位后将CMC寄存器置“00H”。

2. 在解除复位后并且在通过设定时钟运行状态控制寄存器（CSC）开始 X1 或者 XT1 振荡前，必须设定 CMC 寄存器。

3. 当 X1 时钟振荡频率超过 10MHz 时，必须将 AMPH 位置 “1”。

4. 在解除复位后，必须在选择 f_{IH} 作为 f_{CLK} 的状态（将 f_{CLK} 切换为 f_{MX} 前的状态）下设定 AMPH 位、AMPHS1 位和 AMPHS0 位。

5. 必须通过软件对 f_{XT} 的振荡稳定时间进行计数。

6. 系统时钟的频率上限是 24MHz，但是 X1 振荡电路的频率上限为 20MHz。

7. 为了实现低功耗， XT1 振荡电路是低增幅电路。必须在设计时注意以下几点：
   - 引脚和电路板含有寄生电容。因此，必须通过实际使用的电路板进行振荡评估，确认是否有问题。
   - 在将 XT1 振荡电路的模式用于超低功耗振荡（AMPHS1、AMPHS0=1、0）时，必须对谐振器进行充分的评价。
   - 必须尽量缩短 XT1 引脚、 XT2 引脚和谐振器之间的布线，减小寄生电容和布线电阻。尤其在选择超低功耗振荡（AMPHS1、 AMPHS0=1、 0）时要注意。
   - 必须使用寄生电容和布线电阻小的电路板材料构成电路。
   - 必须尽量在 XT1 振荡电路的附近配置和 V_{SS} 同电位的接地图形。
   - XT1 引脚、 XT2 引脚和谐振器的信号线不能和其他信号线交叉，并且不能接近有变化的大电流流过的布线。
   - 在高湿度环境中，因电路板的吸湿或者结露可能导致 XT1 引脚和 XT2 引脚之间的阻抗下降而影响振荡。在这样的环境中使用时，必须对电路板进行涂层等防潮措施。
   - 在对电路板进行涂层处理时，必须在 XT1 引脚和 XT2 引脚之间使用不产生电容或者漏电流的材料。

备注 f_X：X1 时钟频率

5.3.2 系统时钟控制寄存器 （CKC）

这是选择 CPU/ 外围硬件时钟和主系统时钟的寄存器。

通过 1 位或者 8 位存储器操作指令设定 CKC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 5-3 系统时钟控制寄存器 （CKC）的格式

地址：FFFA4H 复位后：00H R/W 注 1

符号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU/ 外围硬件时钟 （f_{CLK}）的状态
0	主系统时钟 （f_{MAIN}）
1	副系统时钟 （f_{SUB}）

CSS	CPU/ 外围硬件时钟 （f_{CLK}）的选择
0	主系统时钟 （f_{MAIN}）
1 注 2	副系统时钟 （f_{SUB}）

MCS	主系统时钟 （f_{MAIN}）的状态
0	高速内部振荡器时钟 （f_{IH}）
1	高速系统时钟 （f_{MX}）

MCM0 注 2	主系统时钟 （f_{MAIN}）的运行控制
0	选择高速内部振荡器时钟 （f_{IH}）作为主系统时钟 （f_{MAIN}）。
1	选择高速系统时钟 （f_{MX}）作为主系统时钟 （f_{MAIN}）。

注 1. bit7 和 bit5 是只读位。

2. 禁止在将 CSS 位置 “1” 的状态下更改 MCM0 位的值。

备注 f_{IH}： 高速内部振荡器时钟频率

f_{MX}： 高速系统时钟频率

f_{MAIN}：主系统时钟频率

f_{SUB}： 副系统时钟频率

注意 1. 必须将 bit0 ～ 3 置 “0”。

2. 给 CPU 和外围硬件提供 CSS 位设定的时钟。如果更改 CPU 时钟，就同时更改外围硬件的时钟（实时时钟、12 位间隔定时器、时钟输出 / 蜂鸣器输出、 LCD 控制器 / 驱动器和看门狗定时器除外）。因此，如果要更改 CPU/ 外围硬件的时钟，就必须停止各外围功能。

3. 如果将副系统时钟用作外围硬件时钟，就无法保证 A/D 转换器和 IICA 的运行。有关外围硬件的运行特性，请参照各外围硬件的章节和 “ 第 27 章 电特性 ”。

5.3.3 时钟运行状态控制寄存器 （CSC）

这是控制高速系统时钟、高速内部振荡器时钟和副系统时钟 （低速内部振荡器时钟除外）运行的寄存器。

通过 1 位或者 8 位存储器操作指令设定 CSC 寄存器。

通过产生复位信号，此寄存器的值变为 “C0H”。

图 5-4 时钟运行状态控制寄存器 （CSC）的格式

地址：FFFA1H 复位后：C0H R/W

符号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速系统时钟的运行控制		
	X1 振荡模式	外部时钟输入模式	输入端口模式
0	X1 振荡电路运行	EXCLK 引脚的外部时钟有效	输入端口
1	X1 振荡电路停止	EXCLK 引脚的外部时钟无效	

XTSTOP	副系统时钟的运行控制		
	XT1 振荡模式	外部时钟输入模式	输入端口模式
0	XT1 振荡电路运行	EXCLKS 引脚的外部时钟有效	输入端口
1	XT1 振荡电路停止	EXCLKS 引脚的外部时钟无效	

HIOSTOP	高速内部振荡器时钟的运行控制
0	高速内部振荡器运行
1	高速内部振荡器停止

注意 1. 在解除复位后，必须在设定时钟运行模式控制寄存器 （CMC）后设定 CSC 寄存器。

2. 在解除复位后并且在将 MSTOP 位置 “0” 前，必须设定振荡稳定时间选择寄存器 （OSTS）。但是，当以初始值使用 OSTS 寄存器时，不需要设定 OSTS 寄存器。

3. 要通过设定 MSTOP 位开始 X1 振荡时，必须通过振荡稳定时间计数器状态寄存器 （OSTC）确认 X1 时钟的振荡稳定时间。

4. 要通过设定 XSTOP 位开始 XT1 振荡时，必须通过软件等待副系统时钟所需的振荡稳定时间。

5. 不能通过 CSC 寄存器停止选择为 CPU/ 外围硬件时钟 （f_{CLK}）的时钟。

6. 有关用于停止时钟振荡 （外部时钟输入无效）的寄存器的标志设定和停止前的条件，请参照表 5-2。

表 5-2 时钟的停止方法

时钟	停止时钟 （外部时钟输入无效）前的条件	CSC 寄存器的标志设定
X1 时钟 外部主系统时钟	CPU 和外围硬件时钟以高速系统时钟以外的时钟运行。 （CLS=0 并且 MCS=0，或者 CLS=1）	MSTOP=1
XT1 时钟 外部副系统时钟	CPU 和外围硬件时钟以副系统时钟以外的时钟运行。 （CLS=0）	XTSTOP=1
高速内部振荡器时钟	CPU 和外围硬件时钟以高速内部振荡器时钟以外的时钟运行。 （CLS=0 并且 MCS=1，或者 CLS=1）	HIOSTOP=1

5.3.4 振荡稳定时间计数器状态寄存器 （OSTC）

这是表示 X1 时钟的振荡稳定时间计数器计数状态的寄存器。

能在以下情况下确认 X1 时钟的振荡稳定时间：

- 当CPU时钟为高速内部振荡器时钟或者副系统时钟运行并且开始X1时钟的振荡时
- 当CPU时钟为高速内部振荡器时钟并且在X1时钟振荡的状态下转移到STOP模式后解除STOP模式时

能通过 1 位或者 8 位存储器操作指令读 OSTC 寄存器。

通过复位信号的产生、 STOP 指令或者 MSTOP 位 （时钟运行状态控制寄存器 （CSC） 的 bit7） 为 “1”，此寄存器的值变为 “00H”。

备注 在以下情况下，振荡稳定时间计数器开始计数：

- 当X1时钟开始振荡 （EXCLK、 OSCSEL=0、 1→MSTOP=0） 时
- 当解除STOP模式时

图 5-5 振荡稳定时间计数器状态寄存器 （OSTC）的格式

地址：FFFA2H 复位后：00H R

符号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

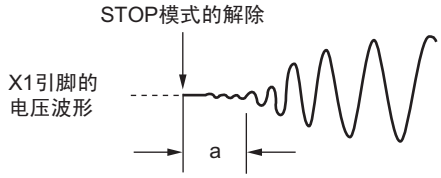
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	振荡稳定时间状态		
									f_X=10MHz	f_X=20MHz
0	0	0	0	0	0	0	0	小于 $2^8/f_X$	小于 25.6μs	小于 12.8μs
1	0	0	0	0	0	0	0	至少 $2^8/f_X$	至少 25.6μs	至少 12.8μs
1	1	0	0	0	0	0	0	至少 $2^9/f_X$	至少 51.2μs	至少 25.6μs
1	1	1	0	0	0	0	0	至少 $2^{10}/f_X$	至少 102.4μs	至少 51.2μs
1	1	1	1	0	0	0	0	至少 $2^{11}/f_X$	至少 204.8μs	至少 102.4μs
1	1	1	1	1	0	0	0	至少 $2^{13}/f_X$	至少 819.2μs	至少 409.6μs
1	1	1	1	1	1	0	0	至少 $2^{15}/f_X$	至少 3.27ms	至少 1.64ms
1	1	1	1	1	1	1	0	至少 $2^{17}/f_X$	至少 13.11ms	至少 6.55ms
1	1	1	1	1	1	1	1	至少 $2^{18}/f_X$	至少 26.21ms	至少 13.11ms

注意 1. 在经过上述时间后，各位从 MOST8 位开始依次变为 “1” 并且保持 “1” 的状态。

2. 振荡稳定时间计数器只在振荡稳定时间选择寄存器 （OSTS）所设振荡稳定时间内进行计数。
   在以下情况下， OSTS 寄存器的振荡稳定时间的设定值必须大于通过 OSTC 寄存器确认的计数值。
   - 当 CPU 时钟为高速内部振荡器时钟或者副系统时钟并且要开始 X1 时钟的振荡时
   - 当 CPU 时钟高速内部振荡器时钟并且在 X1 时钟振荡的状态下转移到 STOP 模式后解除 STOP 模式时

   （因此必须注意，在解除 STOP 模式后只给 OSTC 寄存器设定 OSTS 寄存器所设振荡稳定时间内的状态。）

3. X1 时钟的振荡稳定时间不包含时钟开始振荡前的时间 （下图 a）。



备注 f_X：X1 时钟振荡频率

5.3.5 振荡稳定时间选择寄存器 （OSTS）

这是选择 X1 时钟的振荡稳定时间的寄存器。

如果要使 X1 时钟振荡，就在 X1 振荡电路运行 （MSTOP=0）后，自动等待 OSTS 寄存器设定的时间。

在将 CPU 时钟从高速内部振荡器时钟或者副系统时钟切换到 X1 时钟时，或者在 CPU 时钟为高速内部振荡器时钟并且在 X1 时钟振荡的状态下转移到 STOP 模式后解除 STOP 模式时，必须通过振荡稳定时间计数器的状态寄存器 （OSTC）确认是否经过振荡稳定时间。能通过 OSTC 寄存器确认 OSTS 寄存器事先设定的时间。

通过 8 位存储器操作指令设定 OSTS 寄存器。

通过产生复位信号，此寄存器的值变为 “07H”。

图 5-6 振荡稳定时间选择寄存器 （OSTS）的格式

地址：FFFA3H 复位后：07H R/W

符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

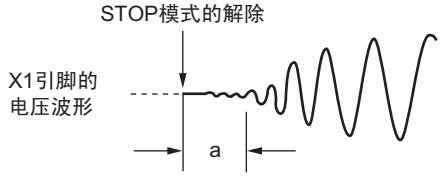
OSTS2	OSTS1	OSTS0	振荡稳定时间的选择		
				f_X=10MHz	f_X=20MHz
0	0	0	$2^8/f_X$	25.6μs	12.8μs
0	0	1	$2^9/f_X$	51.2μs	25.6μs
0	1	0	$2^{10}/f_X$	102.4μs	51.2μs
0	1	1	$2^{11}/f_X$	204.8μs	102.4μs
1	0	0	$2^{13}/f_X$	819.2μs	409.6μs
1	0	1	$2^{15}/f_X$	3.27ms	1.64ms
1	1	0	$2^{17}/f_X$	13.11ms	6.55ms
1	1	1	$2^{18}/f_X$	26.21ms	13.11ms

注意 1. 要更改 OSTS 寄存器的设定时，必须在将时钟运行状态控制寄存器 （CSC）的 MSTOP 位置 “0” 前进行更改。

2. 振荡稳定时间计数器只在 OSTS 寄存器所设振荡稳定时间内进行计数。
   在以下情况下， OSTS 寄存器的振荡稳定时间的设定值必须大于在开始振荡后通过 OSTC 寄存器确认的计数值。
   - 当 CPU 时钟为高速内部振荡器时钟或者副系统时钟并且要开始 X1 时钟的振荡时
   - 当 CPU 时钟为高速内部振荡器时钟并且在 X1 时钟振荡的状态下转移到 STOP 模式后解除 STOP 模式时

   （因此必须注意，在解除 STOP 模式后只给 OSTC 寄存器设定 OSTS 寄存器所设振荡稳定时间内的状态。）

3. X1 时钟的振荡稳定时间不包含时钟开始振荡前的时间 （下图 a）。



备注 f_X：X1 时钟振荡频率

5.3.6 外围允许寄存器 0 （PER0）

这是设定允许或者禁止给各外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

当使用由此寄存器控制的以下外围功能时，必须在进行外围功能的初始设定前将对应的位置 “1”。

- 实时时钟、 12 位间隔定时器
- A/D 转换器
- 串行阵列单元 0
- 定时器阵列单元 0
- LCD 控制器 / 驱动器

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 5-7 外围允许寄存器 0 （PER0）的格式 (1/2)

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCEN	实时时钟 （RTC）和 12 位间隔定时器	LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出	
		选择副系统时钟 （f_{SUB}）	不选择副系统时钟 （f_{SUB}）
0	停止提供输入时钟。 • 不能写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。 • 实时时钟 （RTC）和 12 位间隔定时器处于复位状态。	停止提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	提供输入时钟和主系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。
1	提供输入时钟。 • 能读写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。	提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出所使用的 SFR。	

ADCEN	提供 A/D 转换器的输入时钟的控制
0	停止提供输入时钟。 • 不能写 A/D 转换器使用的 SFR。 • A/D 转换器处于复位状态。
1	提供输入时钟。 • 能读写 A/D 转换器使用的 SFR。

注意 必须将 bit1、 3、 4、 6 置 “0”。

图 5-7 外围允许寄存器 0 （PER0）的格式 (2/2)

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

SAU0EN	提供串行阵列单元 0 的输入时钟的控制
0	停止提供输入时钟。 • 不能写串行阵列单元 0 使用的 SFR。 • 串行阵列单元 0 处于复位状态。
1	提供输入时钟。 • 能读写串行阵列单元 0 使用的 SFR。

TAU0EN	提供定时器阵列单元 0 的输入时钟的控制
0	停止提供输入时钟。 • 不能写定时器阵列单元 0 使用的 SFR。 • 定时器阵列单元处于复位状态。
1	提供输入时钟。 • 能读写定时器阵列单元 0 使用的 SFR。

注意 必须将 bit1、 3、 4、 6 置 “0”。

5.3.7 副系统时钟提供模式控制寄存器 （OSMC）

OSMC 寄存器是通过停止不需要的时钟功能来降低功耗的寄存器。

如果将 RTCLPC 位置 “1”，就在 STOP 模式和在 CPU 以副系统时钟运行的 HALT 模式中停止给实时时钟、12 位间隔定时器和 LCD 驱动器 / 控制器以外的外围功能提供时钟，因此能减低功耗。在进行此设定前，必须将外围允许寄存器 0 （PER0）的 bit7 （RTCEN）置 “1”。

另外，能通过 OSMC 寄存器选择实时时钟、 12 位间隔定时器和 LCD 驱动器 / 控制器的运行时钟。

通过 8 位存储器操作指令设定 OSMC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 5-8 副系统时钟提供模式控制寄存器 （OSMC）的格式

地址：F00F3H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	CPU 以副系统时钟运行的 HALT 模式中的设定
0	允许给外围功能提供副系统时钟 （有关允许运行的外围功能，请参照表 16-1）。
1	停止给实时时钟、 12 位间隔定时器和 LCD 以外的外围功能提供副系统时钟。

WUTMMCK0 注	实时时钟、 12 位间隔定时器 和 LCD 驱动器 / 控制器的运行时钟的选择	时钟输出 / 蜂鸣器输出的 PCLBUZn 引脚 的输出时钟的选择
0	副系统时钟 （f_{SUB}）	允许选择副系统时钟 （f_{SUB}）。
1	低速内部振荡器时钟 （f_{IL}）	禁止选择副系统时钟 （f_{SUB}）。

注 当副系统时钟正在振荡时，必须选择副系统时钟 （WUTMMCK0=0）。

注意 1. 只有在实时时钟、12 位间隔定时器和 LCD 驱动器 / 控制器的全部功能处于停止运行时，才能通过 WUTMMCK0 位进行副系统时钟和低速内部振荡器时钟的切换。

各功能的运行停止方法如下：

实时时钟的停止设定： RTCE=0

12 位间隔定时器的停止设定： RINTE=0

LCD 驱动器 / 控制器的停止设定：SCOC=0 并且 VLCON=0

2. 当 WUTMMCK0 位为 “1” 时，禁止选择 f_{SUB} 作为时钟输出 / 蜂鸣器输出的输出时钟。

备注 RTCE： 实时时钟控制寄存器 0 （RTCC0）的 bit7

RINTE： 间隔定时器控制寄存器 （ITMC）的bit15

SCOC： LCD模式寄存器1 （LCDM1）的bit6

VLCON：LCD模式寄存器1 （LCDM1）的bit5

5.3.8 高速内部振荡器频率选择寄存器 （HOCODIV）

这是更改选项字节 （000C2H）设定的高速内部振荡器频率的寄存器。但是，能选择的频率因选项字节（000C2H）的 FRQSEL3 位的值而不同。

通过 8 位存储器操作指令设定 HOCODIV 寄存器。

通过产生复位信号，此寄存器的值变为初始值 （不定值）。

图 5-9 高速内部振荡器频率选择寄存器 （HOCODIV）的格式

地址：F00A8H 复位后：不定值 R/W

符号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速内部振荡器时钟频率的选择	
			FRQSEL3 位为 “0”	FRQSEL3 位为 “1”
0	0	0	24MHz	禁止设定
0	0	1	12MHz	16MHz
0	1	0	6MHz	8MHz
0	1	1	3MHz	4MHz
1	0	0	禁止设定	2MHz
1	0	1	禁止设定	1MHz
上述以外			禁止设定	

注意 1. 必须在更改频率前后，进行选项字节 （000C2H）所设闪存运行模式的可工作电压范围内的 HOCODIV 寄存器的设定。

选项字节 （000C2H）的值		闪存运行模式	工作频率范围	工作电压范围
CMODE1	CMODE2			
0	0	LV （低电压主）模式	1MHz ～ 4MHz	1.6V ～ 5.5V
1	0	LS （低速主）模式	1MHz ～ 8MHz	1.8V ～ 5.5V
1	1	HS （高速主）模式	1MHz ～ 16MHz	2.4V ～ 5.5V
			1MHz ～ 24MHz	2.7V ～ 5.5V

2. 必须在选择高速内部振荡器时钟 （f_{IH}）作为 CPU/ 外围硬件时钟 （f_{CLK}）的状态下设定 HOCODIV 寄存器。
3. 在通过 HOCODIV 寄存器更改频率后，经过以下转移时间之后进行频率切换：
   - 以更改前的频率， 3 个时钟的运行
   - 以更改后的频率，最大 3 个时钟的 CPU/ 外围硬件时钟的等待

5.4 系统时钟振荡电路

5.4.1 X1 振荡电路

X1 振荡电路通过连接 X1 引脚和 X2 引脚的晶体谐振器或者陶瓷谐振器 （1 ～ 20MHz）进行振荡。

也能输入外部时钟，此时必须给 EXCLK 引脚输入时钟信号。

当使用 X1 振荡电路时，必须对时钟运行模式控制寄存器 （CMC）的 bit7 和 bit6（EXCLK、 OSCSEL）进行以下的设定：

- 晶体或者陶瓷振荡：EXCLK、 OSCSEL=0、 1
- 外部时钟输入： EXCLK、 OSCSEL=1、 1

当不使用 X1 振荡电路时，必须设定为输入端口模式 （EXCLK、 OSCSEL=0、 0）。

而且，当也不用作输入端口引脚时，请参照 “ **表 2-3 各未使用引脚的处理 （64 引脚产品）** ”。

X1 振荡电路的外接电路例子如**图 5-10** 所示。

图 5-10 X1 振荡电路的外接电路例子

5.4.2 XT1 振荡电路

XT1 振荡电路通过连接 XT1 引脚和 XT2 引脚的晶体谐振器 （32.768kHz(TYP.)）进行振荡。

当使用 XT1 振荡电路时，必须将时钟运行模式控制寄存器 （CMC）的 bit4 （OSCSELS）置 “1”。

也能输入外部时钟，此时必须给 EXCLKS 引脚输入时钟信号。

当使用 XT1 振荡电路时，必须对时钟运行模式控制寄存器（CMC）的 bit5 和 bit4（EXCLKS、OSCSELS）进行以下的设定：

- 晶体或者陶瓷振荡：EXCLKS、 OSCSELS=0、 1
- 外部时钟输入： EXCLKS、 OSCSELS=1、 1

当不使用 XT1 振荡电路时，必须设定为输入端口模式 （EXCLKS、 OSCSELS=0、 0）。

而且，当也不用作输入端口引脚时，请参照 “ **表 2-3 各未使用引脚的处理 （64 引脚产品）** ”。

XT1 振荡电路的外接电路例子如**图 5-11** 所示。

图 5-11 XT1 振荡电路的外接电路例子

注意 当使用 X1 振荡电路和 XT1 振荡电路时，为了避免布线电容等的影响，必须通过以下方法对图 5-10 和图 5-11 中的虚线部分中进行布线：

- 必须尽量缩短布线。
- 不能和其他的信号线交叉，并且不能接近有变化的大电流流过的布线。
- 必须始终保持振荡电路的电容器接地点和V_{SS}同电位，而且不能给大电流流过的接地图形接地。
- 不能从振荡电路取出信号。

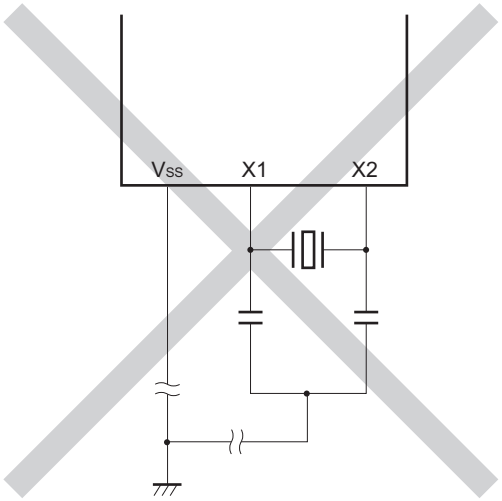
尤其是为了实现低功耗， XT1振荡电路是低增幅电路。必须在设计时注意以下几点：

- 引脚和电路板含有寄生电容。因此，必须通过实际使用的电路板进行振荡评估，确认是否有问题。
- 在将XT1振荡电路的模式用于超低功耗振荡（AMPHS1、AMPHS0=1、0）时，必须对谐振器进行充分的评价。
- 必须尽量缩短 XT1 引脚、 XT2 引脚和谐振器之间的布线，减小寄生电容和布线电阻。尤其在选择超低功耗振荡（AMPHS1、 AMPHS0=1、 0）时要注意。
- 必须使用寄生电容和布线电阻小的电路板材料构成电路。
- 必须尽量在XT1振荡电路的附近配置和V_{SS}同电位的接地图形。
- XT1引脚、 XT2引脚和谐振器的信号线不能和其他信号线交叉，并且不能接近有变化的大电流流过的布线。
- 在高湿度环境中，因电路板的吸湿或者结露可能导致XT1引脚和XT2引脚之间的阻抗下降而影响振荡。在这样的环境中使用时，必须对电路板进行涂层等防潮措施。
- 在对电路板进行涂层处理时，必须在XT1引脚和XT2引脚之间使用不产生电容或者漏电流的材料。

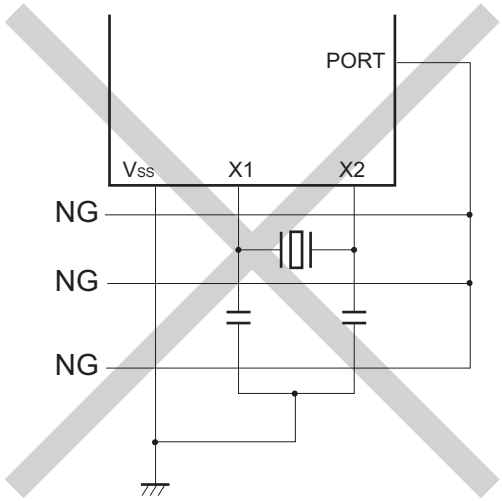
不正确的谐振器连接例子如图 5-12 所示。

图 5-12 不正确的谐振器连接例子 (1/2)

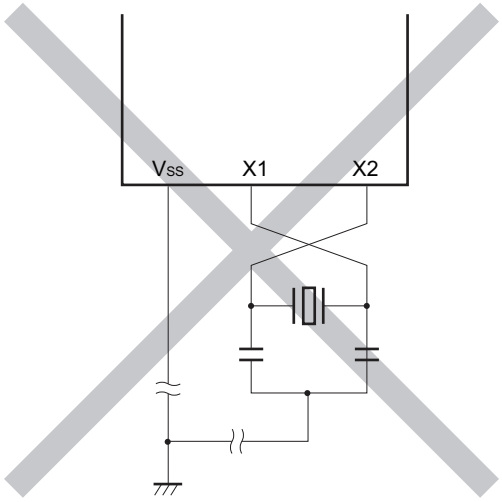
(a) 连接电路的布线太长



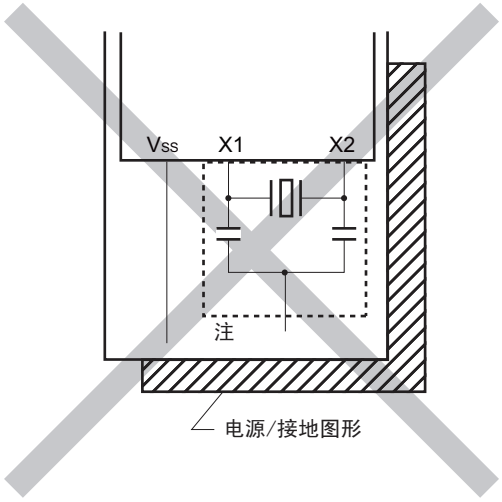
(b) 信号线交叉



(c) X1 和 X2 的信号线交叉布线



(d) X1 和 X2 的布线下方有电源或者接地图形

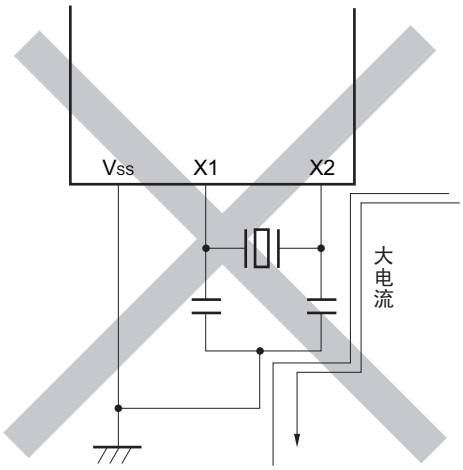


注 在多层板或者双面板中，不能在 X1 引脚、X2 引脚和谐振器的布线区（图中虚线部分）下方配置电源或者接地图形。布线不能产生电容成分而影响振荡特性。

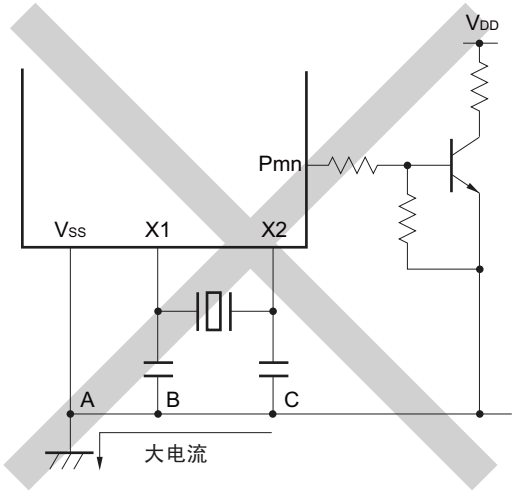
备注 在使用副系统时钟的情况下，请阅读时分别用 XT1 和 XT2 代替 X1 和 X2，并且在 XT2 侧插入串联电阻。

图 5-12 不正确的谐振器连接例子 (2/2)

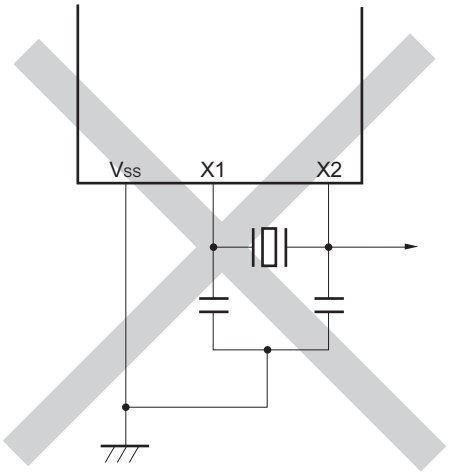
(e) 有变化的大电流接近信号线



(f) 振荡电路的接地线上方有电流流过
（A 点、 B 点、 C 点的电位发生变动）



(g) 取出信号



注意 当 X2 和 XT1 并行布线时， X2 的串扰噪声会叠加到 XT1 而导致误动作。

备注 在使用副系统时钟的情况下，请阅读时分别用 XT1 和 XT2 代替 X1 和 X2，并且在 XT2 侧插入串联电阻。

5.4.3 高速内部振荡器

R7F0C001G/L、 R7F0C002G/L 内置高速内部振荡器。能通过选项字节 （000C2H）从 24MHz、 16MHz、 12MHz、 8MHz、 6MHz、 4MHz、 3MHz、 2MHz 和 1MHz 中选择频率。能通过时钟运行状态控制寄存器（CSC）的 bit0 （HIOSTOP）控制振荡。

在解除复位后，高速内部振荡器自动开始振荡。

5.4.4 低速内部振荡器

R7F0C001G/L、 R7F0C002G/L 内置低速内部振荡器。

低速内部振荡器时钟用作看门狗定时器、实时时钟、 12 位间隔定时器和 LCD 驱动器 / 控制器的时钟，但是不能用作 CPU 时钟。

当选项字节 （000C0H）的 bit4 （WDTON）或者副系统时钟提供模式控制寄存器 （OSMC）的 bit4（WUTMMCK0）为 “1” 时，低速内部振荡器运行。

当看门狗定时器停止运行，并且在 WUTMMCK0 位不为 “0” 时，低速内部振荡器继续振荡。但是，当看门狗定时器运行，并且只有在 WUTMMCK0=0 时， WDSTBYON 为 “0” 并且在 HALT、 STOP、 SNOOZE 模式中低速内部振荡器停止振荡。在看门狗定时器运行时，即使程序失控，低速内部振荡器时钟也不停止运行。

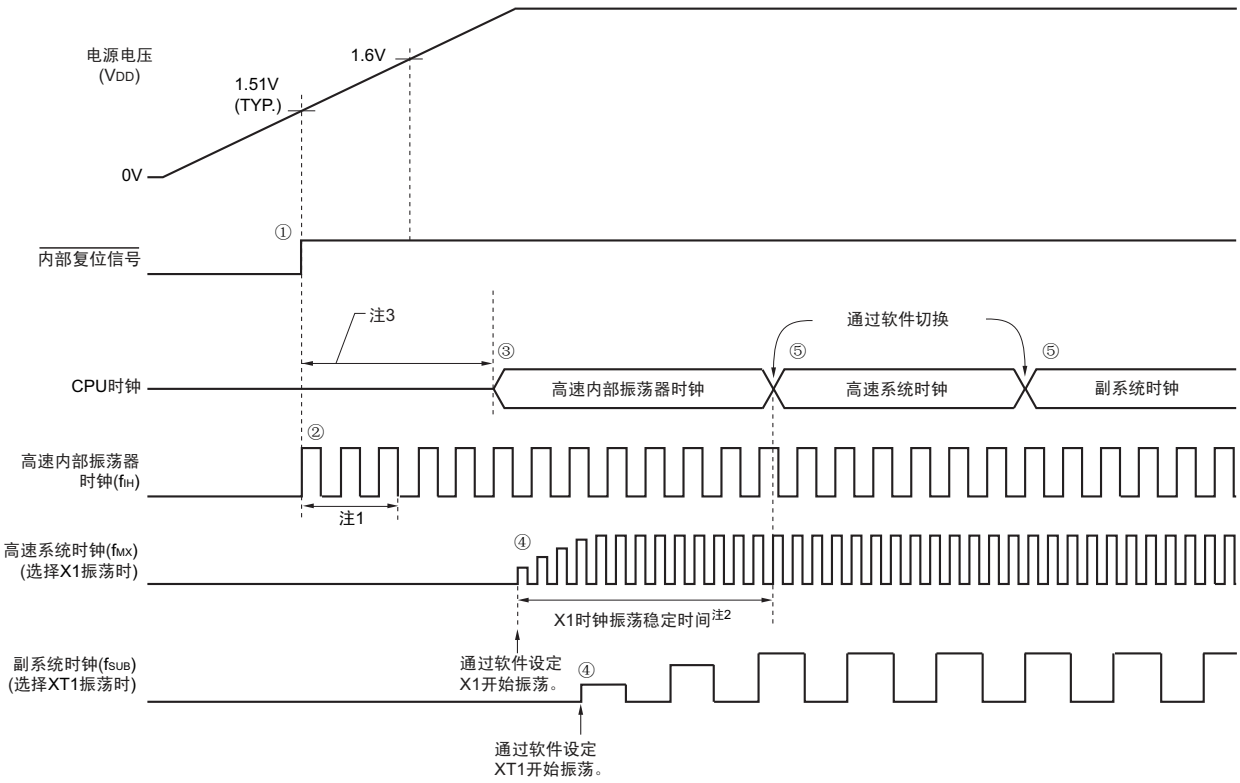
5.5 时钟发生电路的运行

时钟发生电路产生以下所示各种时钟，并且控制待机模式等 CPU 的运行模式 （参照图 5-1）。

- ○ 主系统时钟 f_{MAIN}
  - 高速系统时钟 f_{MX}
    X1 时钟 f_X
    外部主系统时钟 f_{EX}
  - 高速内部振荡器时钟 f_{IH}
- ○ 副系统时钟 f_{SUB}
  - XT1 时钟 f_{XT}
  - 外部副系统时钟 f_{EXS}
- ○ 低速内部振荡器时钟 f_{IL}
- ○ CPU/外围硬件时钟 f_{CLK}

R7F0C001G/L、 R7F0C002G/L 在解除复位后， CPU 通过高速内部振荡器的输出开始运行。
接通电源时的时钟发生电路的运行如图 5-13 所示。

图 5-13 接通电源时的时钟发生电路的运行



① 在接通电源后，通过上电复位 （POR）电路产生内部复位信号。

② 如果电源电压超过1.51V(TYP.)，就解除复位并且高速内部振荡器自动开始振荡。

③ 在解除复位后，进行电源或者稳压器的电压稳定等待等的复位处理，然后CPU以高速内部振荡器时钟开始运行。

④ 必须通过软件设定X1时钟或者XT1时钟的开始振荡 （参照“5.6.2 X1振荡电路的设定例子”和“5.6.3 XT1振荡电路的设定例子”）。

⑤ 如果要将CPU时钟切换到X1时钟或者XT1时钟，就必须在等待时钟振荡稳定后通过软件设定切换（参照“5.6.2 X1振荡电路的设定例子”和“5.6.3 XT1振荡电路的设定例子”）。

注 1. 高速内部振荡器时钟的振荡精度稳定等待时间包含内部复位的处理时间。

2. 当解除复位时，必须通过振荡稳定时间计数器状态寄存器 （OSTC）确认 X1 时钟的振荡稳定时间。

3. 有关复位处理时间，请参照“ 第 18 章 上电复位电路 ”。

注意 如果使用 EXCLK 引脚输入的外部时钟，就不需要振荡稳定等待时间。

5.6 时钟控制

5.6.1 高速内部振荡器的设定例子

在解除复位后， CPU/ 外围硬件时钟 （f_{CLK}）一定以高速内部振荡器时钟运行。能通过选项字节（000C2H）的 FRQSEL0 ～ FRQSEL3 位，从 24MHz、 16MHz、 12MHz、 8MHz、 6MHz、 4MHz、 3MHz、 2MHz 和 1MHz 中选择高速内部振荡器的频率。另外，能通过高速内部振荡器频率选择寄存器 （HOCODIV）更改频率。

【选项字节的设定】

地址：000C2H

选项字节（000C2H）	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	闪存的运行模式设定	
0	0	LV （低电压主）模式	V_{DD}=1.6V ～ 5.5V@1MHz ～ 4MHz
1	0	LS （低速主）模式	V_{DD}=1.8V ～ 5.5V@1MHz ～ 8MHz
1	1	HS （高速主）模式	V_{DD}=2.4V ～ 5.5V@1MHz ～ 16MHz V_{DD}=2.7V ～ 5.5V@1MHz ～ 24MHz
上述以外		禁止设定	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速内部振荡器的频率
0	0	0	0	24MHz
1	0	0	1	16MHz
0	0	0	1	12MHz
1	0	1	0	8MHz
0	0	1	0	6MHz
1	0	1	1	4MHz
0	0	1	0	3MHz
1	1	0	0	2MHz
1	1	0	1	1MHz
上述以外				禁止设定

【高速内部振荡器频率选择寄存器 （HOCODIV）的设定】

地址：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速内部振荡器时钟频率的选择	
			FRQSEL3 位为 “0”	FRQSEL3 位为 “1”
0	0	0	24MHz	禁止设定
0	0	1	12MHz	16MHz
0	1	0	6MHz	8MHz
0	1	1	3MHz	4MHz
1	0	0	禁止设定	2MHz
1	0	1	禁止设定	1MHz
上述以外			禁止设定	

5.6.2 X1 振荡电路的设定例子

在解除复位后， CPU/ 外围硬件时钟 （f_{CLK}）一定以高速内部振荡器时钟运行。此后，如果改为 X1 振荡时钟，就通过振荡稳定时间选择寄存器 （OSTS）、时钟运行模式控制寄存器 （CMC）和时钟运行状态控制寄存器 （CSC）进行振荡电路的设定和振荡的开始，并且通过振荡稳定时间计数器状态寄存器 （OSTC）等待振荡稳定。在等待振荡稳定后通过系统时钟控制寄存器 （CKC）将 X1 振荡时钟设定为 f_{CLK}。

【寄存器的设定】 必须按照①～⑤的顺序设定寄存器。

① 将CMC寄存器的OSCSEL位置“1”，当f_X＞10MHz时，将AMPH位置“1”，使X1振荡电路运行。

CMC

7	6	5	4	3	2	1	0
EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
0	1	0	0	0	0	0	0/1

② 通过OSTS寄存器选择解除STOP模式时的X1振荡电路的振荡稳定时间。
例）要通过10MHz谐振器至少等待102.4μs时，必须设定为以下的值。

OSTS

7	6	5	4	3	2	1	0
					OSTS2	OSTS1	OSTS0
0	0	0	0	0	0	1	0

③ 将CSC寄存器的MSTOP位清“0”，使X1振荡电路开始振荡。

CSC

7	6	5	4	3	2	1	0
MSTOP	XTSTOP						HIOSTOP
0	1	0	0	0	0	0	0

④ 通过OSTC寄存器等待X1振荡电路的振荡稳定。
例）要通过10MHz谐振器至少等待102.4μs时，必须等到各位变为以下的值。

OSTC

7	6	5	4	3	2	1	0
MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
1	1	1	0	0	0	0	0

⑤ 通过CKC寄存器的MCM0位将X1振荡时钟设定为CPU/外围硬件时钟。

CKC

7	6	5	4	3	2	1	0
CLS	CSS	MCS	MCM0				
0	0	0	1	0	0	0	0

5.6.3 XT1 振荡电路的设定例子

在解除复位后， CPU/ 外围硬件时钟 （f_{CLK}）一定以高速内部振荡器时钟运行。此后，如果改为 XT1 振荡时钟，就通过副系统时钟提供模式控制寄存器 （OSMC）、时钟运行模式控制寄存器 （CMC）和时钟运行状态控制寄存器 （CSC）进行振荡电路的设定和振荡的开始，并且通过系统时钟控制寄存器 （CKC）将 XT1 振荡时钟设定为 f_{CLK}。

【寄存器的设定】必须按照①～⑤的顺序设定寄存器。

① 在STOP模式和以副系统时钟运行的HALT模式中，当只要使实时时钟、12位间隔定时器和LCD驱动器/控制器以副系统时钟运行 （超低消耗电流）时，必须将RTCLPC位置“1”。

OSMC

7	6	5	4	3	2	1	0
RTCLPC			WUTMMCK0				
0/1	0	0	0	0	0	0	0

② 将CMC寄存器的OSCSELS位置“1”，使XT1振荡电路运行。

CMC

7	6	5	4	3	2	1	0
EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
0	0	0	1	0	0/1	0/1	0

AMPHS0 位和 AMPHS1 位：设定 XT1 振荡电路的振荡模式。

③ 将CSC寄存器的XTSTOP位清“0”，使XT1振荡电路开始振荡。

CSC

7	6	5	4	3	2	1	0
MSTOP	XTSTOP						HIOSTOP
1	0	0	0	0	0	0	0

④ 必须通过软件和定时器功能等，等待副系统时钟所需的振荡稳定时间。

⑤ 通过CKC寄存器的CSS位将XT1振荡时钟设定为CPU/外围硬件时钟。

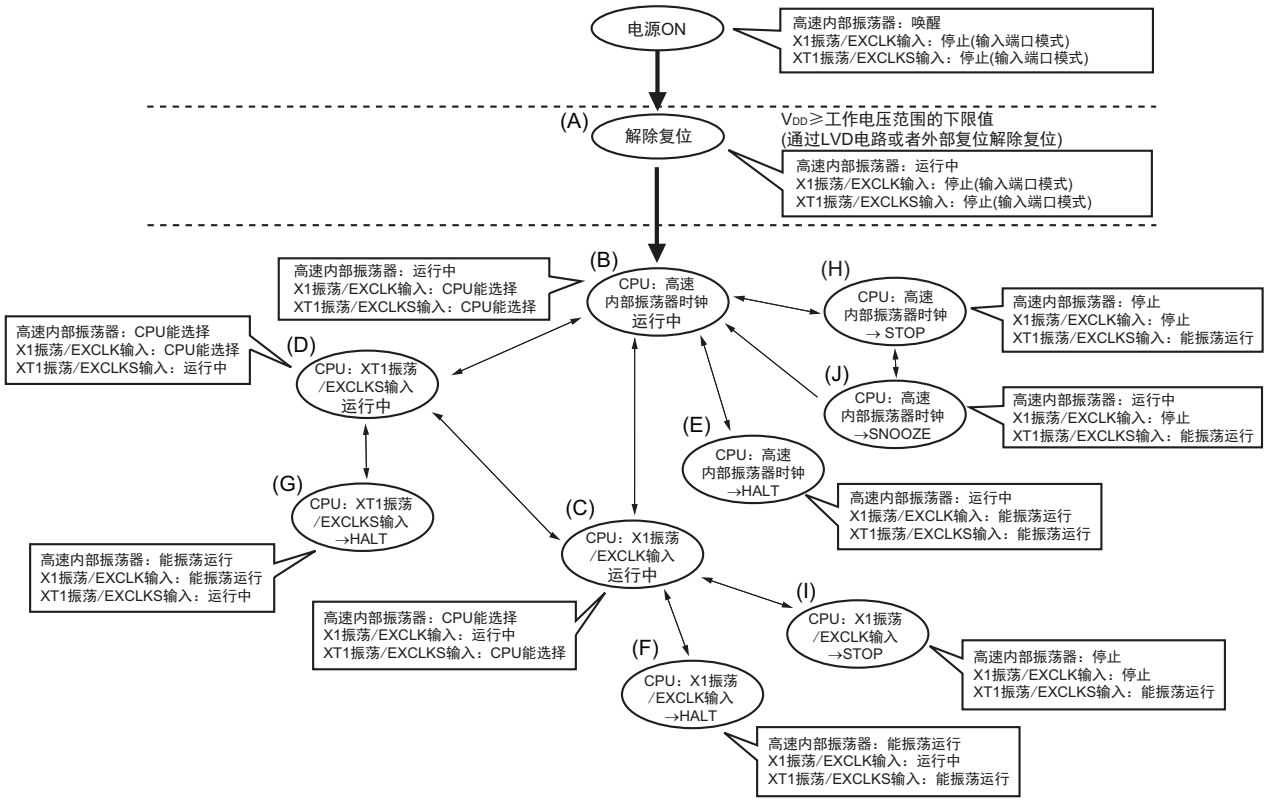
CKC

7	6	5	4	3	2	1	0
CLS	CSS	MCS	MCM0				
0	1	0	0	0	0	0	0

5.6.4 CPU 时钟的状态转移图

本产品的 CPU 时钟状态转移图如图 5-14 所示。

图 5-14 CPU 时钟的状态转移图



CPU 时钟的转移和 SFR 寄存器的设定例子等如表 5-3 所示。

表 5-3 CPU 时钟的转移和 SFR 寄存器的设定例子 (1/4)

(1) 在解除复位(A)后， CPU转移到高速内部振荡器时钟运行(B)。

状态转移	SFR 寄存器的设定
(A)→(B)	不需要设定 SFR 寄存器 （解除复位后的初始状态）。

(2) 在解除复位(A)后， CPU转移到高速系统时钟运行(C)。
（CPU在解除复位后立即以高速内部振荡器时钟运行(B)）

（SFR 寄存器的设定顺序） ⟶

SFR 寄存器的设定标志 / 状态转移	CMC 寄存器注 1			OSTS 寄存器	CSC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A)→(B)→(C) （X1 时钟：1MHz ≤ f_X ≤ 10MHz）	0	1	0	注 2	0	需要确认	1
(A)→(B)→(C) （X1 时钟：10MHz ≤ f_X ≤ 20MHz）	0	1	1	注 2	0	需要确认	1
(A)→(B)→(C) （外部主时钟）	1	1	×	注 2	0	不需要确认	1

注 1. 在解除复位后，只能通过 8 位存储器操作指令写 1 次时钟运行模式控制寄存器 （CMC）。
2. 必须对振荡稳定时间选择寄存器 （OSTS）的振荡稳定时间进行以下的设定：
- 期待的振荡稳定时间计数器状态寄存器 （OSTC）的振荡稳定时间≤ OSTS 寄存器设定的振荡稳定时间

注意 必须在电源电压达到设定的时钟可运行电压 （参照“ 第 27 章 电特性 ”）后设定时钟。

(3) 在解除复位(A)后， CPU转移到副系统时钟运行(D)。
（CPU在解除复位后立即以高速内部振荡器时钟运行(B)）

（SFR 寄存器的设定顺序） ⟶

SFR 寄存器的设定标志 / 状态转移	CMC 寄存器注				CSC 寄存器	振荡稳定的等待	CKC 寄存器
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A)→(B)→(D) （XT1 时钟）	0	1	0/1	0/1	0	需要	1
(A)→(B)→(D) （外部副时钟）	1	1	×	×	0	需要	1

注 在解除复位后，只能通过 8 位存储器操作指令写 1 次时钟运行模式控制寄存器 （CMC）。

备注 1. ×：忽略
2. 表 5-3 的 (A) ～ (J) 对应图 5-14 的 (A) ～ (J)。

表 5-3 CPU 时钟的转移和 SFR 寄存器的设定例子 (2/4)

(4) CPU从高速内部振荡器时钟运行(B)转移到高速系统时钟运行(C)。

（SFR 寄存器的设定顺序）→

SFR 寄存器的设定标志 / 状态转移	CMC 寄存器注 1			OSTS 寄存器	CSC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B)→(C) （X1 时钟：1MHz ≤ f_X ≤ 10MHz）	0	1	0	注 2	0	需要确认	1
(B)→(C) （X1 时钟：10MHz < f_X ≤ 20MHz）	0	1	1	注 2	0	需要确认	1
(B)→(C) （外部主时钟）	1	1	×	注 2	0	不需要确认	1

如果已设定就不需要。　在高速系统时钟运行中不需要。

注 1. 在解除复位后，只能设定 1 次时钟运行模式控制寄存器 （CMC）。如果已设定就不需要。

2. 必须对振荡稳定时间选择寄存器 （OSTS）的振荡稳定时间进行以下的设定：

- 期待的振荡稳定时间计数器状态寄存器 （OSTC）的振荡稳定时间≤ OSTS 寄存器设定的振荡稳定时间

注意 必须在电源电压达到设定的时钟可运行电压 （参照“ 第 27 章 电特性 ”）后设定时钟。

(5) CPU从高速内部振荡器时钟运行(B)转移到副系统时钟运行(D)。

（SFR 寄存器的设定顺序）→

SFR 寄存器的设定标志 / 状态转移	CMC 寄存器注		CSC 寄存器	振荡稳定的等待	CKC 寄存器
	EXCLKS	OSCSELS	XTSTOP		CSS
(B)→(D) （XT1 时钟）	0	1	0	需要	1
(B)→(D) （外部副时钟）	1	1	0	需要	1

在副系统时钟运行中不需要。

注 在解除复位后，只能通过 8 位存储器操作指令写 1 次时钟运行模式控制寄存器 （CMC）。

备注 1. ×：忽略

2. 表 5-3 的 (A) ～ (J) 对应图 5-14 的 (A) ～ (J)。

表 5-3 CPU 时钟的转移和 SFR 寄存器的设定例子 (3/4)

(6) CPU从高速系统时钟运行(C)转移到高速内部振荡器时钟运行(B)。

（SFR 寄存器的设定顺序）

SFR 寄存器的设定标志 / 状态转移	CSC 寄存器 HIOSTOP	振荡精度稳定的等待	CKC 寄存器 MCM0
(C)→(B)	0	18μs ～ 65μs	0

在高速内部振荡器时钟运行中不需要。

(7) CPU从高速系统时钟运行(C)转移到副系统时钟运行(D)。

（SFR 寄存器的设定顺序）

SFR 寄存器的设定标志 / 状态转移	CSC 寄存器 XTSTOP	振荡稳定的等待	CKC 寄存器 CSS
(C)→(D)	0	需要	1

在副系统时钟运行中不需要。

(8) CPU从副系统时钟运行(D)转移到高速内部振荡器时钟运行(B)。

（SFR 寄存器的设定顺序）

SFR 寄存器的设定标志 / 状态转移	CSC 寄存器 HIOSTOP	振荡精度稳定的等待	CKC 寄存器 CSS
(D)→(B)	0	18μs ～ 65μs	0

在高速内部振荡器时钟运行中不需要。

备注 1. 表 5-3 的 (A) ～ (J) 对应图 5-14 的 (A) ～ (J)。

2. 高速内部振荡器时钟的振荡精度稳定的等待因温度条件和 STOP 模式期间而变。

表 5-3 CPU 时钟的转移和 SFR 寄存器的设定例子 (4/4)

(9) CPU从副系统时钟运行(D)转移到高速系统时钟运行(C)。

（SFR 寄存器的设定顺序）→

SFR 寄存器的设定标志 / 状态转移	OSTS 寄存器	CSC 寄存器 MSTOP	OSTC 寄存器	CKC 寄存器 CSS
(D)→(C)（X1 时钟：1MHz ≤ f_X ≤ 10MHz）	注	0	需要确认	0
(D)→(C)（X1 时钟：10MHz < f_X ≤ 20MHz）	注	0	需要确认	0
(D)→(C)（外部主时钟）	注	0	不需要确认	0

在高速系统时钟运行中不需要。

注 必须对振荡稳定时间选择寄存器 （OSTS）的振荡稳定时间进行以下的设定：
- 期待的振荡稳定时间计数器状态寄存器 （OSTC）的振荡稳定时间≤OSTS寄存器设定的振荡稳定时间

注意 必须在电源电压达到设定的时钟可运行电压 （参照 “ 第 27 章 电特性 ”）后设定时钟。

(10)
- CPU在高速内部振荡器时钟运行中(B)转移到HALT模式(E)。
- CPU在高速系统时钟运行中(C)转移到HALT模式(F)。
- CPU在副系统时钟运行中(D)转移到HALT模式(G)。

状态转移	设定内容
(B)→(E) (C)→(F) (D)→(G)	执行 HALT 指令。

备注 表 5-3 的 (A) ～ (J) 对应图 5-14 的 (A) ～ (J)。

(11)
- CPU在高速内部振荡器时钟运行中(B)转移到STOP模式(H)
- CPU在高速系统时钟运行中(C)转移到STOP模式(I)。

（设定顺序）→

状态转移		设定内容		
(B)→(H)		停止不能在 STOP 模式中运行的外围功能。	—	执行 STOP 指令。
(C)→(I)	X1 振荡		设定 OSTS 寄存器。	
	外部时钟		—	

(12)
- CPU从STOP模式(H)转移到SNOOZE模式(J)。

有关从 STOP 模式转移到 SNOOZE 模式的设定，请参照 “11.8 SNOOZE 模式功能 ”、“12.5.7 SNOOZE 模式功能 ” 和 “12.6.3 SNOOZE 模式功能 ”。

备注 表 5-3 的 (A) ～ (J) 对应图 5-14 的 (A) ～ (J)。

5.6.5 CPU 时钟转移前的条件和转移后的处理

CPU 时钟转移前的条件和转移后的处理如下所示。

表 5-4 有关 CPU 时钟的转移 (1/2)

CPU 时钟		转移前的条件	转移后的处理
转移前	转移后		
高速内部振荡器时钟	X1 时钟	X1 振荡稳定。 • OSCSEL=1， EXCLK=0， MSTOP=0 • 经过振荡稳定时间后	如果停止高速内部振荡器的振荡（HIOSTOP=1），就能减小工作电流。
	外部主系统时钟	将 EXCLK 引脚输入的外部时钟置为有效。 • OSCSEL=1， EXCLK=1， MSTOP=0	
	XT1 时钟	XT1 振荡稳定。 • OSCSELS=1， EXCLKS=0， XTSTOP=0 • 经过振荡稳定时间后	
	外部副系统时钟	将 EXCLKS 引脚输入的外部时钟置为有效。 • OSCSELS=1， EXCLKS=1， XTSTOP=0	
X1 时钟	高速内部振荡器时钟	高速内部振荡器正在振荡。 • HIOSTOP=0 • 经过振荡精度稳定时间后	能停止 X1 的振荡 （MSTOP=1）。
	外部主系统时钟	不能转移	—
	XT1 时钟	XT1 振荡稳定。 • OSCSELS=1， EXCLKS=0， XTSTOP=0 • 经过振荡稳定时间后	能停止 X1 的振荡 （MSTOP=1）。
	外部副系统时钟	将 EXCLKS 引脚输入的外部时钟置为有效。 • OSCSELS=1， EXCLKS=1， XTSTOP=0	能停止 X1 的振荡 （MSTOP=1）。
外部主系统时钟	高速内部振荡器时钟	高速内部振荡器正在振荡。 • HIOSTOP=0 • 经过振荡精度稳定时间后	能将外部主系统时钟的输入置为无效（MSTOP=1）。
	X1 时钟	不能转移	—
	XT1 时钟	XT1 振荡稳定。 • OSCSELS=1， EXCLKS=0， XTSTOP=0 • 经过振荡稳定时间后	能将外部主系统时钟的输入置为无效（MSTOP=1）。
	外部副系统时钟	将 EXCLKS 引脚输入的外部时钟置为有效。 • OSCSELS=1， EXCLKS=1， XTSTOP=0	能将外部主系统时钟的输入置为无效（MSTOP=1）。

表 5-4 有关 CPU 时钟的转移 (2/2)

CPU 时钟		转移前的条件	转移后的处理
转移前	转移后		
XT1 时钟	高速内部振荡器时钟	高速内部振荡器正在振荡并且选择高速内部振荡器时钟作为主系统时钟。 • HIOSTOP=0， MCS=0	能停止 XT1 的振荡 （XTSTOP=1）。
	X1 时钟	X1 振荡稳定并且选择高速系统时钟作为主系统时钟。 • OSCSEL=1， EXCLK=0， MSTOP=0 • 经过振荡稳定时间后 • MCS=1	
	外部主系统时钟	将 EXCLK 引脚输入的外部时钟置为有效并且选择高速系统时钟作为主系统时钟。 • OSCSEL=1， EXCLK=1， MSTOP=0 • MCS=1	
	外部副系统时钟	不能转移。	—
外部副系统时钟	高速内部振荡器时钟	高速内部振荡器振荡正在振荡并且选择高速内部振荡器时钟作为主系统时钟 • HIOSTOP=0， MCS=0	能将外部副系统时钟的输入置为无效（XTSTOP=1）。
	X1 时钟	X1 振荡稳定并且选择高速系统时钟作为主系统时钟。 • OSCSEL=1， EXCLK=0， MSTOP=0 • 经过振荡稳定时间后 • MCS=1	
	外部主系统时钟	将 EXCLK 引脚输入的外部时钟置为有效并且选择高速系统时钟作为主系统时钟。 • OSCSEL=1， EXCLK=1， MSTOP=0 • MCS=1	
	XT1 时钟	不能转移。	—

5.6.6 切换 CPU 时钟和系统时钟所需要的时间

能通过设定系统时钟控制寄存器 （CKC）的 bit4 和 bit6 （MCM0、 CSS）进行 CPU 时钟的切换 （主系统时钟 ↔ 副系统时钟）和主系统时钟的切换 （高速内部振荡器时钟 ↔ 高速系统时钟）。

在改写 CKC 寄存器后不立即进行实际的切换，而是在更改 CKC 寄存器后仍然以切换前的时钟继续运行数个时钟 （参照**表 5-5 ～表 5-7**）。

通过 CKC 寄存器的 bit7（CLS）来判断 CPU 是以主系统时钟还是以副系统时钟运行。通过 CKC 寄存器的 bit5 （MCS）来判断主系统时钟是以高速系统时钟还是以高速内部振荡器时钟运行。

如果切换 CPU 时钟，就同时切换外围硬件时钟。

表 5-5 切换系统时钟所需要的最长时间

时钟 A	切换方向	时钟 B	备注
f_{IH}	◆⟷◆	f_{MX}	参照表 5-6
f_{MAIN}	◆⟷◆	f_{SUB}	参照表 5-7

表 5-6 f_{IH}↔f_{MX} 所需要的最大时钟数

切换前的设定值		切换后的设定值	
MCM0		MCM0	
		0 （$f_{MAIN}=f_{IH}$）	1 （$f_{MAIN}=f_{MX}$）
0 （$f_{MAIN}=f_{IH}$）	$f_{MX} \geq f_{IH}$		2 个时钟
	$f_{MX} < f_{IH}$		2 个 f_{IH}/f_{MX} 时钟
1 （$f_{MAIN}=f_{MX}$）	$f_{MX} \geq f_{IH}$	2 个 f_{MX}/f_{IH} 时钟	
	$f_{MX} < f_{IH}$	2 个时钟	

表 5-7 f_{MAIN}↔f_{SUB} 所需要的最大时钟数

切换前的设定值	切换后的设定值	
CSS	CSS	
	0 （$f_{CLK}=f_{MAIN}$）	1 （$f_{CLK}=f_{SUB}$）
0 （$f_{CLK}=f_{MAIN}$）		1+2 个 f_{MAIN}/f_{SUB} 时钟
1 （$f_{CLK}=f_{SUB}$）	3 个时钟	

备注 1. 表 5-6 和表 5-7 中的时钟数是切换前的 CPU 时钟数。

2. 表 5-6 和表 5-7 中的时钟数是舍入小数部分的时钟数。

例 主系统时钟从高速系统时钟切换到高速内部振荡器时钟（选择 8MHz 时）的情况（选择 f_{IH}=8MHz、f_{MX}=10MHz 振荡时）

$2f_{MX}/f_{IH}=2(10/8)=2.5 \rightarrow 3$ 个时钟

5.6.7 时钟振荡停止前的条件

停止时钟振荡 （外部时钟输入无效）的寄存器的标志设定和停止前的条件如下所示。

表 5-8 时钟振荡停止前的条件和标志设定

时钟	时钟停止前的条件 （外部时钟输入无效）	SFR 寄存器的标志设定
高速内部振荡器时钟	MCS=1 或者 CLS=1 （CPU 以高速内部振荡器时钟以外的时钟运行）	HIOSTOP=1
X1 时钟 外部主系统时钟	MCS=0 或者 CLS=1 （CPU 以高速系统时钟以外的时钟运行）	MSTOP=1
XT1 时钟 外部副系统时钟	CLS=0 （CPU 以副系统时钟以外的时钟运行）	XTSTOP=1

5.7 谐振器和振荡电路常数

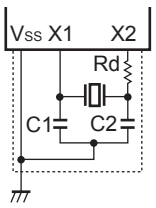
经工作验证的谐振器及其振荡电路常数 （供参考）如下所示。

注意 1. 此振荡电路常数是基于谐振器厂商在特定环境下进行评估的参考值。在实际应用中，请谐振器厂商给予安装电路中的评估。
在更改其他产品的单片机和电路板时，请谐振器厂商再次给予安装电路中的评估。

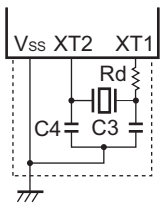
2. 振荡电压和振荡频率原则上是表示振荡电路的特性。有关 R7F0C001G/L、 R7F0C002G/L 的内部工作条件，请在 DC、 AC 特性的规格内使用。

图 5-15 外接振荡电路的例子

(a) X1 振荡



(b) XT1 振荡



(1) X1 振荡 截至 2013 年 10 月

厂商	谐振器	产品名称[注 3]	SMD/引线	频率（MHz）	闪存运行模式[注 1]	振荡电路常数[注 2]（参考）			电压范围（V）	
						C1(pF)	C2(pF)	Rd(kΩ)	MIN.	MAX.
株式会社村田制作所	陶瓷谐振器	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	引线			(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	引线			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	引线			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	引线			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	引线			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	引线			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	引线			(15)	(15)	0		
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	引线			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	引线			(15)	(15)	0		
		CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0		
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	引线			(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0		(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	引线			(5)	(5)	0		
日本电波工业	晶体振荡器	NX8045GB [注 3]	SMD	8.0	注 3					
		NX5032GA [注 3]	SMD	16.0						
		NX3225HA [注 3]	SMD	20.0	HS	3	3	0	2.4	5.5

注 1. 通过选项字节 （000C2H）的 CMODE1 位和 CMODE0 位设定闪存运行模式。

2. C1 和 C2 栏的 ( ) 内表示内部电容值。

3. 在使用此振荡器时，有关匹配的详细内容，请向日本电波工业 （http://www.ndk.com）询问。

备注 工作电压范围、 CPU 工作频率和运行模式的关系如下所示：

HS （高速主）模式： 2.7V≤V_{DD}≤5.5V@1MHz～24MHz

2.4V≤V_{DD}≤5.5V@1MHz～16MHz

LS （低速主）模式： 1.8V≤V_{DD}≤5.5V@1MHz～8MHz

LV （低电压主）模式： 1.6V≤V_{DD}≤5.5V@1MHz～4MHz

(2) XT1 振荡 （晶体振荡器） 截至 2013 年 10 月

厂商	产品名称	SMD/引线	频率（kHz）	负载电容 C_L(pF)	XT1 振荡模式注 1	振荡电路常数（参考）			电压范围（V）	
						C1(pF)	C2(pF)	Rd(kΩ)	MIN.	MAX.
日本电波工业	NX3215SA 注 2	SMD	32.768	6	通常振荡	7	7	0	1.6	5.5
					低功耗振荡	6	7			
					超低功耗振荡	6	6			
	NX2012SA 注 2	SMD	32.768	6	通常振荡	注 2				
					低功耗振荡					
					超低功耗振荡					

注 1. 通过时钟运行模式控制寄存器 （CMC）的 AMPHS0 位和 AMPHS1 位设定 XT1 振荡模式。

2. 在使用此振荡器时，有关匹配的详细内容，请向日本电波工业 （http://www.ndk.com）询问。

第 6 章 定时器阵列单元

定时器阵列单元的通道数因产品而不同。

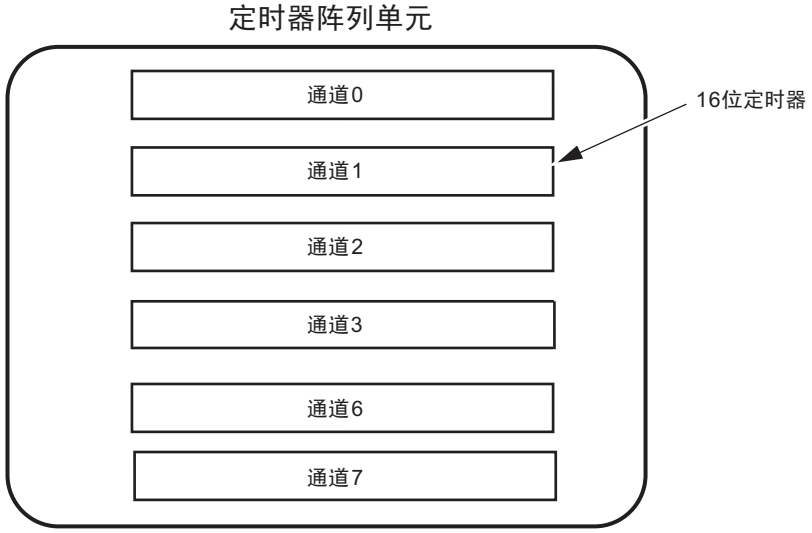
通道	48 引脚	64 引脚
通道 0	○	○
通道 1	○	○
通道 2	○	○
通道 3	○	○
通道 4	○	○
通道 5	—	○
通道 6	—	○
通道 7	○	○

注意 1. 定时器输入 / 输出引脚的有无因产品而不同。详细内容请参照 “ 表 6-2 各产品具有的定时器输入 / 输出引脚 ”。

2. 本章的下述内容主要针对 64 引脚产品进行说明。

定时器阵列单元有 6 个 16 位定时器。

各 16 位定时器称为 “ 通道 ”，既能分别用作独立的定时器，也能组合多个通道用作高度的定时器功能。



有关各功能的详细内容，请参照下表。

独立通道运行功能	多通道联动运行功能
• 间隔定时器 （→ 参照 6.8.1） • 方波输出 （→ 参照 6.8.1） • 外部事件计数器 （→ 参照 6.8.2） • 分频器注 （→6.8.3） • 输入脉冲间隔的测量 （→ 参照 6.8.4） • 输入信号的高 / 低电平宽度的测量 （→ 参照 6.8.5） • 延迟计数器 （→ 参照 6.8.6）	• 单触发脉冲输出 （→ 参照 6.9.1） • PWM 输出 （→ 参照 6.9.2） • 多重 PWM 输出 （→ 参照 6.9.3） • 遥控输出功能 （→ 参照 6.9.4）

注 只限于通道 0。

能将通道 1 和通道 3 的 16 位定时器用作 2 个 8 位定时器（高位和低位）。通道 1 和通道 3 能用作 8 位定时器的功能如下：

- 间隔定时器 （高/低8位定时器） /方波输出
- 外部事件计数器 （只限于低8位定时器）
- 延迟计数 （只限于低8位定时器）

6.1 定时器阵列单元的功能

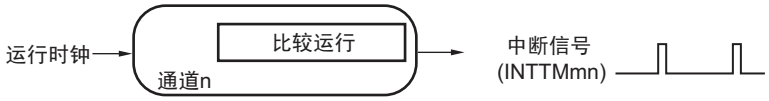
定时器阵列单元有以下功能：

6.1.1 独立通道运行功能

独立通道运行功能是能不受其他通道运行模式的影响而独立使用任意通道的功能。

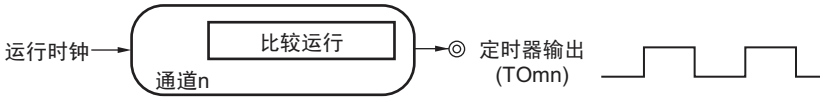
(1) 间隔定时器

能用作以固定间隔产生中断 （INTTMmn）的基准定时器。



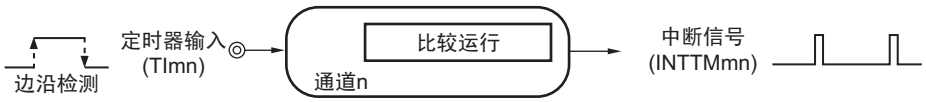
(2) 方波输出

每当产生 INTTMmn 中断时，就进行交替运行并且从定时器输出引脚 （TOmn）输出 50% 占空比的方波。



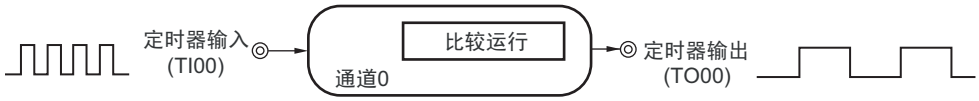
(3) 外部事件计数器

对定时器输入引脚 （TImn）的输入信号的有效边沿进行计数，如果达到规定次数，就能用作产生中断的事件计数器。



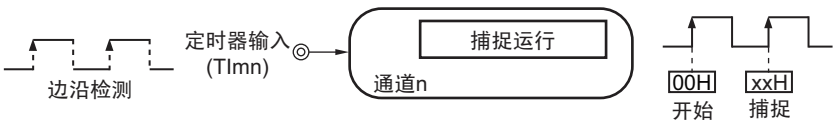
(4) 分频器功能 （只限于通道 0）

对定时器输入引脚 （TI00）的输入时钟进行分频，然后从输出引脚 （TO00）输出。



(5) 输入脉冲间隔的测量

在定时器输入引脚 （TImn）的输入脉冲信号的有效边沿开始计数并且在下一个脉冲的有效边沿捕捉计数值，从而测量输入脉冲的间隔。

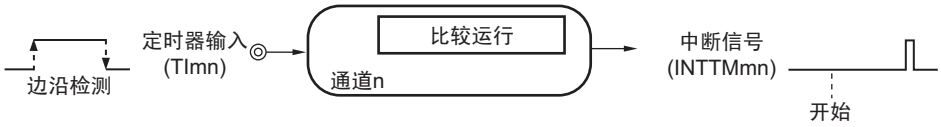


(6) 输入信号的高 / 低电平宽度的测量

在定时器输入引脚（TImn）的输入信号的一个边沿开始计数并且在另一个边沿捕捉计数值，从而测量输入信号的高电平和低电平的宽度。

(7) 延迟计数器

在定时器输入引脚 （TImn）的输入信号的有效边沿开始计数并且在经过任意延迟期间后产生中断。



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. 通道 0 ～ 3、6、7 的定时器输入 / 输出引脚的有无因产品而不同。详细内容请参照 “ 表 6-2 各产品具有的定时器输入 / 输出引脚 ”。

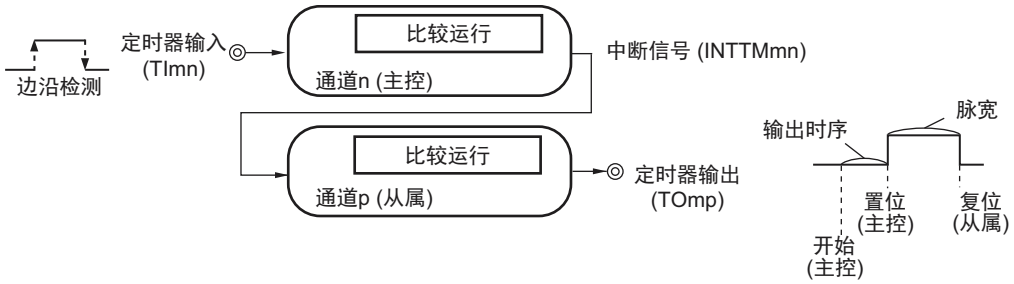
6.1.2 多通道联动运行功能

多通道联动运行功能是将主控通道（主要控制周期的基准定时器）和从属通道（遵从主控通道运行的定时器）组合实现的功能。

多通道联动运行功能能用作以下模式。

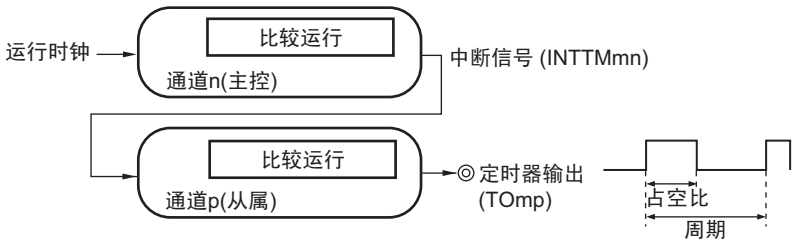
(1) 单触发脉冲输出

将 2 个通道成对使用，生成能任意设定输出时序和脉宽的单触发脉冲。



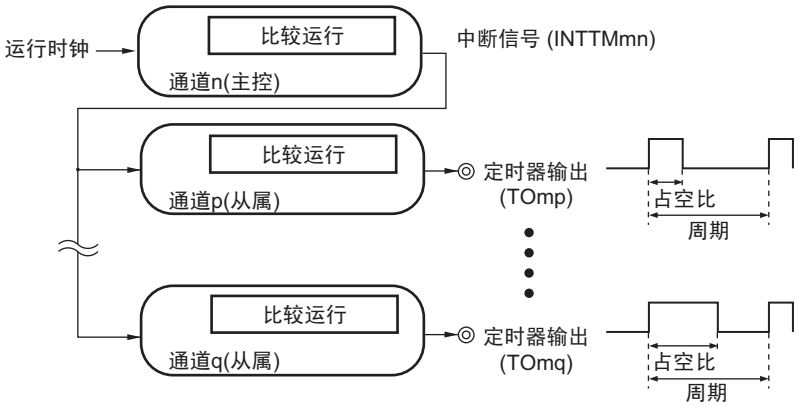
(2) PWM （Pulse Width Modulation）输出

将 2 个通道成对使用，生成能任意设定周期和占空比的脉冲。



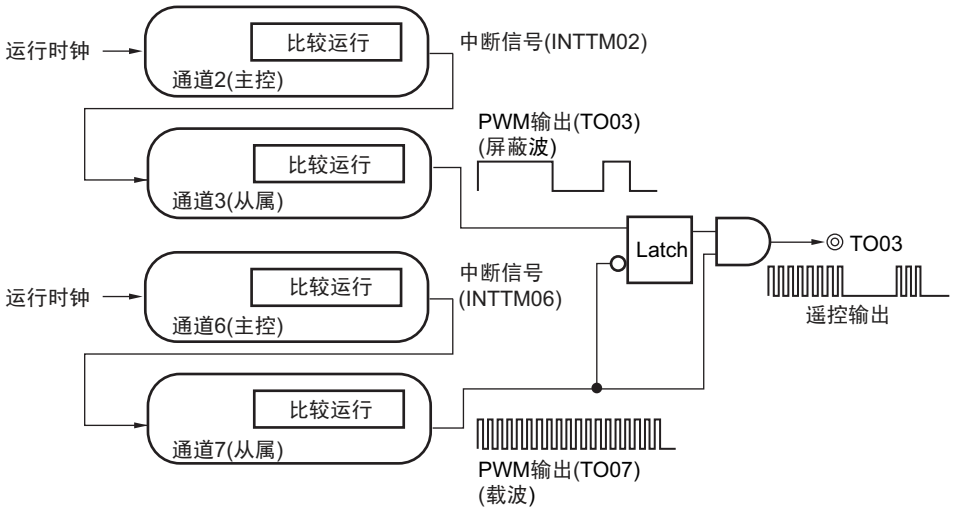
(3) 多重 PWM （Pulse Width Modulation）输出

能通过扩展 PWM 功能并且使用 1 个主控通道和多个从属通道，以固定周期生成最多 7 种任意占空比的 PWM 信号。



(4) 遥控输出功能

通道 2、 3 和通道 6、 7 成对使用 PWM 输出功能。将通道 3 的 PWM 输出信号作为屏蔽波，将通道 7 的 PWM 输出信号作为载波，这些信号的逻辑与为遥控输出的信号。



注意 有关多通道联动运行功能规则的详细内容，请参照 “6.4.1 多通道联动运行功能的基本规则 ”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7） p、 q：从属通道号 （n ＜ p ＜ q ≤ 7）

6.1.3 8 位定时器运行功能 （只限于通道 1 和通道 3）

8 位定时器运行功能是将 16 位定时器通道用作 2 个 8 位定时器通道的功能。只能使用通道 1 和通道 3。

注意 在使用 8 位定时器运行功能时，有几个规则。
详细内容请参照“6.4.2 8位定时器运行功能的基本规则 （只限于通道1和通道3） ”。

6.2 定时器阵列单元的结构

定时器阵列单元由以下硬件构成。

表 6-1 定时器阵列单元的结构

项目	结构
定时器 / 计数器	定时器计数寄存器 mn （TCRmn）
寄存器	定时器数据寄存器 mn （TDRmn）
定时器输入	TI00 ～ TI03、 TI06、 TI07 注 1
定时器输出	TO00 ～ TO03、 TO06、 TO07 注 1、输出控制电路
控制寄存器	＜单元设定部的寄存器＞ • 外围允许寄存器 0 （PER0） • 定时器时钟选择寄存器 m （TPSm） • 定时器通道允许状态寄存器 m （TEm） • 定时器通道开始寄存器 m （TSm） • 定时器通道停止寄存器 m （TTm） • 定时器输入选择寄存器 0 （TIS0） • 定时器输出选择寄存器 （TOS） • 定时器输出允许寄存器 m （TOEm） • 定时器输出寄存器 m （TOm） • 定时器输出电平寄存器 m （TOLm） • 定时器输出模式寄存器 m （TOMm）
	＜每个通道的寄存器＞ • 定时器模式寄存器 mn （TMRmn） • 定时器状态寄存器 mn （TSRmn） • 噪声滤波器允许寄存器 1 （NFEN1） • 端口模式寄存器 （PMxx）注 2 • 端口寄存器 （Pxx）注 2

注 1. 通道 0 ～ 3、6、7 的定时器输入 / 输出引脚的有无因产品而不同。详细内容请参照 “ 表 6-2 各产品具有的定时器输入 / 输出引脚 ”。

2. 设定的端口模式寄存器 （PMxx）和端口寄存器 （Pxx）因产品而不同。详细内容请参照 “6.3.15 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14） ”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

定时器阵列单元的各通道的定时器输入 / 输出引脚的有无因产品而不同。

表 6-2 各产品具有的定时器输入 / 输出引脚

定时器阵列单元的通道	各产品的输入 / 输出引脚的有无	
	48 引脚	64 引脚
通道 0	P141/TI00、 P140/TO00	
通道 1	P30/TI01/TO01	
通道 2	P17/TI02/TO02 (P12)	P17/TI02/TO02 (P54)
通道 3	P32/TI03/TO03	
通道 6	—	P51/TI06/TO06
通道 7	P10/TI07/TO07	P53/TI07/TO07

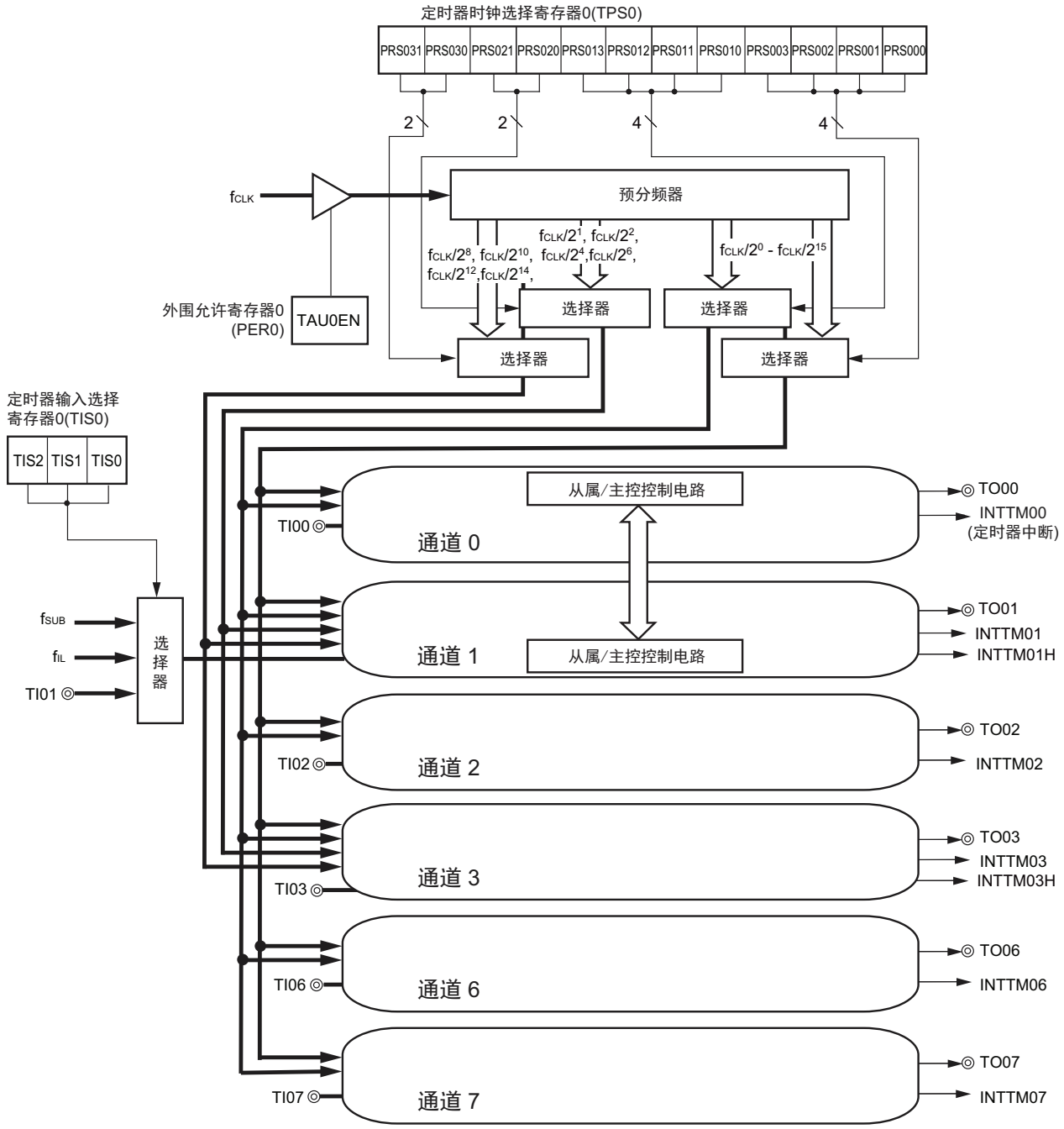
备注 1. 在定时器输入和定时器输出被同一个引脚复用时，只能用作定时器输入或者定时器输出。

2. —：没有定时器输入 / 输出引脚，但是内置了通道 （只能用作间隔定时器）。

3. （P12）、（P54）为将外围 I/O 重定向寄存器 （PIOR）的 bit0 置 “1” 时的复用端口。

定时器阵列单元的框图如图 6-1 所示。

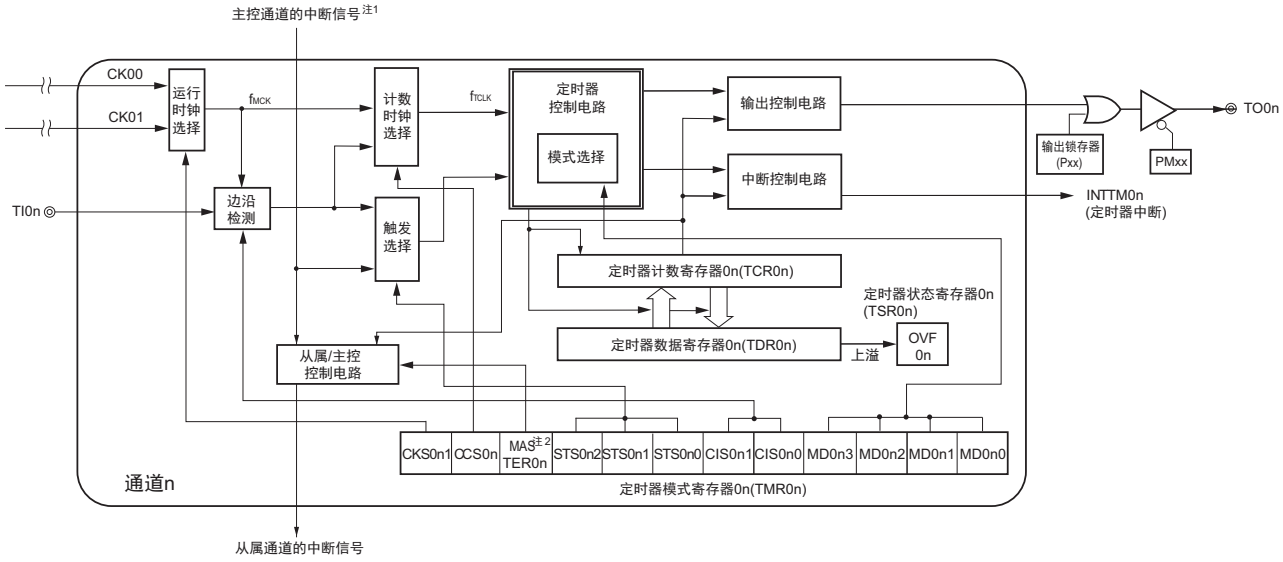
图 6-1 定时器阵列单元的整体框图 （例子：64 引脚产品）



备注 f_{SUB}：副系统时钟频率

f_{IL}： 低速内部振荡器时钟频率

图 6-2 定时器阵列单元的通道 0、 2、 6 的内部框图



注 1. 只限于通道 2 和通道 6。

2. 只限于 n=2、 6。

备注 n=0、 2、 6

图 6-3 定时器阵列单元的通道 1 的内部框图

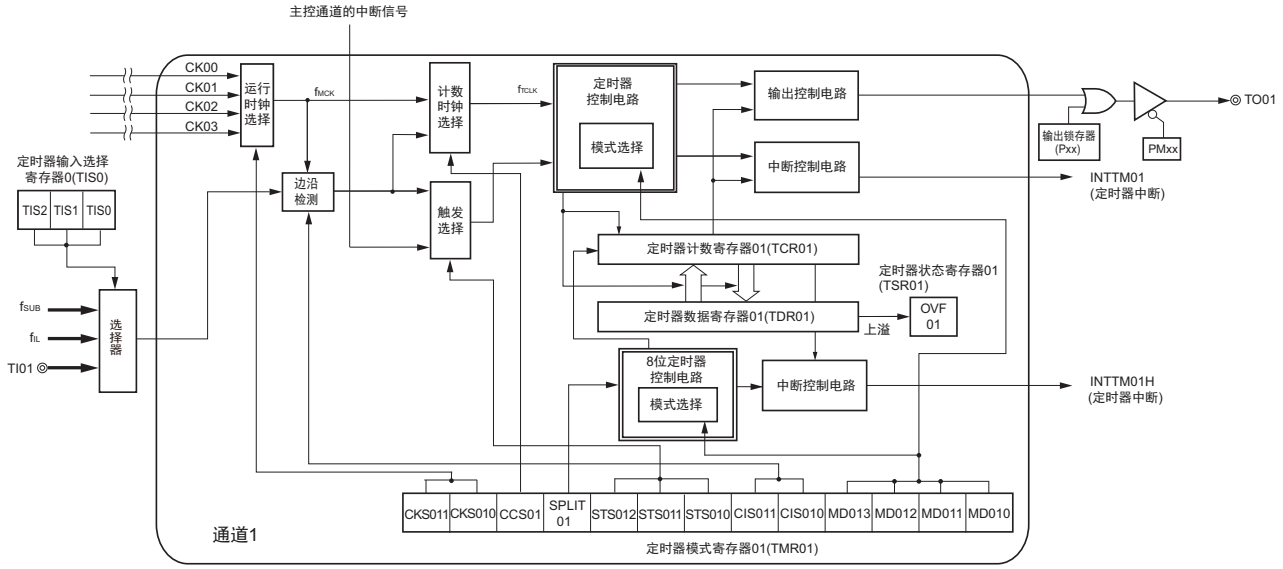


图 6-4 定时器阵列单元的通道 3 的内部框图

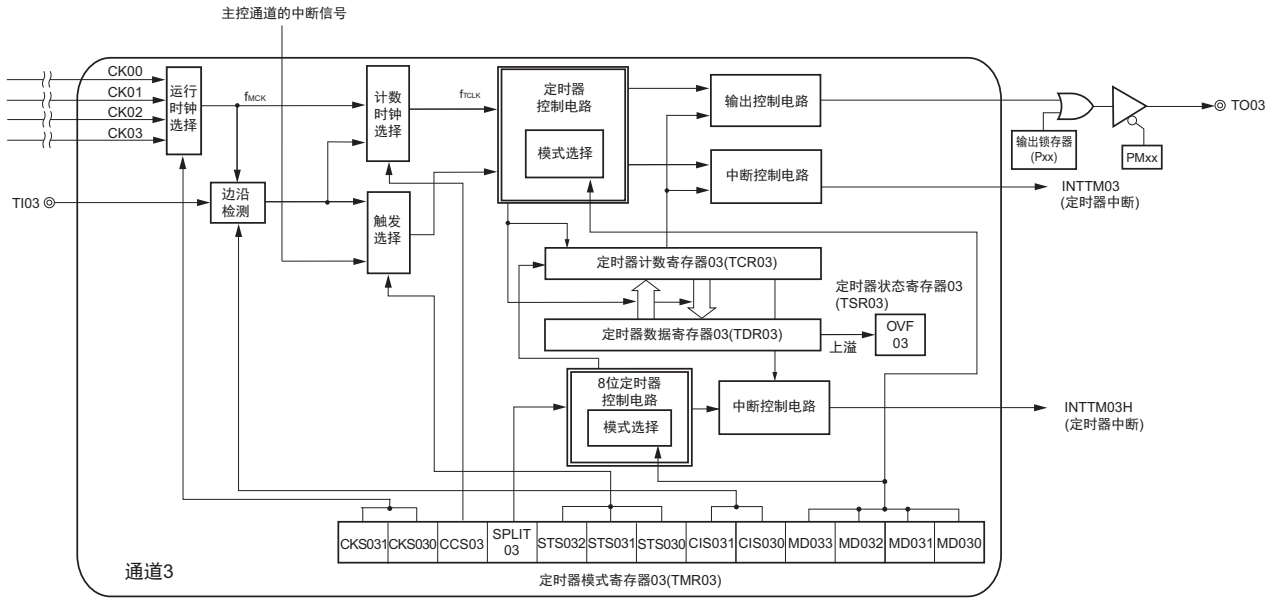
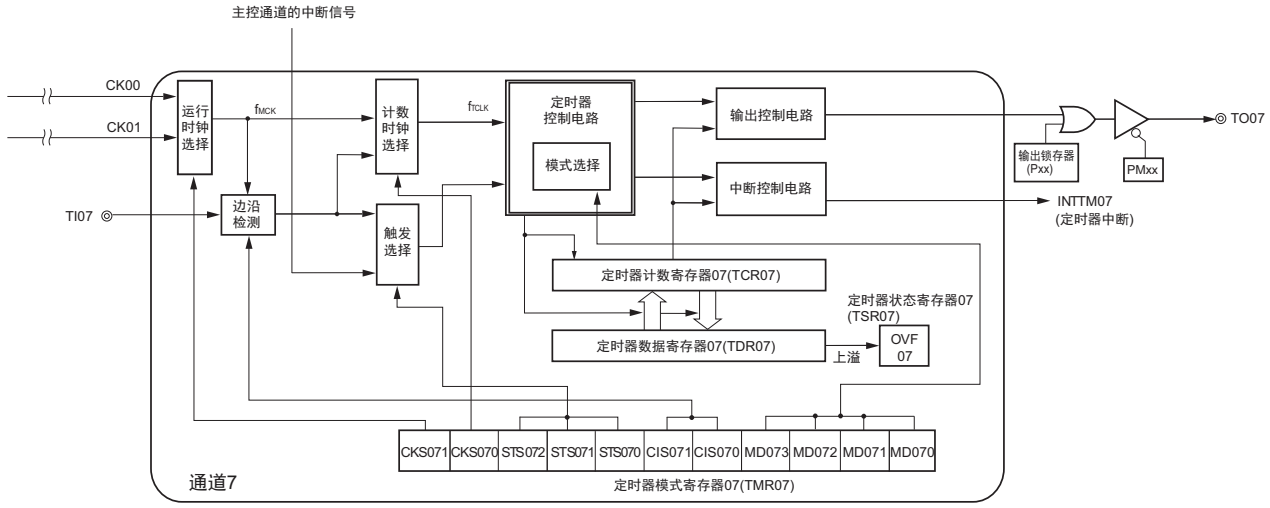


图 6-5 定时器阵列单元的通道 7 的内部框图



6.2.1 定时器计数寄存器 mn （TCRmn）

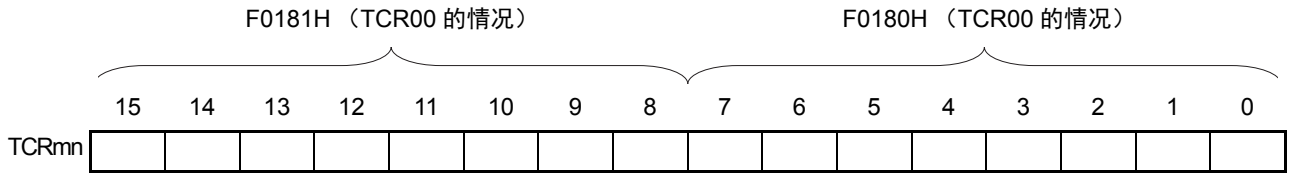
TCRmn 寄存器是对计数时钟进行计数的 16 位只读寄存器。

与计数时钟的上升沿同步进行递增或者递减计数。

通过定时器模式寄存器 mn （TMRmn）的 MDmn3 ～ MDmn0 位来选择运行模式，进行递增和递减计数的切换 （参照 “6.3.3 定时器模式寄存器 mn （TMRmn） ”）。

图 6-6 定时器计数寄存器 mn （TCRmn）的格式

地址：F0180H、 F0181H （TCR00）～ F0186H、 F0187H （TCR03） 复位后：FFFFH R
F018CH、 F018DH （TCR06）、 F018EH、 F018FH （TCR07）



备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

能通过读定时器计数寄存器 mn （TCRmn）来读计数值。

在以下情况下，计数值变为 “FFFFH”。

- 当产生复位信号时
- 当清除外围允许寄存器 0 （PER0）的 TAU0EN 位时
- 在 PWM 输出模式中从属通道的计数结束时
- 在延迟计数模式中从属通道的计数结束时
- 在单触发脉冲输出模式中主控 / 从属通道的计数结束时
- 在多重 PWM 输出模式中从属通道的计数结束时

在以下情况下，计数值变为 “0000H”。

- 在捕捉模式中输入开始触发时
- 在捕捉模式中捕捉结束时

注意 即使读 TCRmn 寄存器，也不将计数值捕捉到定时器数据寄存器 mn （TDRmn）。

如下所示， TCRmn 寄存器的读取值因运行模式和运行状态而不同。

表 6-3 各运行模式中的定时器计数寄存器 mn （TCRmn）的读取值

运行模式	计数方式	定时器计数寄存器 mn （TCRmn）的读取值注			
		解除复位后更改运行模式时的值	计数暂停 （TTmn=1）时的值	计数暂停 （TTmn=1）后更改运行模式时的值	单次计数后等待开始触发时的值
间隔定时器模式	递减计数	FFFFH	停止时的值	不定值	—
捕捉模式	递增计数	0000H	停止时的值	不定值	—
事件计数器模式	递减计数	FFFFH	停止时的值	不定值	—
单次计数模式	递减计数	FFFFH	停止时的值	不定值	FFFFH
捕捉 & 单次计数模式	递增计数	0000H	停止时的值	不定值	TDRmn 寄存器的捕捉值 +1

注 表示通道 n 为定时器运行停止状态 （TEmn=0）并且为计数允许状态 （TSmn=1）时的 TCRmn 寄存器的读取值。将此值保持在 TCRmn 寄存器，直到开始计数操作为止。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.2.2 定时器数据寄存器 mn （TDRmn）

这是能进行捕捉功能和比较功能切换使用的 16 位寄存器。通过定时器模式寄存器 mn（TMRmn）的 MDmn3 ～ MDmn0 位来选择运行模式，进行捕捉功能和比较功能的切换。

能随时改写 TDRmn 寄存器的值。

能以 16 位为单位读写此寄存器。

在 8 位定时器模式中 （定时器模式寄存器 m1、 m3 （TMRm1、 TMRm3）的 SPLIT 位为 “1”），能以 8 位为单位读写 TDRm1 寄存器和 TDRm3 寄存器，其中 TDRm1H 和 TDRm3H 用作高 8 位， TDRm1L 和 TDRm3L 用作低 8 位。

通过产生复位信号， TDRmn 寄存器的值变为 “0000H”。

图 6-7 定时器数据寄存器 mn （TDRmn）的格式 （n=0、 2、 6、 7）

地址：FFF18H、 FFF19H （TDR00）、 FFF64H、 FFF65H （TDR02） 复位后：0000H R/W
FFF6CH、 FFF6DH （TDR06）、 FFF6EH、 FFF6FH （TDR07）

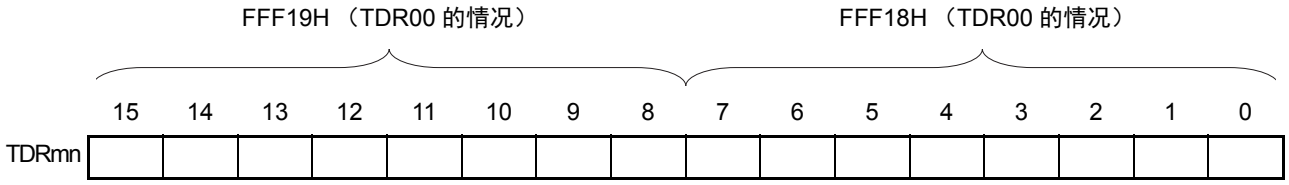
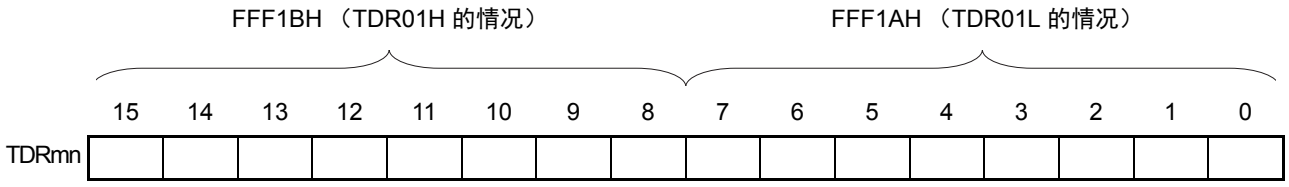


图 6-8 定时器数据寄存器 mn （TDRmn）的格式 （n=1、 3）

地址：FFF1AH、 FFF1BH （TDR01）、 FFF66H、 FFF67H （TDR03） 复位后：0000H R/W



(i) 定时器数据寄存器mn （TDRmn）用作比较寄存器的情况

从TDRmn寄存器的设定值开始递减计数，当计数值变为“0000H”时，产生中断信号（INTTMmn）。保持TDRmn寄存器的值，直到被改写为止。

注意 即使输入捕捉触发信号，设定为比较功能的 TDRmn 寄存器也不进行捕捉运行。

(ii) 定时器数据寄存器mn （TDRmn）用作捕捉寄存器的情况

通过输入捕捉触发，将定时器计数寄存器mn （TCRmn）的计数值捕捉到TDRmn寄存器。

能选择TImn引脚的有效边沿作为捕捉触发信号。通过定时器模式寄存器mn（TMRmn）来设定捕捉触发的选择。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3 控制定时器阵列单元的寄存器

控制定时器阵列单元的寄存器如下所示：

- 外围允许寄存器0 （PER0）
- 定时器时钟选择寄存器m （TPSm）
- 定时器模式寄存器mn （TMRmn）
- 定时器状态寄存器mn （TSRmn）
- 定时器通道允许状态寄存器m （TEm）
- 定时器通道开始寄存器m （TSm）
- 定时器通道停止寄存器m （TTm）
- 定时器输入选择寄存器0 （TIS0）
- 定时器输出选择寄存器 （TOS）
- 定时器输出允许寄存器m （TOEm）
- 定时器输出寄存器m （TOm）
- 定时器输出电平寄存器m （TOLm）
- 定时器输出模式寄存器m （TOMm）
- 噪声滤波器允许寄存器1 （NFEN1）
- 端口模式寄存器 （PMxx）注
- 端口寄存器 （Pxx）注

注 设定的端口模式寄存器 （PMxx）和端口寄存器 （Pxx）因产品而不同。详细内容请参照 “6.3.15 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14） ”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

要使用定时器阵列单元时，必须将 bit0 （TAU0EN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号， PER0 寄存器的值变为 “00H”。

图 6-9 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

TAU0EN	定时器阵列单元的输入时钟的控制
0	停止提供输入时钟。 • 不能写定时器阵列单元使用的 SFR。 • 定时器阵列单元处于复位状态。
1	提供输入时钟。 • 能读写定时器阵列单元使用的 SFR。

注意 1. 要设定定时器阵列单元时，必须在 TAU0EN 位为 “1” 的状态下，设定以下寄存器。当 TAU0EN 位为 “0” 时，定时器阵列单元的控制寄存器为初始值，并且忽视写操作 （定时器输入选择寄存器 0 （TIS0）、定时器输出选择寄存器 （TOS）、噪声滤波器允许寄存器 1 （NFEN1）、端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14）和端口寄存器 1、 3、 5、 14 （P1、 P3、 P5、 P14）除外）。

- 定时器时钟选择寄存器 m （TPSm）
- 定时器模式寄存器 mn （TMRmn）
- 定时器状态寄存器 mn （TSRmn）
- 定时器通道允许状态寄存器 m （TEm）
- 定时器通道开始寄存器 m （TSm）
- 定时器通道停止寄存器 m （TTm）
- 定时器输出允许寄存器 m （TOEm）
- 定时器输出寄存器 m （TOm）
- 定时器输出电平寄存器 m （TOLm）
- 定时器输出模式寄存器 m （TOMm）

2. 必须将 bit1、 3、 4、 6 置 “0”。

6.3.2 定时器时钟选择寄存器 m （TPSm）

TPSm 寄存器是选择从外部预分频器共同提供给各通道的 2 种或者 4 种运行时钟（CKm0、CKm1）的 16 位寄存器。通过 TPSm 寄存器的 bit7 ～ 4 选择 CKm1，通过 bit3 ～ 0 选择 CKm0。另外，对于通道 1 和通道 3，通过 TPSm 寄存器的 bit9 和 bit8 选择 CKm2，通过 bit13 和 bit12 选择 CKm3。

只有在以下情况下才能改写定时器运行中的 TPSm 寄存器。

能改写 PRSm00 ～ PRSm03 位的情况 （n=0 ～ 3、 6、 7）：
选择 CKm0 作为运行时钟 （CKSmn1、 CKSmn0=0、 0）的通道全部处于停止状态 （TEmn=0）。
能改写 PRSm10 ～ PRSm13 位的情况 （n=0 ～ 3、 6、 7）：
选择 CKm1 作为运行时钟 （CKSmn1、 CKSmn0=0、 1）的通道全部处于停止状态 （TEmn=0）。
能改写 PRSm20 ～ PRSm21 位的情况 （n=1、 3）：
选择 CKm2 作为运行时钟 （CKSmn1、 CKSmn0=1、 0）的通道全部处于停止状态 （TEmn=0）。
能改写 PRSm30 ～ PRSm31 位的情况 （n=1、 3）：
选择 CKm3 作为运行时钟 （CKSmn1、 CKSmn0=1、 1）的通道全部处于停止状态 （TEmn=0）。

通过 16 位存储器操作指令设定 TPSm 寄存器。
通过产生复位信号， TPSm 寄存器的值变为 “0000H”。

图 6-10 定时器时钟选择寄存器 m （TPSm）的格式 (1/2)

地址：F01B6H、 F01B7H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	运行时钟 （CKmk）的选择注 （k=0、 1）					
					f_{CLK}= 2MHz	f_{CLK}= 5MHz	f_{CLK}= 10MHz	f_{CLK}= 20MHz	f_{CLK}= 24MHz
0	0	0	0	f_{CLK}	2MHz	5MHz	10MHz	20MHz	24MHz
0	0	0	1	$f_{CLK}/2$	1MHz	2.5MHz	5MHz	10MHz	12MHz
0	0	1	0	$f_{CLK}/2^2$	500kHz	1.25MHz	2.5MHz	5MHz	6MHz
0	0	1	1	$f_{CLK}/2^3$	250kHz	625kHz	1.25MHz	2.5MHz	3MHz
0	1	0	0	$f_{CLK}/2^4$	125kHz	312.5kHz	625kHz	1.25MHz	1.5MHz
0	1	0	1	$f_{CLK}/2^5$	62.5kHz	156.2kHz	312.5kHz	625kHz	750kHz
0	1	1	0	$f_{CLK}/2^6$	31.25kHz	78.1kHz	156.2kHz	312.5kHz	375kHz
0	1	1	1	$f_{CLK}/2^7$	15.62kHz	39.1kHz	78.1kHz	156.2kHz	187.5kHz
1	0	0	0	$f_{CLK}/2^8$	7.81kHz	19.5kHz	39.1kHz	78.1kHz	93.8kHz
1	0	0	1	$f_{CLK}/2^9$	3.91kHz	9.76kHz	19.5kHz	39.1kHz	46.9kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95kHz	4.88kHz	9.76kHz	19.5kHz	23.4kHz
1	0	1	1	$f_{CLK}/2^{11}$	976Hz	2.44kHz	4.88kHz	9.76kHz	11.7kHz
1	1	0	0	$f_{CLK}/2^{12}$	488Hz	1.22kHz	2.44kHz	4.88kHz	5.86kHz
1	1	0	1	$f_{CLK}/2^{13}$	244Hz	610Hz	1.22kHz	2.44kHz	2.93kHz
1	1	1	0	$f_{CLK}/2^{14}$	122Hz	305Hz	610Hz	1.22kHz	1.46kHz
1	1	1	1	$f_{CLK}/2^{15}$	61Hz	153Hz	305Hz	610Hz	732Hz

注 在更改选择为f_{CLK}的时钟（更改系统时钟控制寄存器（CKC）的值）的情况下，必须停止定时器阵列单元（TTm=00FFH）。

注意 1. 必须将 bit15、 14、 11、 10 置 “0”。

2. 如果选择 f_{CLK} （无分频）作为运行时钟 （CKmk）并且将 TDRnm 置 “0000H” （n=0、 1， m=0 ～ 3、 6、 7），就不检测来自定时器阵列单元的中断请求。

备注 1. f_{CLK}：CPU/ 外围硬件时钟频率

2. TPSm 寄存器选择的时钟波形从上升沿开始只有 1 个 f_{CLK} 周期为高电平 （m=1 ～ 15）。详细内容请参照 “6.5.1 计数时钟 （f_{TCLK}） ”。

图 6-10 定时器时钟选择寄存器 m （TPSm）的格式 (2/2)

地址：F01B6H、 F01B7H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	运行时钟 （CKm2）的选择注					
			f_{CLK}= 2MHz	f_{CLK}= 5MHz	f_{CLK}= 10MHz	f_{CLK}= 20MHz	f_{CLK}= 24MHz
0	0	$f_{CLK}/2$	1MHz	2.5MHz	5MHz	10MHz	12MHz
0	1	$f_{CLK}/2^2$	500kHz	1.25MHz	2.5MHz	5MHz	6MHz
1	0	$f_{CLK}/2^4$	125kHz	312.5kHz	625MHz	1.25MHz	1.5MHz
1	1	$f_{CLK}/2^6$	31.25kHz	78.1kHz	156.2kHz	312.5kHz	375kHz

PRS m31	PRS m30	运行时钟 （CKm3）的选择注					
			f_{CLK}= 2MHz	f_{CLK}= 5MHz	f_{CLK}= 10MHz	f_{CLK}= 20MHz	f_{CLK}= 24MHz
0	0	$f_{CLK}/2^8$	7.81kHz	19.5kHz	39.1kHz	78.1kHz	93.8kHz
0	1	$f_{CLK}/2^{10}$	1.95kHz	4.88kHz	9.76kHz	19.5kHz	23.4kHz
1	0	$f_{CLK}/2^{12}$	488Hz	1.22kHz	2.44kHz	4.88kHz	5.86kHz
1	1	$f_{CLK}/2^{14}$	122Hz	305Hz	610Hz	1.22kHz	1.46kHz

注 在更改选择为f_{CLK}的时钟（更改系统时钟控制寄存器（CKC）的值）的情况下，必须停止定时器阵列单元（TTm=00FFH）。即使在选择CKSmn0位和CKSmn1位指定的运行时钟 （f_{MCK}）或者TImn引脚的输入信号的有效边沿作为计数时钟（f_{TCLK}）的情况下，也需要停止定时器阵列单元。

注意 必须将 bit15、 14、 11、 10 置 “0”。

如果在 8 位定时器模式中使用通道 1 和通道 3 并且将 CKm2 和 CKm3 作为运行时钟，就能通过间隔定时器功能实现表 6-4 所示的间隔时间。

表 6-4 运行时钟 CKSm2 和 CKSm3 能设定的间隔时间

时钟		间隔时间 （f_{CLK}=24MHz）			
		10μs 注	100μs 注	1ms 注	10ms 注
CKm2	$f_{CLK}/2$	○	—	—	—
	$f_{CLK}/2^2$	○	—	—	—
	$f_{CLK}/2^4$	○	○	—	—
	$f_{CLK}/2^6$	○	○	—	—
CKm3	$f_{CLK}/2^8$	—	○	○	—
	$f_{CLK}/2^{10}$	—	○	○	—
	$f_{CLK}/2^{12}$	—	—	○	○
	$f_{CLK}/2^{14}$	—	—	○	○

注 ○包含 5% 以内的误差。

备注 1. f_{CLK}：CPU/ 外围硬件时钟频率

2. 有关 TPSm 寄存器所选 $f_{CLK}/2^j$ 波形的详细内容，请参照 “6.5.1 计数时钟 （f_{TCLK}） ”。

6.3.3 定时器模式寄存器 mn （TMRmn）

TMRmn 寄存器是设定通道 n 运行模式的寄存器，进行运行时钟 （f_{MCK}）的选择、计数时钟的选择、主控 / 从属的选择、 16 位 /8 位定时器的选择 （只限于通道 1 和通道 3）、开始触发和捕捉触发的设定、计数器输入有效边沿的选择以及运行模式 （间隔、捕捉、事件计数器、单次计数、捕捉 & 单次计数）的设定。

禁止在运行中 （TEmn=1）改写 TMRmn 寄存器。但是，能在一部分的功能运行中 （TEmn=1）改写 bit7 和 bit6（CISmn1、CISmn0）（详细内容请参照 “6.8 定时器阵列单元的独立通道运行功能 ” 和 “6.9 定时器阵列单元的多通道联动运行功能 ”）。

通过 16 位存储器操作指令设定 TMRmn 寄存器。

通过产生复位信号， TMRmn 寄存器的值变为 “0000H”。

注意 TMRmn 寄存器的 bit11 因通道而不同。

TMRm2、 TMRm6：MASTERmn位 （n=2、 6）

TMRm1、 TMRm3：SPLITmn位 （n=1、 3）

TMRm0、 TMRm7：固定为“0”。

图 6-11 定时器模式寄存器 mn （TMRmn）的格式 (1/4)

地址：F0190H、 F0191H （TMR00）～ F0196H、 F0197H （TMR03） 复位后：0000H R/W
F019CH、 F019DH （TMR06）、 F019EH、 F019FH （TMR07）

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=2、6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=1、3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=0、7）	CKS mn1	CKS mn0	0	CCS mn	0 注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	通道 n 运行时钟 （f_{MCK}）的选择
0	0	定时器时钟选择寄存器 m （TPSm）设定的运行时钟 CKm0
0	1	定时器时钟选择寄存器 m （TPSm）设定的运行时钟 CKm2
1	0	定时器时钟选择寄存器 m （TPSm）设定的运行时钟 CKm1
1	1	定时器时钟选择寄存器 m （TPSm）设定的运行时钟 CKm3
运行时钟 （f_{MCK}）用于边沿检测电路。通过设定 CCSmn 位来产生采样时钟和计数时钟 （f_{TCLK}）。 只有通道 1 和通道 3 才能选择运行时钟 CKm2 和 CKm3。		

CCS mn	通道 n 计数时钟 （f_{TCLK}）的选择
0	CKSmn0 位和 CKSmn1 位指定的运行时钟 （f_{MCK}）
1	TImn 引脚的输入信号的有效边沿
计数时钟 （f_{TCLK}）用于定时器的计数器、输出控制电路和中断控制电路。	

注 bit11 是只读位，固定为 “0”，忽视写操作。

注意 1. 必须将 bit13、 5、 4 置 “0”。

2. 要更改选择为 f_{CLK} 的时钟 （更改系统时钟控制寄存器 （CKC）的值）时，即使选择了 CKSmn0 位和 CKSmn1 位指定的运行时钟 （f_{MCK}）或者 TImn 引脚的输入信号的有效边沿作为计数时钟 （f_{TCLK}），也必须停止定时器阵列单元 （TTm=00FFH）。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-11 定时器模式寄存器 mn （TMRmn）的格式 (2/4)

地址：F0190H、 F0191H （TMR00）～ F0196H、 F0197H （TMR03） 复位后：0000H R/W
F019CH、 F019DH （TMR06）、 F019EH、 F019FH （TMR07）

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2、6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1、3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0、7)	CKS mn1	CKS mn0	0	CCS mn	0 注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

（TMRmn （n=2、 6）的 bit11）

MASTER mn	通道 n 的独立通道运行 / 多通道联动运行 （从属或者主控）的选择
0	用作独立通道运行功能或者多通道联动运行功能的从属通道。
1	用作多通道联动运行功能的主控通道。
只有通道 2、 6 才能设定主控通道 （MASTERmn=1）。 通道 0、 7 固定为 “0” （因为通道 0 为最高位通道，所以与此位的设定无关，用作主控通道）。 对于用作独立通道运行功能的通道，将 MASTERmn 位置 “0”。	

（TMRmn （n=1、 3）的 bit11）

SPLIT mn	通道 1 和通道 3 的 8 位定时器 /16 位定时器的运行选择
0	用作 16 位定时器。 （用作独立通道运行功能或者多通道联动运行功能的从属通道）
1	用作 8 位定时器。

STS mn2	STS mn1	STS mn0	通道 n 的开始触发和捕捉触发的设定
0	0	0	只有软件触发开始有效 （不选择其他触发源）。
0	0	1	将 TImn 引脚输入的有效边沿用于开始触发和捕捉触发。
0	1	0	将 TImn 引脚输入的双边沿分别用于开始触发和捕捉触发。
1	0	0	使用主控通道的中断信号 （多通道联动运行功能的从属通道的情况）。
上述以外			禁止设定

注 bit11 是只读位，固定为 “0”，忽视写操作。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-11 定时器模式寄存器 mn （TMRmn）的格式 (3/4)

地址：F0190H、 F0191H （TMR00）～ F0196H、 F0197H （TMR03） 复位后：0000H R/W
F019CH、 F019DH （TMR06）、 F019EH、 F019FH （TMR07）

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2、6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1、3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0、7)	CKS mn1	CKS mn0	0	CCS mn	0 注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn 引脚有效边沿的选择
0	0	下降沿
0	1	上升沿
1	0	双边沿 （测量低电平宽度时） 开始触发：下降沿，捕捉触发：上升沿
1	1	双边沿 （测量高电平宽度时） 开始触发：上升沿，捕捉触发：下降沿
当 STSmn2 ～ STSmn0 位不为 “010B” 并且使用双边沿指定时，必须将 CISmn1 ～ CISmn0 位置 “10B”。		

注 bit11 是只读位，固定为 “0”，忽视写操作。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-11 定时器模式寄存器 mn （TMRmn）的格式 (4/4)

地址：F0190H、 F0191H （TMR00）～ F0196H、 F0197H （TMR03） 复位后：0000H R/W
F019CH、 F019DH （TMR06）、 F019EH、 F019FH （TMR07）

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=2、6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=1、3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn （n=0、7）	CKS mn1	CKS mn0	0	CCS mn	0 注 1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	通道 n 运行模式的设定	对应功能	TCR 的计数运行
0	0	0	1/0	间隔定时器模式	间隔定时器 / 方波输出 / 分频器功能 /PWM 输出 （主控）	递减计数
0	1	0	1/0	捕捉模式	输入脉冲间隔的测量	递增计数
0	1	1	0	事件计数器模式	外部事件计数器	递减计数
1	0	0	1/0	单次计数模式	延迟计数器/单触发脉冲输出/PWM 输出 （从属）	递减计数
1	1	0	0	捕捉 & 单次计数模式	输入信号的高 / 低电平宽度的测量	递增计数
上述以外				禁止设定		
各模式的运行因 MDmn0 位而变 （参照下表）。						

运行模式 （MDmn3 ～ MDmn1 位的设定 （参照上表））	MD mn0	开始计数和中断的设定
• 间隔定时器模式 （0、 0、 0） • 捕捉模式 （0、 1、 0）	0	在开始计数时不产生定时器中断 （定时器的输出也不发生变化）。
	1	在开始计数时产生定时器中断 （定时器的输出也发生变化）。
• 事件计数器模式 （0、 1、 1）	0	在开始计数时不产生定时器中断 （定时器的输出也不发生变化）。
• 单次计数模式注 2 （1、 0、 0）	0	计数运行中的开始触发无效。 此时不产生中断。
	1	计数运行中的开始触发有效注 3。 此时产生中断。
• 捕捉 & 单次计数模式 （1、 1、 0）	0	在开始计数时不产生定时器中断 （定时器的输出也不发生变化）。 计数运行中的开始触发无效。

注 1. bit11 是只读位，固定为 “0”，忽视写操作。
2. 在单次计数模式中，不控制开始计数时的中断输出 （INTTMmn）和 TOmn 输出。
3. 如果在运行中发生开始触发 （TSmn=1），就对计数器进行初始化并且重新开始计数 （不产生中断请求）。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.4 定时器状态寄存器 mn （TSRmn）

TSRmn 寄存器是表示通道 n 计数器的上溢状态的寄存器。

TSRmn寄存器只在捕捉模式（MDmn3～MDmn1=010B）和捕捉&单次计数模式（MDmn3～MDmn1=110B）中有效。有关各运行模式中的 OVF 位的变化和设定 / 清除条件，请参照表 6-5。

通过 16 位存储器操作指令读 TSRmn 寄存器。

能用 TSRmnL 并且通过 8 位存储器操作指令读 TSRmn 寄存器的低 8 位。

通过产生复位信号， TSRmn 寄存器的值变为 “0000H”。

图 6-12 定时器状态寄存器 mn （TSRmn）的格式

地址：F01A0H、 F01A1H （TSR00）～ F01A6H、 F01A7H （TSR03） 复位后：0000H R
F01ACH、 F01ADH （TSR06）、 F01AEH、 F01AFH （TSR07）

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	通道 n 的计数器上溢状态
0	没有发生上溢。
1	发生上溢。
如果 OVF 位为 “1”，就在下一次计数不发生上溢并且捕捉到计数值时清除此标志 （OVF=0）。	

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

表 6-5 各运行模式中的 OVF 位的变化和设定 / 清除条件

定时器运行模式	OVF 位	设定 / 清除条件
• 捕捉模式 • 捕捉 & 单次计数模式	清除	在捕捉时没有发生上溢的情况
	置位	在捕捉时发生上溢的情况
• 间隔定时器模式 • 事件计数器模式 • 单次计数模式	清除	—
	置位	（不能使用）

备注 在计数器发生上溢后， OVF 位不立即发生变化，而在此后的捕捉时发生变化。

6.3.5 定时器通道允许状态寄存器 m （TEm）

TEm 寄存器是表示各通道定时器运行的允许或者停止状态的寄存器。

TEm 寄存器的各位对应定时器通道开始寄存器 m（TSm）和定时器通道停止寄存器 m（TTm）的各位。如果将 TSm 寄存器的各位置 “1”， TEm 寄存器的对应位就被置 “1”。如果将 TTm 寄存器的各位置 “1”，就将其对应位清 “0”。

通过 16 位存储器操作指令读 TEm 寄存器。

能用 TEmL 并且通过 1 位或者 8 位存储器操作指令读 TEm 寄存器的低 8 位。

通过产生复位信号， TEm 寄存器的值变为 “0000H”。

图 6-13 定时器通道允许状态寄存器 m （TEm）的格式

地址：F01B0H、 F01B1H 复位后：0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	TEm7	TEm6	0	0	TEm3	TEm2	TEm1	TEm0

TEHm3	通道 3 为 8 位定时器模式时的高 8 位定时器的运行允许或者停止状态的表示
0	运行停止状态
1	运行允许状态

TEHm1	通道 1 为 8 位定时器模式时的高 8 位定时器的运行允许或者停止状态的表示
0	运行停止状态
1	运行允许状态

TEmn	通道 n 的运行允许或者停止状态的表示
0	运行停止状态
1	运行允许状态
在通道 1 和通道 3 为 8 位定时器模式时， TEm1 和 TEm3 表示低 8 位定时器的运行允许或者停止状态。	

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.6 定时器通道开始寄存器 m （TSm）

TSm 寄存器是对定时器计数寄存器 mn（TCRmn）进行初始化并且设定各通道计数运行开始的触发寄存器。

如果将各位置 “1”，定时器通道允许状态寄存器 m （TEm）的对应位就被置 “1”。因为 TSmn 位、 TSHm1 位和 TSHm3 位是触发位，所以如果变为运行允许状态 （TEmn、TEHm1、TEHm3=1），就立即清除 TSmn 位、TSHm1 位和 TSHm3 位。

通过 16 位存储器操作指令设定 TSm 寄存器。

能用 TSmL 并且通过 1 位或者 8 位存储器操作指令设定 TSm 寄存器的低 8 位。

通过产生复位信号， TSm 寄存器的值变为 “0000H”。

图 6-14 定时器通道开始寄存器 m （TSm）的格式

地址：F01B2H、 F01B3H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	0	0	TSm3	TSm2	TSm1	TSm0

TSHm3	通道 3 为 8 位定时器模式时的高 8 位定时器的运行允许 （开始）触发
0	没有触发运行。
1	将 TEHm3 位置 “1”，进入计数允许状态。 如果在计数允许状态下开始 TCRm3 寄存器的计数，就进入间隔定时器模式 （参照 “6.5.2 计数器的开始时序 ” 的表 6-6）。

TSHm1	通道 1 为 8 位定时器模式时的高 8 位定时器的运行允许 （开始）触发
0	没有触发运行。
1	将 TEHm1 位置 “1”，进入计数允许状态。 如果在计数允许状态下开始 TCRm1 寄存器的计数，就进入间隔定时器模式 （参照 “6.5.2 计数器的开始时序 ” 的表 6-6）。

TSmn	通道 n 的运行允许 （开始）触发
0	没有触发运行。
1	将 TEmn 位置 “1”，进入计数允许状态。 计数允许状态下的TCRmn寄存器的计数开始因运行模式而不同（参照“6.5.2 计数器的开始时序”的表6-6）。 在通道 1 和通道 3 为 8 位定时器模式时， TSm1 和 TSm3 为低 8 位定时器的运行允许 （开始）触发。

注意 1. 必须将 bit15 ～ 12、 10、 8、 5、 4 置 “0”。

2. 在从不使用 TImn 引脚输入的功能切换到使用 TImn 引脚输入的功能时，从设定定时器模式寄存器 mn （TMRmn）到将 TSmn （TSHm1、 TSHm3）位置 “1” 为止，需要以下期间的等待：
TImn 引脚噪声滤波器有效时 （TNFENmn=1）：4 个运行时钟 （f_{MCK}）
TImn 引脚噪声滤波器无效时 （TNFENmn=0）：2 个运行时钟 （f_{MCK}）

备注 1. TSm 寄存器的读取值总是 “0”。

2. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.7 定时器通道停止寄存器 m （TTm）

TTm 寄存器是设定各通道计数停止的触发寄存器。

如果将各位置 “1”，定时器通道允许状态寄存器 m （TEm）的对应位就被清 “0”。因为 TTmn 位、 TTHm1 位和 TTHm3 位是触发位，所以如果变为运行停止状态（TEmn、TTHm1、TTHm3=0），就立即清除 TTmn 位、TTHm1 位和 TTHm3 位。

通过 16 位存储器操作指令设定 TTm 寄存器。

能用 TTmL 并且通过 1 位或者 8 位存储器操作指令设定 TTm 寄存器的低 8 位。

通过产生复位信号， TTm 寄存器的值变为 “0000H”。

图 6-15 定时器通道停止寄存器 m （TTm）的格式

地址：F01B4H、 F01B5H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	0	0	TTm3	TTm2	TTm1	TTm0

TTHm3	通道 3 为 8 位定时器模式时的高 8 位定时器的运行停止触发
0	没有触发运行。
1	停止运行 （产生停止触发）。

TTHm1	通道 1 为 8 位定时器模式时的高 8 位定时器的运行停止触发
0	没有触发运行。
1	停止运行 （产生停止触发）。

TTmn	通道 n 的运行停止触发
0	没有触发运行。
1	将 TEmn 位清 “0”，进入计数停止状态。 在通道 1 和通道 3 为 8 位定时器模式时， TTm1 和 TTm3 为低 8 位定时器的运行停止触发。

注意 必须将 bit15 ～ 12、 10、 8、 5、 4 置 “0”。

备注 1. TTm 寄存器的读取值总是 “0”。

2. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.8 定时器输入选择寄存器 0 （TIS0）

TIS0 寄存器是选择通道 1 定时器输入的寄存器。

通过 8 位存储器操作指令设定 TIS0 寄存器。

通过产生复位信号， TIS0 寄存器的值变为 “00H”。

图 6-16 定时器输入选择寄存器 0 （TIS0）的格式

地址：F0074H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	通道 1 使用的定时器输入的选择
0	0	0	定时器输入引脚 （TI01）的输入信号
1	0	0	低速内部振荡器时钟 （f_{IL}）
1	0	1	副系统时钟 （f_{SUB}）
上述以外			禁止设定

注意 选择的定时器输入的高电平宽度、低电平宽度必须大于等于 $1/f_{MCK}$+10ns。

因此，在选择f_{SUB}作为f_{CLK}时 （CKS 寄存器的 CSS=1），不能将 TIS02 位置 “1”。

6.3.9 定时器输出选择寄存器 （TOS）

TOS 寄存器是设定遥控输出功能有效的寄存器。

通过通道 2 和通道 3 生成的 PWM 输出信号 （屏蔽波）屏蔽通道 6 和通道 7 生成的 PWM 输出信号 （载波），生成遥控输出。

只有在开始计数前 （TE02、 TE03、 TE06、 TE07=0）才能改写 TOS 寄存器。

通过 1 位或者 8 位存储器操作指令设定 TOS 寄存器。

通过产生复位信号， TOS 寄存器的值变为 “00H”。

图 6-17 定时器输出选择寄存器 （TOS）的格式

地址：F0079H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
TOS	0	0	0	0	0	0	0	TOS0

TOS0	遥控输出的设定
0	无效 （通道 2、 3、 6、 7 为定时器的输出）
1	有效 （从 TO03 引脚进行遥控输出）

注意 当遥控输出有效 （TOS0=1）时，通道 2、 3、 6、 7 不能用于别的功能。

6.3.10 定时器输出允许寄存器 m （TOEm）

TOEm 寄存器是设定允许或者禁止各通道定时器输出的寄存器。

对于允许定时器输出的通道 n，无法通过软件改写后述的定时器输出寄存器 m （TOm）的 TOmn 位的值，并且由计数运行的定时器输出功能反映的值从定时器的输出引脚 （TOmn）输出。

通过 16 位存储器操作指令设定 TOEm 寄存器。

能用 TOEmL 并且通过 1 位或者 8 位存储器操作指令设定 TOEm 寄存器的低 8 位。

通过产生复位信号， TOEm 寄存器的值变为 “0000H”。

图 6-18 定时器输出允许寄存器 m （TOEm）的格式

地址：F01BAH、 F01BBH 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm7	TOEm6	0	0	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	通道 n 的定时器输出的允许 / 禁止
0	禁止定时器的输出。 定时器的运行不反映到 TOmn 位，固定输出。 能写 TOmn 位，并且从 TOmn 引脚输出 TOmn 位的设定电平。
1	允许定时器的输出。 定时器的运行反映到 TOmn 位，产生输出波形。 忽视 TOmn 位的写操作。

注意 必须将 bit15 ～ 8、 5、 4 置 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.11 定时器输出寄存器 m （TOm）

TOm 寄存器是各通道定时器输出的缓冲寄存器。

此寄存器的各位的值从各通道的定时器的输出引脚 （TOmn）输出。

只有在禁止定时器输出 （TOEmn=0）时才能通过软件改写此寄存器的 TOmn 位。当允许定时器输出时（TOEmn=1），忽视通过软件的改写操作，而只通过定时器的运行更改其值。

要将 P140/TO00、P30/TI01/TO01、P17/TI02/TO02、P32/TI03/TO03、P51/TI06/TO06、P53/TI07/TO07 引脚用作端口功能时，必须将相应的 TOmn 位置 “0”。

通过 16 位存储器操作指令设定 TOm 寄存器。

能用 TOmL 并且通过 8 位存储器操作指令设定 TOm 寄存器的低 8 位。

通过产生复位信号， TOm 寄存器的值变为 “0000H”。

图 6-19 定时器输出寄存器 m （TOm）的格式

地址：F01B8H、 F01B9H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	0	0	TOm3	TOm2	TOm1	TOm0

TOmn	通道 n 的定时器输出
0	定时器的输出值为 “0”。
1	定时器的输出值为 “1”。

注意 必须将 bit15 ～ 8、 5、 4 置 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.12 定时器输出电平寄存器 m （TOLm）

TOLm 寄存器是控制各通道定时器输出电平的寄存器。

当允许定时器输出 （TOEmn=1）并且为多通道联动运行功能 （TOMmn=1）时，在定时器输出信号的置位和复位时序，反映此寄存器进行的各通道 n 的反相设定。在主控通道输出模式 （TOMmn=0）中，此寄存器的设定无效。

通过 16 位存储器操作指令设定 TOLm 寄存器。

能用 TOLmL 并且通过 8 位存储器操作指令设定 TOLm 寄存器的低 8 位。

通过产生复位信号， TOLm 寄存器的值变为 “0000H”。

图 6-20 定时器输出电平寄存器 m （TOLm）的格式

地址：F01BCH、 F01BDH 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	0	0	TOLm3	TOLm2	TOLm1	0

TOLmn	通道 n 的定时器输出电平的控制
0	正逻辑输出 （高电平有效）
1	负逻辑输出 （低电平有效）

注意 必须将 bit15 ～ 8、 5、 4 和 bit0 置 “0”。

备注 1. 如果在定时器运行中改写此寄存器的值，就在下一次定时器输出信号发生变化的时序反相定时器的输出逻辑，而不是在改写后立即反相。

2. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.3.13 定时器输出模式寄存器 m （TOMm）

TOMm 寄存器是控制各通道定时器输出模式的寄存器。

当用作独立通道运行功能时，将所用通道的对应位置 “0”。

当用作多通道联动运行功能 （PWM 输出、单触发脉冲输出和多重 PWM 输出）时，将主控通道的对应位置 “0” 并且将从属通道的对应位置 “1”。

当允许定时器输出 （TOEmn=1）时，在定时器输出信号的置位和复位时序，反映此寄存器进行的各通道 n 的设定。

通过 16 位存储器操作指令设定 TOMm 寄存器。

能用 TOMmL 并且通过 8 位存储器操作指令设定 TOMm 寄存器的低 8 位。

通过产生复位信号， TOMm 寄存器的值变为 “0000H”。

图 6-21 定时器输出模式寄存器 m （TOMm）的格式

地址：F01BEH、 F01BFH 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm7	TOMm6	0	0	TOMm3	TOMm2	TOMm1	0

TOMmn	通道 n 的定时器输出模式的控制
0	主控通道输出模式 （通过定时器中断请求信号 （INTTMmn）进行交替输出）
1	从属通道输出模式 （通过主控通道的定时器中断请求信号 （INTTMmn）将输出置位，并且通过从属通道的定时器中断请求信号 （INTTMmp）对输出进行复位）

注意 必须将 bit15 ～ 8、 5、 4 和 bit0 置 “0”。

备注 m：单元号 （m=0）

n：通道号

n=0～3、 6、 7 （主控通道时：n=0、 2、 6）

p：从属通道号

n＜p≤7

（有关主控通道和从属通道关系的详细内容，请参照“6.4.1 多通道联动运行功能的基本规则”）

6.3.14 噪声滤波器允许寄存器 1 （NFEN1）

NFEN1 寄存器设定噪声滤波器是否用于各通道定时器输入引脚的输入信号。

对于需要消除噪声的引脚，必须将对应的位置 “1”，使噪声滤波器有效。

当噪声滤波器有效时，过对象通道的运行时钟 （f_{MCK}）进行同步后，执行 2 个时钟的一致检测。当噪声滤波器无效时，只通过对象通道的运行时钟 （f_{MCK}）进行同步注。

通过 1 位或者 8 位存储器操作指令设定 NFEN1 寄存器。

通过产生复位信号， NFEN1 寄存器的值变为 “00H”。

注 详细内容请参照“6.5.1 (2) 选择 TImn 引脚输入信号的有效边沿的情况（CCSmn=1）”和“6.5.2 计数器的开始时序”。

图 6-22 噪声滤波器允许寄存器 1 （NFEN1）的格式

地址：F0071H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07/TO07/P53 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

TNFEN06	TI06/TO06/P51 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

TNFEN03	TI03/TO03/P32 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

TNFEN02	TI02/TO02/P17 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

TNFEN01	TI01/TO01/P30 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

TNFEN00	TI00/P141 引脚的输入信号噪声滤波器的使用与否
0	噪声滤波器 OFF
1	噪声滤波器 ON

备注 通道 0 ～ 3、6、7 的定时器输入 / 输出引脚的有无因产品而不同。详细内容请参照 “ 表 6-2 各产品具有的定时器输入 / 输出引脚 ”。

6.3.15 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14）

这是以位为单位设定端口 1、 3、 5、 14 的输入 / 输出的寄存器。

定时器输入 / 输出引脚的有无因产品而不同。因此，在使用定时器阵列单元时，各产品设定的端口模式寄存器如下所示：

48 引脚产品： PM1、 PM3、 PM14

64 引脚的产品：PM1、 PM3、 PM5、 PM14

在将定时器输出引脚的复用端口（P140/TO00、P17/TO02/TI02 等）用作定时器的输出时，必须将各端口对应的端口模式寄存器 （PMxx）的位和端口寄存器 （Pxx）的位置 “0”。

例）将 P17/TO02/TI02 用作定时器输出的情况

将端口模式寄存器 1 的 PM17 位置 “0”。

将端口寄存器 1 的 P17 位置 “0”。

在将定时器输入引脚的复用端口 （P141/TI00、 P32/TO03/TI03 等）用作定时器的输入时，必须将各端口对应的端口模式寄存器 （PMxx）的位置 “1”。此时，端口寄存器 （Pxx）的位可以是 “0” 或者 “1”。

例）将 P32/TO03/TI03 用作定时器输入的情况

将端口模式寄存器 1 的 PM32 位置 “1”。

将端口寄存器 1 的 P32 位置 “0” 或者 “1”。

通过 1 位或者 8 位存储器操作指令设定 PM1、 PM3、 PM5、 PM14 寄存器。

通过产生复位信号，这些寄存器的值变为 “FFH”。

图 6-23 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14）的格式 （64 引脚产品）

地址：FFF21H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

地址：FFF23H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	PM32	PM31	PM30

地址：FFF25H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50

地址：FFF2EH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn 引脚的输入 / 输出模式的选择 （m=1、 3、 5、 14， n=0 ～ 7）
0	输出模式 （输出缓冲器 ON）
1	输入模式 （输出缓冲器 OFF）

备注 上述内容是 64 引脚产品的端口模式寄存器 1、3、5、14 的格式。有关其他产品的端口模式寄存器的格式，请参照 “ 表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 ”。

6.4 定时器阵列单元的基本规则

6.4.1 多通道联动运行功能的基本规则

多通道联动运行功能是将主控通道（主要对周期进行计数的基准定时器）和从属通道（遵从主控通道运行的定时器）组合实现的功能，使用时需要遵守几个规则。

多通道联动运行功能的基本规则如下所示。

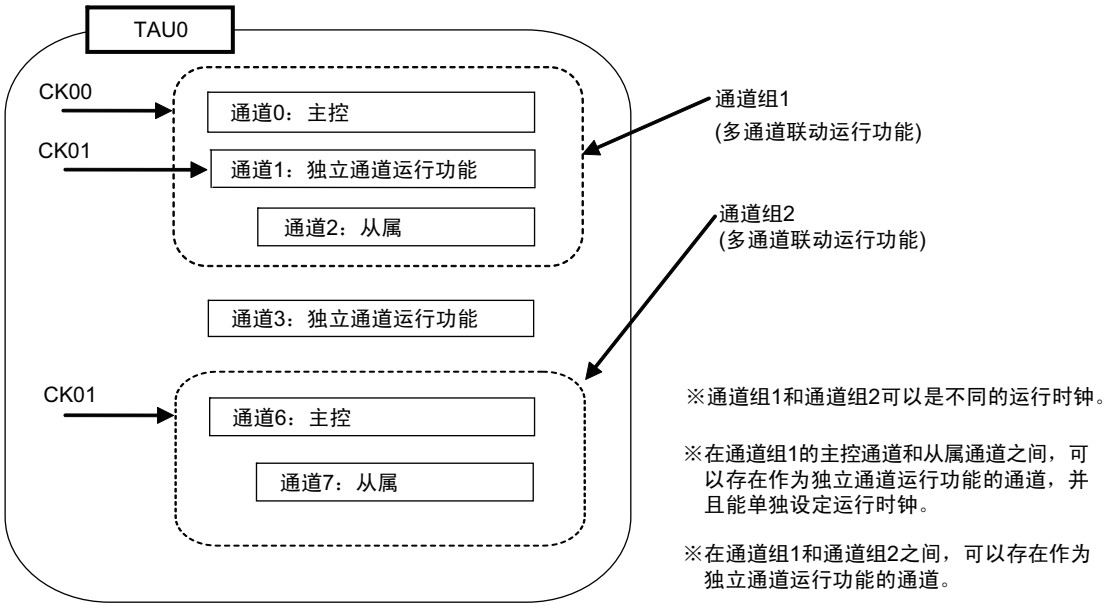
(1) 只能将偶数通道 （通道0、通道2、通道6）设定为主控通道。
(2) 通道0以外的任何通道都能设定为从属通道。
(3) 只能将主控通道的低位通道设定为从属通道。
例 在将通道0设定为主控通道时，能将通道1开始的通道 （通道1、通道2、通道3、 ……）设定为从属通道。
(4) 对一个主控通道能设定多个从属通道。
(5) 当使用多个主控通道时，不能设定跨越主控通道的从属通道。
例 在将通道0和通道6设定为主控通道时，能将通道1～3设定为主控通道0的从属通道，而不能将通道7设定为主控通道0的从属通道。
(6) 和主控通道联动的从属通道设定相同的运行时钟。和主控通道联动的从属通道的CKSmn0位和CKSmn1位 （定时器模式寄存器mn （TMRmn）的bit15和bit14）的值需要是相同的设定值。
(7) 主控通道能将INTTMmn （中断）、开始软件触发和计数时钟传给低位通道。
(8) 从属通道能将主控通道的INTTMmn（中断）、开始软件触发和计数时钟用作源时钟，但是不能将自己的INTTMmn （中断）、开始软件触发和计数时钟传给低位通道。
(9) 主控通道不能将其他高位主控通道的INTTMmn （中断）、开始软件触发和计数时钟用作源时钟。
(10) 为了同时启动要联动的通道，需要同时设定联动通道的通道开始触发位 （TSmn）。
(11) 只有联动的全部通道或者主控通道才能使用计数运行中的TSmn位的设定。只是从属通道的TSmn位的设定不能使用。
(12) 为了同时停止要联动的通道，需要同时设定联动通道的通道停止触发位 （TTmn）。
(13) 在联动运行时，因为主控通道和从属通道需要相同的运行时钟，所以不能选择CKm2/CKm3。
(14) 定时器模式寄存器m0 （TMRm0）没有主控位而固定为“0”。但是，因为通道0是最高位的通道，所以在联动运行时能将通道0用作主控通道。

多通道联动运行功能的基本规则是适用于通道群 （形成 1 个多通道联动运行功能的主控通道和从属通道的集合）的规则。

如果设定 2 个或者更多的相互不联动的通道群，就在通道群之间不适用上述的基本规则。

备注 m：单元号 （m=0）、 n：通道号 （n=0 ～ 3、 6、 7）

例


TAU0
CK00
CK01
通道0：主控
通道1：独立通道运行功能
通道2：从属
通道3：独立通道运行功能
CK01
通道6：主控
通道7：从属
通道组1
(多通道联动运行功能)
通道组2
(多通道联动运行功能)
※通道组1和通道组2可以是不同的运行时钟。
※在通道组1的主控通道和从属通道之间，可以存在作为独立通道运行功能的通道，并且能单独设定运行时钟。
※在通道组1和通道组2之间，可以存在作为独立通道运行功能的通道。

6.4.2 8 位定时器运行功能的基本规则 （只限于通道 1 和通道 3）

8 位定时器运行功能是将 16 位定时器的通道用作 2 个 8 位定时器的通道的功能。
只有通道 1 和通道 3 才能使用 8 位定时器运行功能，使用时需要遵守几个规则。
8 位定时器运行功能的基本规则如下所示。

(1) 8位定时器运行功能只适用于通道1和通道3。
(2) 当用作8位定时器时，将定时器模式寄存器mn （TMRmn）的SPLIT位置“1”。
(3) 高8位定时器能用作间隔定时器功能。
(4) 在开始运行时，高8位定时器输出INTTMm1H/INTTMm3H（中断）（和MDmn0位为“1”的运行相同）。
(5) 高8位定时器的运行时钟的选择取决于低位TMRmn寄存器的CKSmn1位和CKSmn0位的设定。
(6) 对于高8位定时器，通过操作TSHm1/TSHm3位来开始通道的运行，并且通过操作TTHm1/TTHm3位来停止通道的运行。能通过TEHm1/TEHm3位确认通道的状态。
(7) 低8位定时器的运行取决于TMRmn寄存器的设定，有以下3种支持低8位定时器运行的功能：
- 间隔定时器功能
- 外部事件计数器功能
- 延迟计数功能

(8) 对于低8位定时器，通过操作TSm1/TSm3位来开始通道的运行，并且通过操作TTm1/TTm3位来停止通道的运行。能通过TEm1/TEm3位确认通道的状态。
(9) 在16位定时器运行时，TSHm1/TSHm3/TTHm1/TTHm3位的操作无效。通过操作TSm1/TSm3位和TTm1/TTm3位来控制通道1和通道3的运行。 TEHm3位和TEHm1位不变。
(10) 8位定时器功能不能使用联动运行功能 （单触发脉冲、 PWM和多重PWM）。

备注 m：单元号 （m=0） n：通道号 （n=1、 3）

6.5 计数器的运行

6.5.1 计数时钟 （f_{TCLK}）

定时器阵列单元的计数时钟（f_{TCLK}）能通过定时器模式寄存器 mn（TMRmn）的 CCSmn 位选择以下任意一个时钟：

- CKSmn0 位和 CKSmn1 位指定的运行时钟 （f_{MCK}）
- TImn 引脚的输入信号的有效边沿

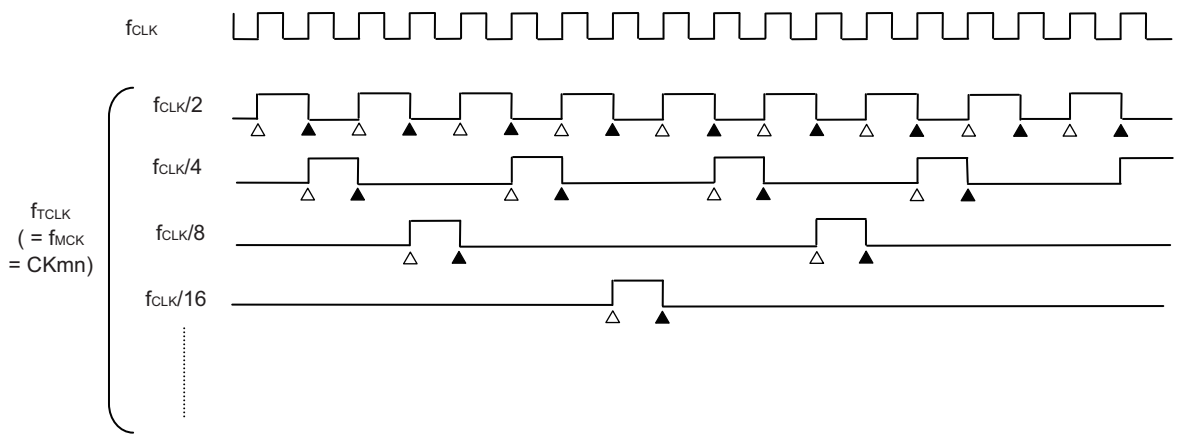
定时器阵列单元被设计为与 f_{CLK} 同步运行，因此计数时钟 （f_{TCLK}）的时序如下。

(1) 选择 CKSmn0 位和 CKSmn1 位指定的运行时钟 （f_{MCK}）的情况 （CCSmn=0）

根据定时器时钟选择寄存器 m（TPSm）的设定，计数时钟（f_{TCLK}）为 f_{CLK} ～ $f_{CLK}/2^{15}$。但是，当选择 f_{CLK} 的分频时，TPSm 寄存器选择的时钟是从上升沿开始只有 1 个 f_{CLK} 周期为高电平的信号。当选择 f_{CLK} 时，固定为高电平。

为了取得与 f_{CLK} 的同步，定时器计数寄存器 mn （TCRmn）从计数时钟的上升沿开始延迟 1 个 f_{CLK} 时钟后进行计数，将其表现为 “ 在计数时钟的上升沿进行计数 ”。

图 6-24 f_{CLK} 和计数时钟 （f_{TCLK}）的时序 （CCSmn=0 的情况）



备注 1. △：计数时钟的上升沿

▲：同步、计数器的递增 / 递减

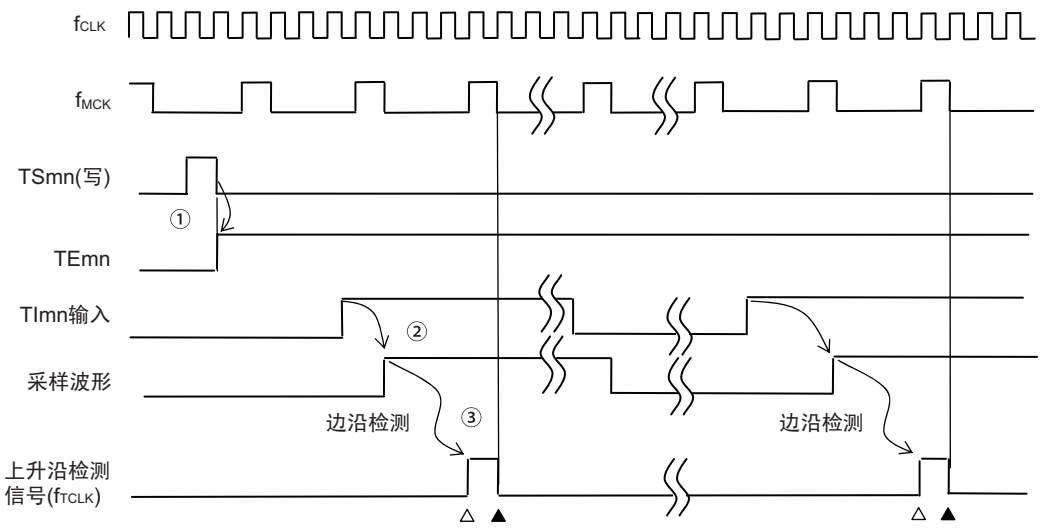
2. f_{CLK}：CPU/ 外围硬件的时钟

(2) 选择 TImn 引脚输入信号的有效边沿的情况 （CCSmn=1）

计数时钟（f_{TCLK}）是检测 TImn 引脚输入信号的有效边沿并且与下一个 f_{MCK} 上升沿同步的信号。实际上，这是比 TImn 引脚的输入信号延迟了 1 ～ 2 个 f_{MCK} 时钟的信号（在使用噪声滤波器时，延迟 3 ～ 4 个 f_{MCK} 时钟）。

为了取得与 f_{CLK} 的同步，定时器计数寄存器 mn （TCRmn）从计数时钟的上升沿开始延迟 1 个 f_{CLK} 时钟后进行计数，将其表现为 “ 在 TImn 引脚输入信号的有效边沿进行计数 ”。

图 6-25 计数时钟 （f_{TCLK}）的时序 （CCSmn=1，未使用噪声滤波器的情况）



① 通过将 TSmn 位置位来开始定时器运行，并且等待 TImn 输入的有效边沿。
② 通过 f_{MCK} 对 TImn 输入的上升沿进行采样。
③ 在采样信号的上升沿检测边沿，并且输出检测信号 （计数时钟）。

备注 1. △：计数时钟的上升沿
▲：同步、计数器的递增 / 递减
2. f_{MCK}：通道 n 的运行时钟
3. 输入脉冲间隔的测量、输入信号高 / 低电平的测量、延迟计数器和单触发脉冲输出功能的 TImn 输入也是同样的波形。

6.5.2 计数器的开始时序

通过将定时器通道开始寄存器 m （TSm）的 TSmn 位置位，定时器计数寄存器 mn （TCRmn）进入运行允许状态。

从计数允许状态到定时器计数寄存器 mn （TCRmn）开始计数为止的运行如表 6-6 所示。

表 6-6 从计数允许状态到定时器计数寄存器 mn （TCRmn）开始计数为止的运行

定时器的运行模式	将 TSmn 位置 “1” 后的运行
• 间隔定时器模式	从检测到开始触发 （TSmn=1）到产生计数时钟为止，什么也不运行。 通过第 1 个计数时钟将 TDRmn 寄存器的值装入 TCRmn 寄存器，并且通过后续的计数时钟进行递减计数 （参照 “6.5.3 (1) 间隔定时器模式的运行 ”）。
• 事件计数器模式	通过给 TSmn 位写 “1”，将 TDRmn 寄存器的值装入 TCRmn 寄存器。 如果检测到 TImn 的输入边沿，就通过后续的计数时钟进行递减计数 （参照 “6.5.3 (2) 事件计数器模式的运行 ”）。
• 捕捉模式	从检测到开始触发 （TSmn=1）到产生计数时钟为止，什么也不运行。 通过第 1 个计数时钟将 “0000H” 装入 TCRmn 寄存器，并且通过后续的计数时钟进行递增计数 （参照 “6.5.3 (3) 捕捉模式的运行 （输入脉冲的间隔测量） ”）。
• 单次计数模式	通过在定时器停止运行 （TEmn=0）的状态下给 TSmn 位写 “1”，进入开始触发的等待状态。 从检测到开始触发到产生计数时钟为止，什么也不运行。 通过第 1 个计数时钟将 TDRmn 寄存器的值装入 TCRmn 寄存器，并且通过后续的计数时钟进行递减计数 （参照 “6.5.3 (4) 单次计数模式的运行 ”）。
• 捕捉 & 单次计数模式	通过在定时器停止运行 （TEmn=0）的状态下给 TSmn 位写 “1”，进入开始触发的等待状态。 从检测到开始触发到产生计数时钟为止，什么也不运行。 通过第 1 个计数时钟将 “0000H” 装入 TCRmn 寄存器，并且通过后续的计数时钟进行递增计数（参照 “6.5.3 (5) 捕捉 & 单次计数模式中的开始时序（测量高电平宽度时的运行） ”）。

6.5.3 计数器的运行

以下说明各模式的计数器运行。

(1) 间隔定时器模式的运行

① 通过给 TSmn 位写 “1”，进入运行允许状态 （TEmn=1）。定时器计数寄存器 mn （TCRmn）保持初始值，直到产生计数时钟为止。

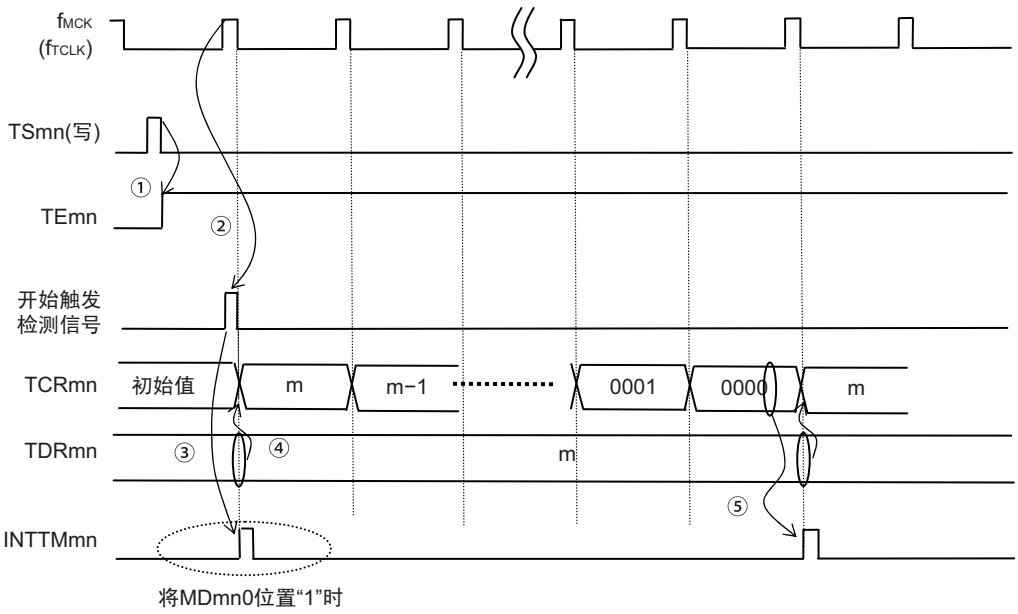
② 通过允许运行后的第 1 个计数时钟 （f_{MCK}）产生开始触发信号。

③ 当 MDmn0 位为 “1” 时，通过开始触发信号产生 INTTMmn。

④ 通过允许运行后的第 1 个计数时钟将定时器数据寄存器 mn （TDRmn）的值装入 TCRmn 寄存器，并且以间隔定时器模式开始计数。

⑤ 如果 TCRmn 寄存器递减计数到 “0000H”，就通过下一个计数时钟 （f_{MCK}）产生 INTTMmn，并且在将定时器数据寄存器 mn （TDRmn）的值装入 TCRmn 寄存器后继续进行计数。

图 6-26 运行时序 （间隔定时器模式）



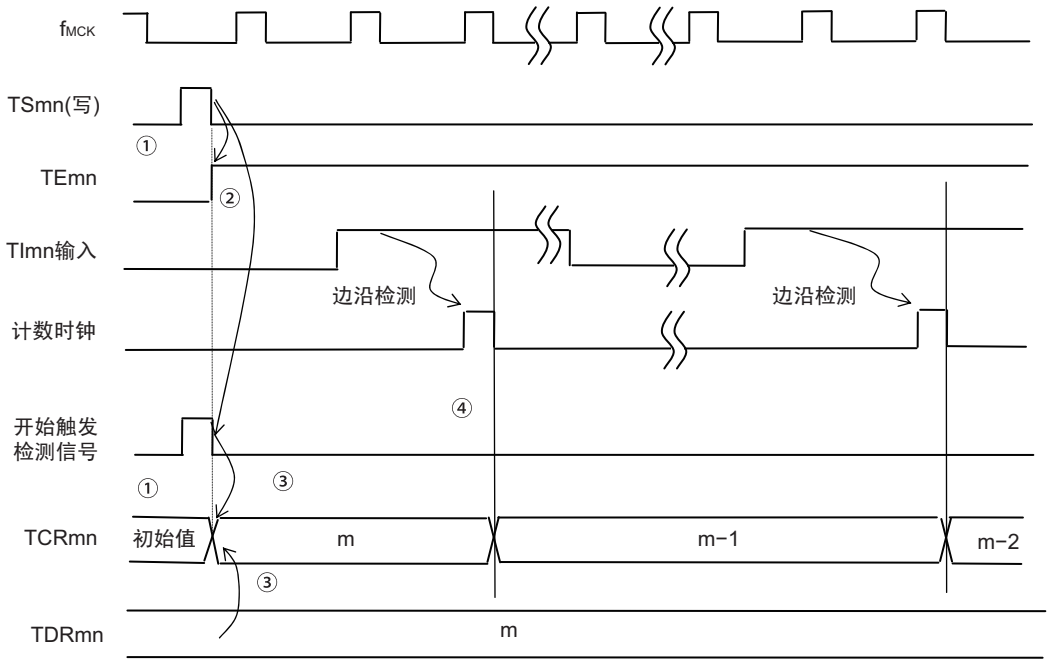
注意 因为第 1 个计数时钟周期的运行在写 TSmn 位后并且在产生计数时钟前会延迟开始计数，所以产生最大为 1 个计数时钟周期的误差。另外，如果需要开始计数时序的信息，就将 MDmn0 位置 “1”，以便能在开始计数时产生中断。

备注 f_{MCK}、开始触发检测信号和 INTTMmn 与 f_{CLK} 同步并且在 1 个时钟内有效。

(2) 事件计数器模式的运行

① 在运行停止状态 （TEmn=0）的期间，定时器计数寄存器mn （TCRmn）保持初始值。
② 通过给TSmn位写“1”，进入运行允许状态 （TEmn=1）。
③ 在TSmn位和TEmn位都变为“1”的同时将定时器数据寄存器mn （TDRmn）的值装入TCRmn寄存器，并且开始计数。
④ 此后，在TImn输入的有效边沿，通过计数时钟对TCRmn寄存器的值进行递减计数。

图 6-27 运行时序 （事件计数器模式）

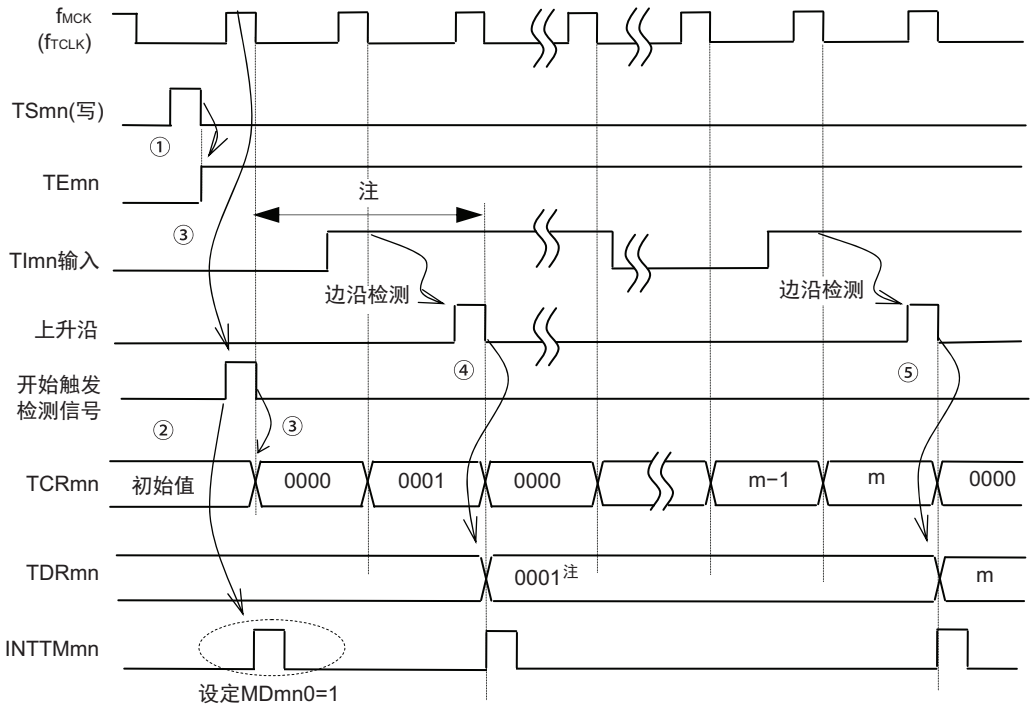


备注 这是不使用噪声滤波器时的时序。如果使用噪声滤波器，边沿检测就从 TImn 输入开始再迟 2 个 f_{MCK} 周期（合计 3～4 个周期）。因为 TImn 输入与计数时钟 （f_{MCK}）异步，所以产生 1 个周期的误差。

(3) 捕捉模式的运行 （输入脉冲的间隔测量）

① 通过给 TSmn 位写“1”，进入运行允许状态 （TEmn=1）。
② 定时器计数寄存器 mn （TCRmn）保持初始值，直到产生计数时钟为止。
③ 通过允许运行后的第 1 个计数时钟 （f_{MCK}）产生开始触发信号。然后，将“0000H”装入 TCRmn 寄存器并且以捕捉模式开始计数 （当 MDmn0 位为“1”时，通过开始触发信号产生 INTTMmn）。
④ 如果检测到 TImn 输入的有效边沿，就将 TCRmn 寄存器的值捕捉到 TDRmn 寄存器，并且产生 INTTMmn。此时的捕捉值没有意义。 TCRmn 寄存器从“0000H”开始继续进行计数。
⑤ 如果检测到下一个 TImn 输入的有效边沿，就将 TCRmn 寄存器的值捕捉到 TDRmn 寄存器，并且产生 INTTMmn。

图 6-28 运行时序 （捕捉模式：输入脉冲的间隔测量）



注 在开始前将时钟输入到 TImn（有触发）时，即使不检测边沿也通过触发检测来开始计数，因此第 1 次捕捉时（④）的捕捉值不是脉冲间隔 （在此例子中， 0001：2 个时钟间隔），必须忽视。

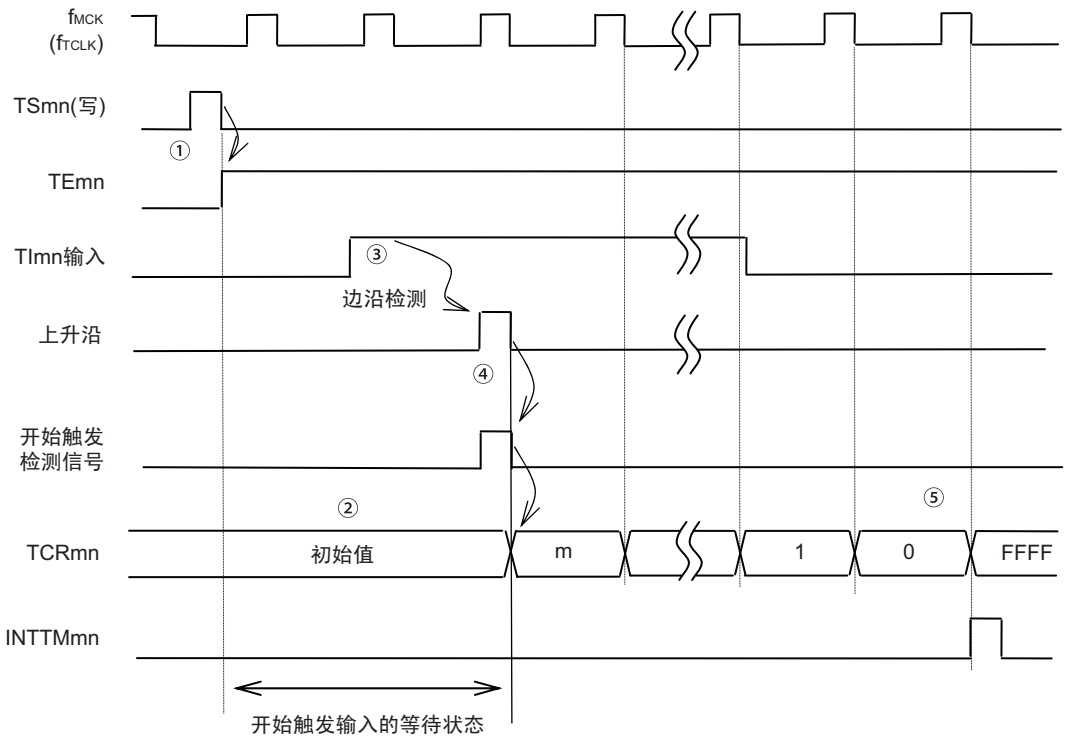
注意 因为第 1 个计数时钟周期的运行在写 TSmn 位后并且在产生计数时钟前会延迟开始计数，所以产生最大为 1 个计数时钟周期的误差。另外，如果需要开始计数时序的信息，就将 MDmn0 位置 “1”，以便能在开始计数时产生中断。

备注 这是不使用噪声滤波器时的时序。如果使用噪声滤波器，边沿检测就从 TImn 输入开始再迟 2 个 f_{MCK} 周期（合计 3 ～ 4 个周期）。因为 TImn 输入与计数时钟 （f_{MCK}）异步，所以产生 1 个周期的误差。

(4) 单次计数模式的运行

① 通过给 TSmn 位写“1”，进入运行允许状态 （TEmn=1）。
② 定时器计数寄存器 mn （TCRmn）保持初始值，直到产生开始触发信号为止。
③ 检测 TImn 输入的上升沿。
④ 在产生开始触发信号后将 TDRmn 寄存器的值 （m）装入 TCRmn 寄存器，并且开始计数。
⑤ 当 TCRmn 寄存器递减计数到“0000H”时，产生 INTTMmn，并且 TCRmn 寄存器的值变为“FFFFH”，停止计数。

图 6-29 运行时序 （单次计数模式）

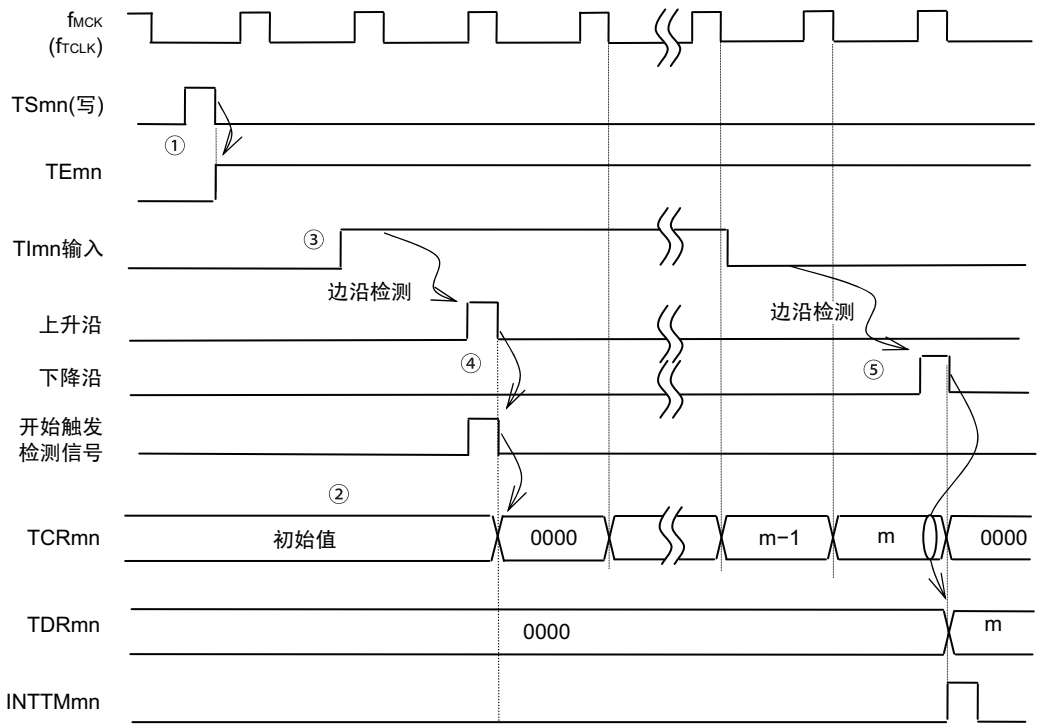


备注 这是不使用噪声滤波器时的时序。如果使用噪声滤波器，边沿检测就从 TImn 输入开始再迟 2 个 f_{MCK} 周期（合计 3 ～ 4 个周期）。 1 个周期的误差是因为 TImn 输入与计数时钟 （f_{MCK}）不同步。

(5) 捕捉 & 单次计数模式中的开始时序 （测量高电平宽度时的运行）

① 通过给定时器通道开始寄存器m （TSm）的TSmn位写“1”，进入运行允许状态 （TEmn=1）。
② 定时器计数寄存器mn （TCRmn）保持初始值，直到产生开始触发信号为止。
③ 检测TImn输入的上升沿。
④ 在产生开始触发信号后将“0000H”装入TCRmn寄存器，并且开始计数。
⑤ 如果检测到TImn输入的下降沿，就将TCRmn寄存器的值捕捉到TDRmn寄存器，并且产生INTTMmn。

图 6-30 开始时序 （捕捉 & 单次计数模式）

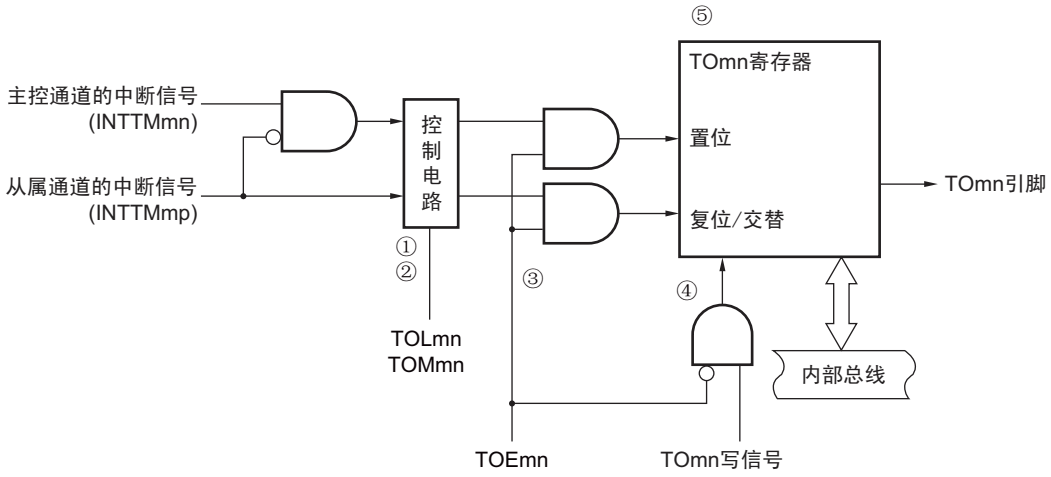


备注 这是不使用噪声滤波器时的时序。如果使用噪声滤波器，边沿检测就从 TImn 输入开始再迟 2 个 f_{MCK} 周期（合计 3 ～ 4 个周期）。 1 个周期的误差是因为 TImn 输入与计数时钟 （f_{MCK}）不同步。

6.6 通道输出 （TOmn 引脚）的控制

6.6.1 TOmn 引脚输出电路的结构

图 6-31 输出电路的结构



以下说明 TOmn 引脚的输出电路。

① 当TOMmn位为“0”（主控通道输出模式）时，忽视定时器输出电平寄存器m （TOLm）的设定值，只将INTTMmp （从属通道定时器中断）传给定时器输出寄存器m （TOm）。

② 当TOMmn位为“1”（从属通道输出模式）时，将INTTMmn（主控通道定时器中断）和INTTMmp（从属通道定时器中断）传给TOm寄存器。
此时， TOLm寄存器有效并且进行以下信号的控制：
TOLmn=0时：正逻辑输出 （INTTMmn→置位、 INTTMmp→复位）
TOLmn=1时：负逻辑输出 （INTTMmn→复位、 INTTMmp→置位）
当同时产生INTTMmn和INTTMmp时 （PWM输出的0%输出），优先INTTMmp （复位信号）而屏蔽INTTMmn （置位信号）。

③ 在定时器输出允许 （TOEmn=1）的状态下，将INTTMmn （主控通道定时器中断）和INTTMmp （从属通道定时器中断）传给TOm寄存器。 TOm寄存器的写操作 （TOmn写信号）无效。
当TOEmn位为“1”时，除了中断信号以外，不改变TOmn引脚的输出。
要对TOmn引脚的输出电平进行初始化时，需要在设定为定时器禁止运行 （TOEmn=0）后给TOm寄存器写值。

④ 在定时器输出禁止 （TOEmn=0）的状态下，对象通道的TOmn位的写操作 （TOmn写信号）有效。当定时器输出为禁止状态 （TOEmn=0）时，不将INTTMmn （主控通道定时器中断）和INTTMmp （从属通道定时器中断）传给TOm寄存器。

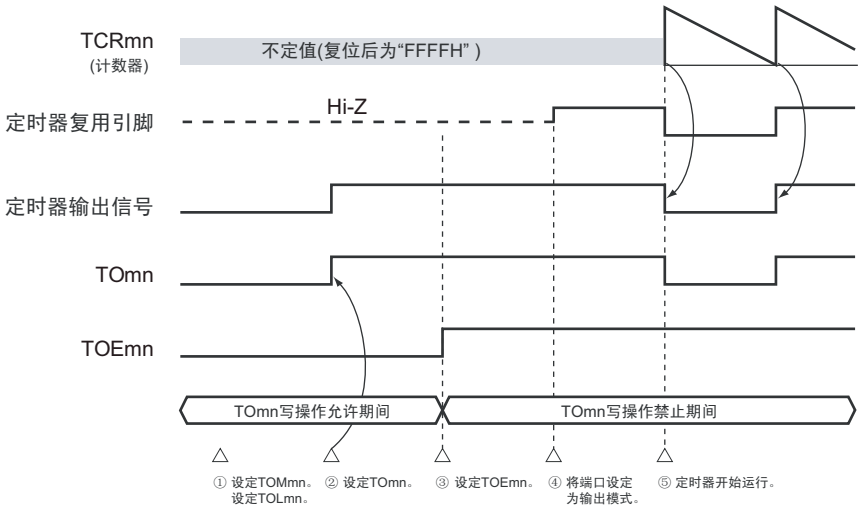
⑤ 能随时读TOm寄存器，并且能确认TOmn引脚的输出电平。

备注 m：单元号 （m=0）
n：通道号
n=0～3、 6、 7 （主控通道时：n=0、 2、 6）
p：从属通道号
n＜p≤7

6.6.2 TOmn 引脚的输出设定

从 TOmn 输出引脚的初始设定到定时器开始运行的步骤和状态变化如下所示。

图 6-32 从设定定时器的输出到开始运行的状态变化



① 设定定时器输出的运行模式。
- TOMmn位 （0：主控通道输出模式、 1：从属通道输出模式）
- TOLmn位 （0：正逻辑输出、 1：负逻辑输出）

② 通过设定定时器输出寄存器m （TOm），将定时器输出信号设定为初始状态。
③ 给TOEmn位写“1”，允许定时器输出 （禁止写TOm寄存器）。
④ 将端口输入/输出设定为输出 （参照“6.3.15 端口模式寄存器 1、 3、 5、 14 （PM1、 PM3、 PM5、 PM14） ”）。
⑤ 允许定时器运行 （TSmn=1）。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.6.3 通道输出运行的注意事项

(1) 有关定时器运行中的 TOm、 TOEm、 TOLm 寄存器的设定值变更

定时器运行 （定时器计数寄存器 mn （TCRmn）和定时器数据寄存器 mn （TDRmn）的运行）和 TOmn 输出电路相互独立。因此，定时器输出寄存器 m （TOm）、定时器输出允许寄存器 m （TOEm）和定时器输出电平寄存器 m （TOLm）的设定值的变更不会影响定时器运行，能在定时器运行中更改设定值。但是，为了在各定时器的运行中从TOmn引脚输出期待的波形，必须设定为6.8和6.9所示的各运行的寄存器设定内容例子的值。

如果在产生各通道的定时器中断（INTTMmn）信号前后更改除了 TOm 寄存器以外的 TOEm 寄存器和 TOLm 寄存器的设定值，就根据是在产生定时器中断 （INTTMmn）信号前更改还是在产生后更改，TOmn 引脚输出的波形可能不同。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

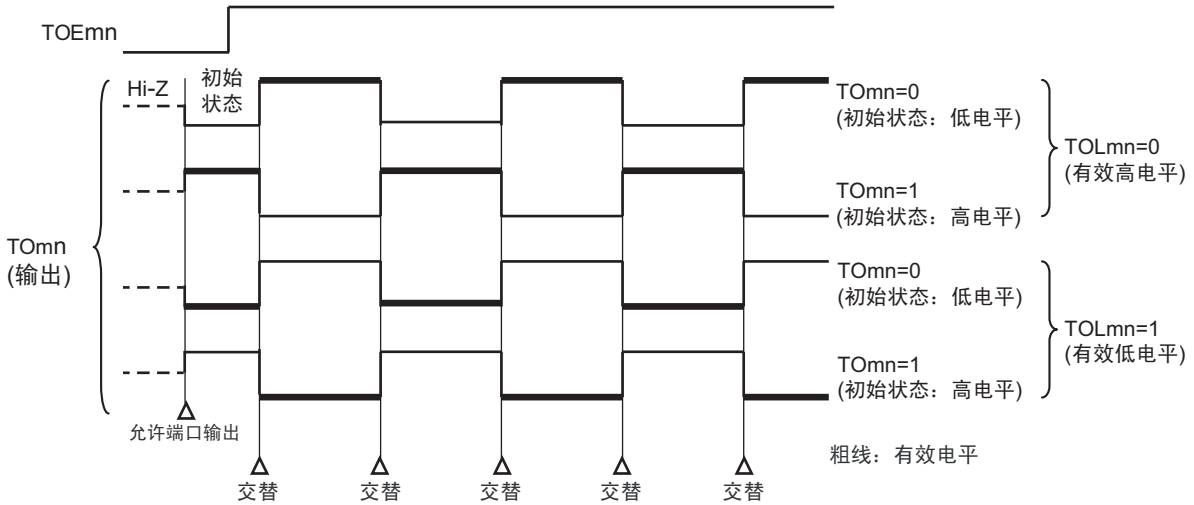
(2) 有关 TOmn 引脚的初始电平和定时器开始运行后的输出电平

在允许端口输出前并且在定时器输出禁止 （TOEmn=0）的状态下写定时器输出寄存器 m （TOm），在更改初始电平后设定为定时器输出允许状态 （TOEmn=1）时的 TOmn 引脚输出电平的变化如下所示。

(a) 在主控通道输出模式 （TOMmn=0）中开始运行的情况

在主控通道输出模式 （TOMmn=0）中，定时器输出电平寄存器 m （TOLm）的设定无效。如果在设定初始电平后开始定时器的运行，就通过产生交替信号反相 TOmn 引脚的输出电平。

图 6-33 交替输出时 （TOMmn=0）的 TOmn 引脚输出状态



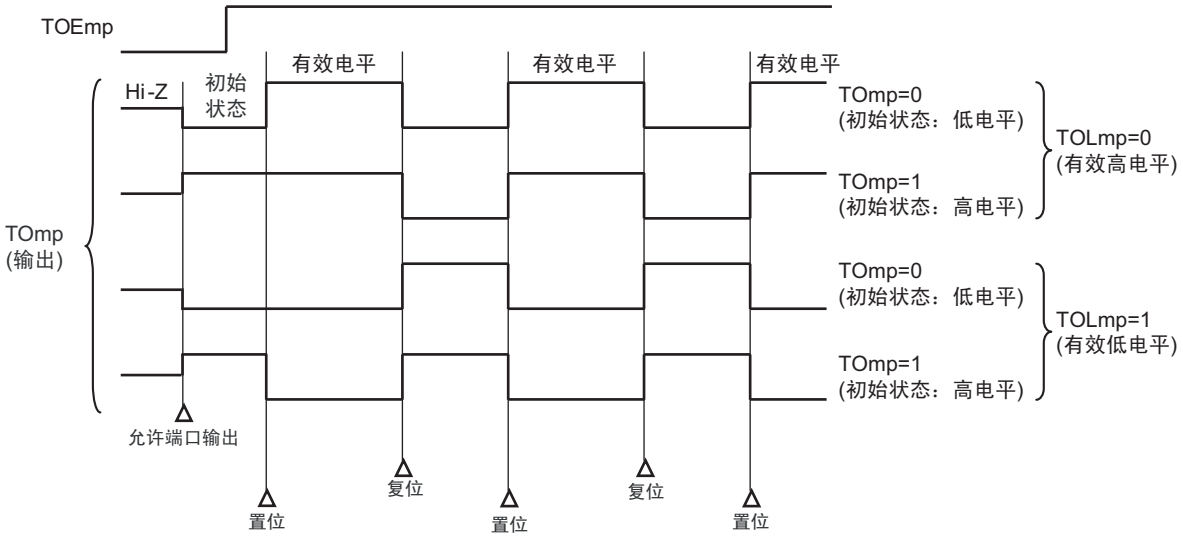
备注 1. 交替：反相 TOmn 引脚的输出状态。

2. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

(b) 在从属通道输出模式 （TOMmp=1）中开始运行的情况 （PWM 输出）

在从属通道输出模式 （TOMmp=1）中，有效电平取决于定时器输出电平寄存器 m （TOLm）的设定。

图 6-34 PWM 输出时 （TOMmp=1）的 TOmp 引脚输出状态



备注 1. 置位：TOmp 引脚的输出信号从无效电平变为有效电平。
复位：TOmp 引脚的输出信号从有效电平变为无效电平。

2. m：单元号 （m=0） p：通道号 （p=1 ～ 3、 6、 7）

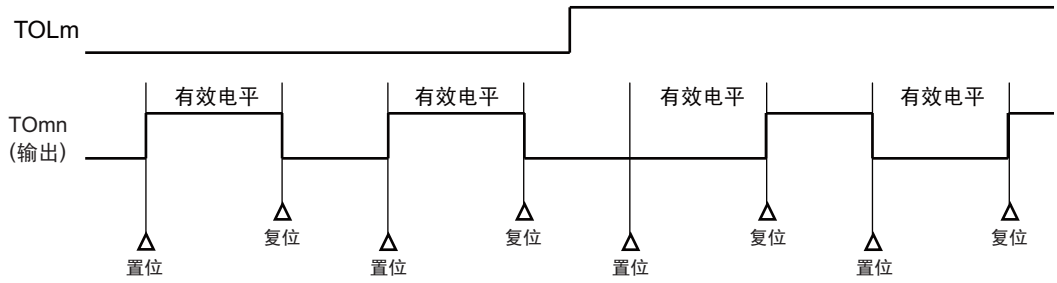
(3) 有关从属通道输出模式 （TOMmn=1）的 TOmn 引脚变化

(a) 在定时器运行中更改定时器输出电平寄存器 m （TOLm）的设定的情况

如果在定时器运行中更改 TOLm 寄存器的设定，就在满足 TOmn 引脚变化条件时设定有效。无法通过改写 TOLm 寄存器来改变 TOmn 引脚的输出电平。

当 TOMmn 位为 “1” 时，在定时器运行中 （TEmn=1）更改 TOLm 寄存器的值时的运行如下所示。

图 6-35 在定时器运行中更改 TOLm 寄存器时的运行



备注 1. 置位：TOmn 引脚的输出信号从无效电平变为有效电平。

复位：TOmn 引脚的输出信号从有效电平变为无效电平。

2. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

(b) 置位 / 复位时序

为了在 PWM 输出时实现 0%/100% 输出，通过从属通道将产生主控通道定时器中断 （INTTMmn）时的 TOmn 引脚 /TOmn 位的设定时序延迟 1 个计数时钟。

当设定条件和复位条件同时产生时，优先复位条件。

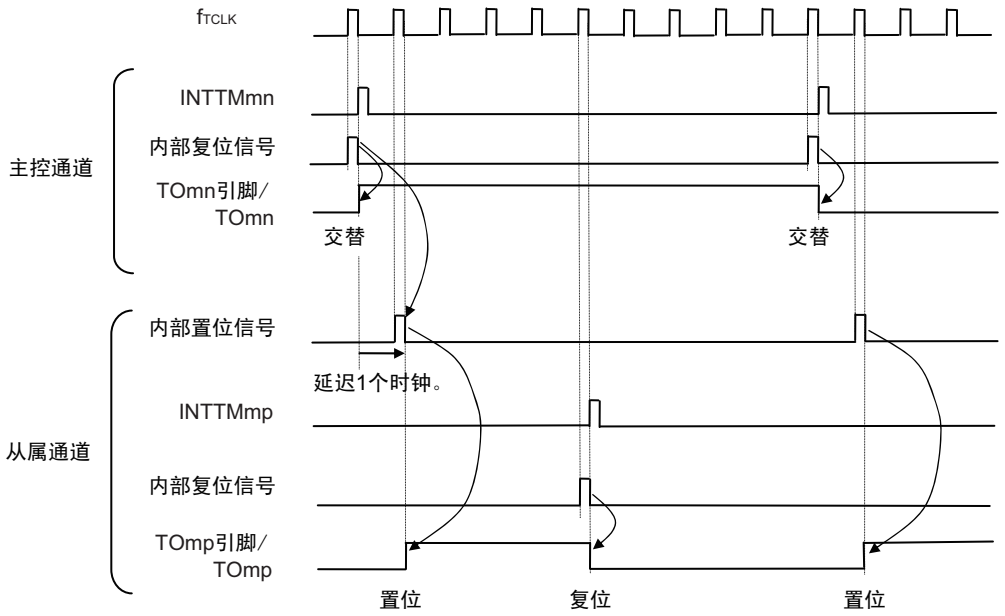
按照以下方法设定主控 / 从属通道时的置位 / 复位运行状态如图 6-36 所示。

主控通道：TOEmn=1、 TOMmn=0、 TOLmn=0

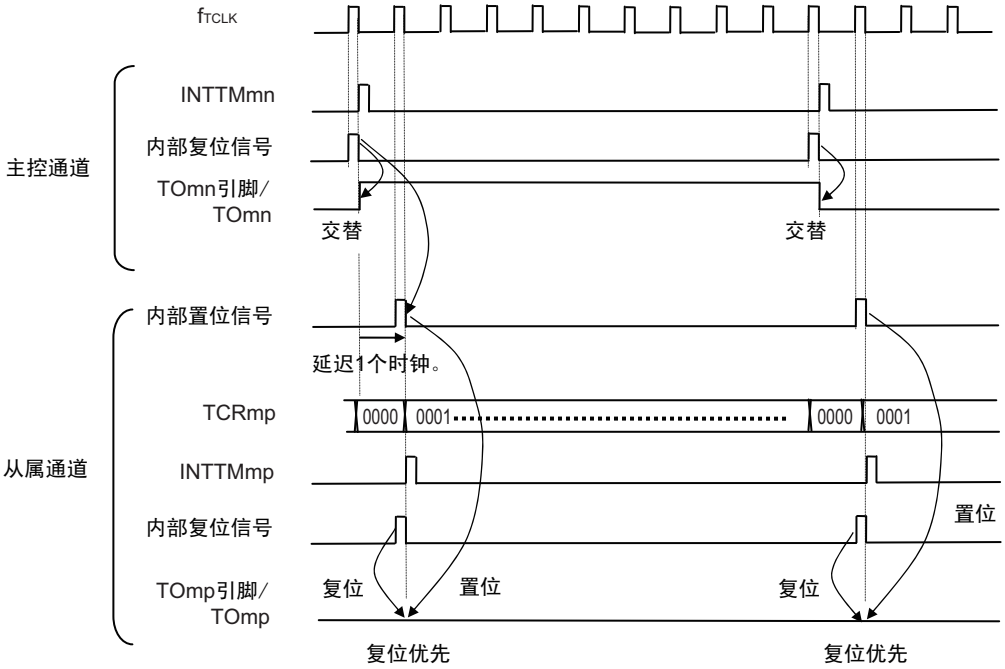
从属通道：TOEmp=1、 TOMmp=1、 TOLmp=0

图 6-36 设定 / 复位时序运行状态

(1) 基本运行时序



(2) 0% 占空比的运行时序



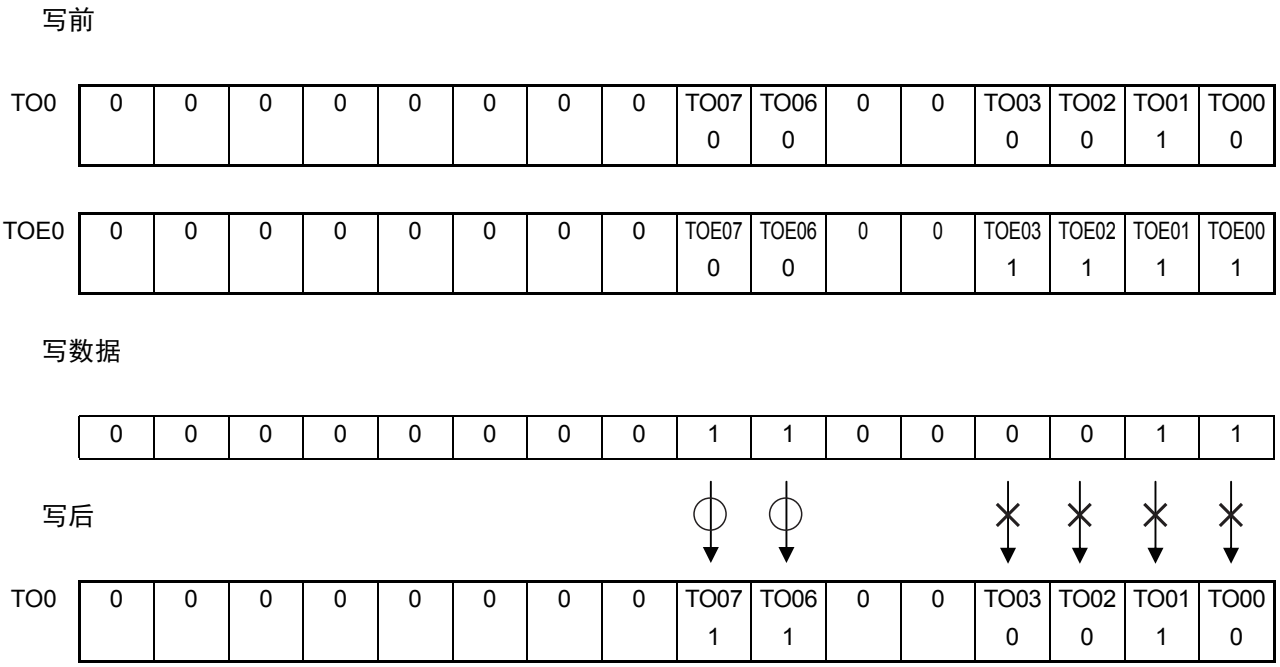
备注 1. 内部复位信号：TOmn 引脚的复位 / 交替信号
内部置位信号：TOmn 引脚的置位信号

2. m：单元号 （m=0）
n：通道号
n=0 ～ 3、 6、 7 （主控通道时：n=0、 2、 6）
p：从属通道号
n ＜ p ≤ 7

6.6.4 TOmn 位的一次性操作

和定时器通道开始寄存器 m（TSm）相同，定时器输出寄存器 m（TOm）有全部通道的设定位（TOmn），因此能一次性地操作全部通道的 TOmn 位。另外，能只给想作为操作对象的通道输出 （TOmn）的 TOmn 位写数据 （TOEmn=0），因此也能只操作任意的位。

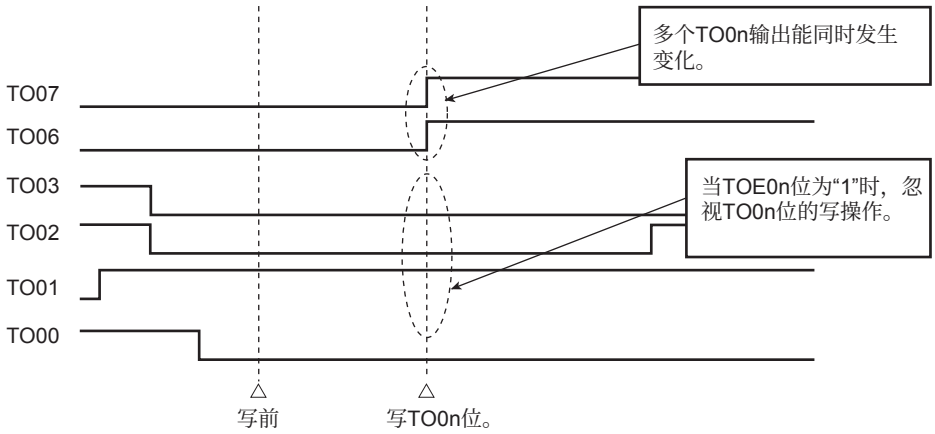
图 6-37 TO0n 位的一次性操作例子



只能写 TOEmn 位为 “0” 的 TOmn 位，忽视 TOEmn 位为 “1” 的 TOmn 位的写操作。

TOEmn 位为 “1” 的 TOmn （通道输出）不受写操作的影响，即使写 TOmn 位也被忽视，由定时器运行引起的输出变化正常进行。

图 6-38 一次性操作 TO0n 位时的 TO0n 引脚状态



注意 在定时器输出允许 （TOEmn=1）的状态下，即使各通道的定时器中断 （INTTMmn）引起的输出和 TOmn 位的写操作发生竞争， TOmn 引脚也能正常输出。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.6.5 有关开始计数时的定时器中断和 TOmn 引脚输出

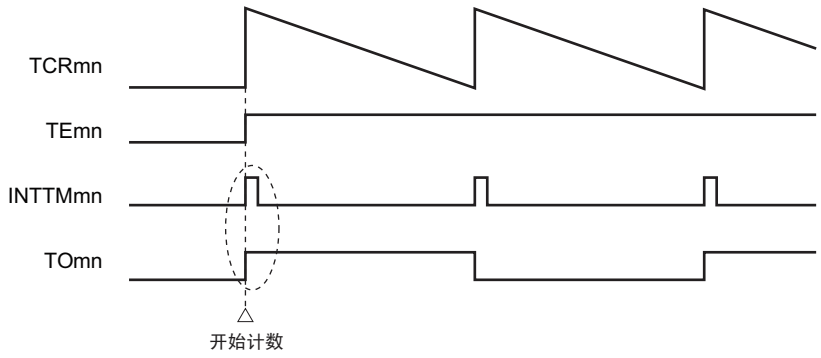
在间隔定时器模式或者捕捉模式中，定时器模式寄存器 mn （TMRmn）的 MDmn0 位是设定是否在开始计数时产生定时器中断的位。

当 MDmn0 位为 “1” 时，能通过产生定时器中断 （INTTMmn）得知计数的开始时序。

在其他模式中，不控制开始计数时的定时器中断和 TOmn 输出。

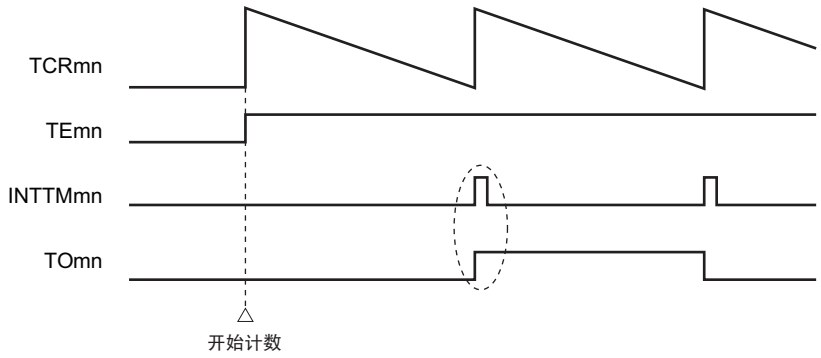
设定为间隔定时器模式 （TOEmn=1、 TOMmn=0）时的运行例子如下所示。

图 6-39 MDmn0 位为 “1” 的情况



当 MDmn0 位为 “1” 时，在开始计数时输出定时器中断 （INTTMmn）并且 TOmn 进行交替输出。

图 6-40 MDmn0 位为 “0” 的情况



当 MDmn0 位为 “1” 时，在开始计数时输出定时器中断 （INTTMmn）并且 TOmn 进行交替输出。

当 MDmn0 位为 “0” 时，在开始计数时不输出定时器中断 （INTTMmn）并且 TOmn 也不发生变化，而在对 1 个周期进行计数后输出 INTTMmn 并且 TOmn 进行交替输出。

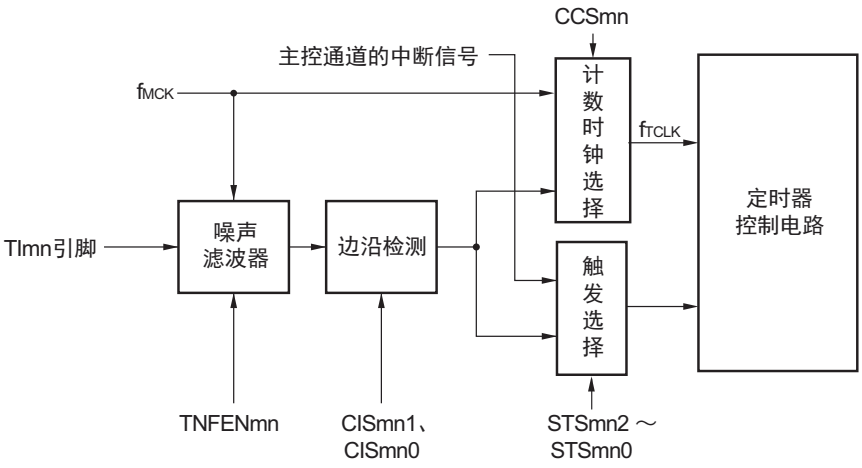
备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.7 定时器输入 （TImn）的控制

6.7.1 TImn 的输入电路结构

定时器输入引脚的信号经过噪声滤波器和边沿检测电路输入到定时器控制电路。对于需要消除噪声的引脚，必须将对应引脚的噪声滤波器设定为有效。输入电路的结构图如图 6-41 所示。

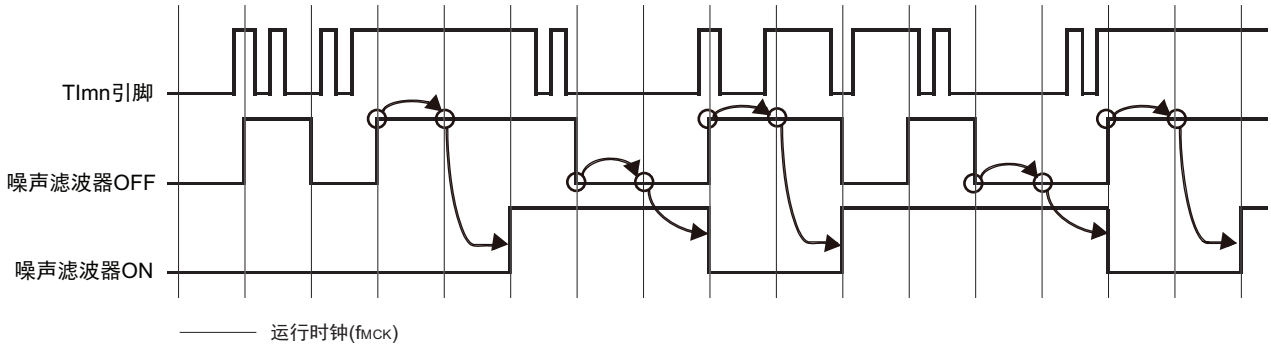
图 6-41 输入电路的结构图



6.7.2 噪声滤波器

噪声滤波器无效时，只通过通道 n 的运行时钟 （f_{MCK}）进行同步。噪声滤波器有效时，在通过通道 n 的运行时钟 （f_{MCK}）进行同步后，执行 2 个时钟的一致检测。在 TImn 输入引脚的噪声滤波器 ON/OFF 时经过噪声滤波器电路后的波形如图 6-42 所示。

图 6-42 TImn 输入引脚的噪声滤波器 ON/OFF 时的采样波形



6.7.3 进行通道输入操作时的注意事项

在设定为不使用定时器输入引脚时，不向噪声滤波器电路提供运行时钟。因此，在设定为使用定时器输入引脚后，到设定定时器输入引脚的对应通道的运行允许触发前，需要以下的等待时间。

1. 噪声滤波器OFF的情况
   在从定时器模式寄存器mn （TMRmn）的bit12 （CCSmn）、 bit9 （STSmn1）、 bit8 （STSmn0）全部为“0”的状态，到将其中1位置位后，必须在至少经过2个运行时钟 （f_{MCK}）周期后，才能设定定时器通道开始寄存器 （TSm）的运行允许触发。

2. 噪声滤波器ON的情况
   在从定时器模式寄存器mn （TMRmn）的bit12 （CCSmn）、 bit9 （STSmn1）、 bit8 （STSmn0）全部为“0”的状态，到将其中1位置位后，必须在至少经过4个运行时钟 （f_{MCK}）周期后，才能设定定时器通道开始寄存器 （TSm）的运行允许触发。

6.8 定时器阵列单元的独立通道运行功能

6.8.1 作为间隔定时器 / 方波输出的运行

(1) 间隔定时器

能用作以固定间隔产生 INTTMmn （定时器中断）的基准定时器。

中断产生周期能用以下计算式进行计算：

INTTMmn （定时器中断）的产生周期 = 计数时钟周期 × (TDRmn 的设定值 +1)

(2) 作为方波输出的运行

TOmn 在产生 INTTMmn 的同时进行交替输出，输出占空比为 50% 的方波。

TOmn 输出方波的周期和频率能用以下计算式进行计算：

- TOmn 输出的方波周期 = 计数时钟周期 × (TDRmn 的设定值 +1) × 2

- TOmn 输出的方波频率 = 计数时钟频率 / {(TDRmn 的设定值 +1) × 2}

在间隔定时器模式中，定时器计数寄存器 mn （TCRmn）用作递减计数器。

在将定时器通道开始寄存器 m （TSm）的通道开始触发位 （TSmn、 TSHm1、 TSHm3）置 “1” 后，通过第 1 个计数时钟将定时器数据寄存器 mn （TDRmn）的值装入 TCRmn 寄存器。此时，如果定时器模式寄存器 mn （TMRmn）的 MDmn0 位为 “0”，就不输出 INTTMmn 并且 TOmn 也不进行交替输出。如果 TMRmn 寄存器的 MDmn0 位为 “1”，就输出 INTTMmn 并且 TOmn 进行交替输出。

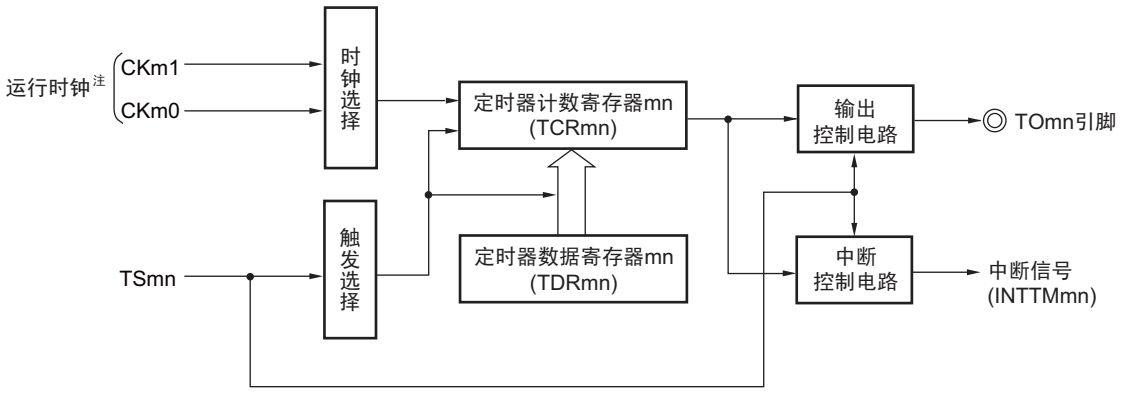
然后， TCRmn 寄存器通过计数时钟进行递减计数。

如果 TCRmn 变为 “0000H”，就通过下一个计数时钟输出 INTTMmn 并且 TOmn 进行交替输出。同时，再次将 TDRmn 寄存器的值装入 TCRmn 寄存器。此后，继续同样的运行。

能随时改写 TDRmn 寄存器，改写的 TDRmn 寄存器的值从下一个周期开始有效。

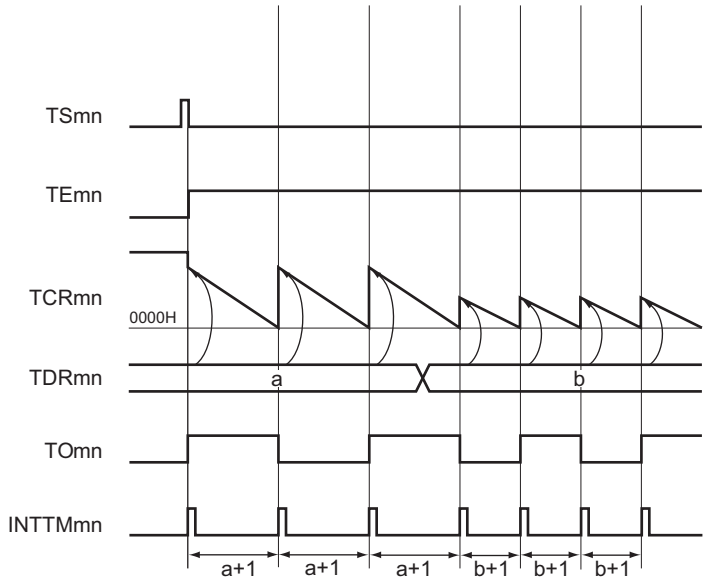
备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-43 作为间隔定时器 / 方波输出运行的框图



注 在通道 1 和通道 3 时，能从 CKm0、 CKm1、 CKm2 和 CKm3 中选择时钟。

图 6-44 作为间隔定时器 / 方波输出运行的基本时序例子 （MDmn0=1）



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. TSmn： 定时器通道开始寄存器 m （TSm）的 bit n
TEmn： 定时器通道允许状态寄存器 m （TEm）的 bit n
TCRmn： 定时器计数寄存器 mn （TCRmn）
TDRmn： 定时器数据寄存器 mn （TDRmn）
TOmn： TOmn 引脚输出信号

图 6-45 间隔定时器 / 方波输出时的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

通道 n 的运行模式
000B：间隔定时器

开始计数时的运行设定
0：在开始计数时，不产生 INTTMmn 并且不反相定时器的输出。
1：在开始计数时，产生 INTTMmn 并且反相定时器的输出。

TImn 引脚输入边沿的选择
00B：因不使用而置 “00”。

开始触发的选择
000B：只能选择软件开始触发。

MASTERmn 位的设定 （通道 2、 6）
0：独立通道运行功能
SPLITmn 位的设定 （通道 1、 3）
1：8 位定时器模式

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。
01B：选择 CKm2 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。
11B：选择 CKm3 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	1/0

0：由 TOmn 输出 “0”。
1：由 TOmn 输出 “1”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	1/0

0：停止由计数运行进行的 TOmn 输出。
1：允许由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

注 TMRm2、 TMRm6 的情况：MASTERmn 位
TMRm1、 TMRm3 的情况：SPLITmn 位
TMRm0、 TMRm7 的情况：固定为 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-46 间隔定时器 / 方波输出功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置 “1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 ～ CKm3 的时钟频率。	
通道初始设定	设定定时器模式寄存器 mn （TMRmn）（确定通道的运行模式）。 给定时器数据寄存器 mn （TDRmn）设定间隔 （周期）值。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	使用 TOmn 输出的情况： 将定时器输出模式寄存器 m（TOMm）的 TOMmn 位置 “0” （主控通道输出模式）。 将 TOLmn 位置 “0”。 设定 TOmn 位，确定 TOmn 输出的初始电平。	TOmn 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为 “0” 时，输出 TOmn 初始设定的电平。
	将 TOEmn 位置 “1”，允许 TOmn 的运行。 将端口寄存器和端口模式寄存器置 “0”。	因为通道处于运行停止状态，所以 TOmn 不变。 TOmn 引脚输出 TOmn 设定的电平。
开始运行	（只在使用 TOmn 输出并且重新开始时，将 TOEmn 位置 “1”） 将 TSmn （TSHm1、 TSHm3）位置 “1”。 因为 TSmn （TSHm1、 TSHm3）位是触发位，所以自动返回到 “0”。	TEmn（TEHm1、TEHm3）位为 “1” 并且开始计数。 通过输入计数时钟，将 TDRmn 寄存器的值装入定时器计数寄存器 mn（TCRmn）。当 TMRmn 寄存器的 MDmn0 位为 “1” 时，产生 INTTMmn 并且 TOmn 进行交替输出。
运行中	禁止更改 TMRmn 寄存器、TOMmn 位和 TOLmn 位的设定值。 能任意更改 TDRmn 寄存器的设定值。 总是能读 TCRmn 寄存器。 不使用 TSRmn 寄存器。 能更改 TOm 寄存器和 TOEm 寄存器的设定值。	计数器 （TCRmn）进行递减计数。如果计数到 “0000H”，就再次将 TDRmn 寄存器的值装入 TCRmn 寄存器，继续进行计数。当检测到 TCRmn 为 “0000H” 时，产生 INTTMmn 并且 TOmn 进行交替输出。 此后，重复此运行。
停止运行	将 TTmn （TTHm1,TTHm3）位置 “1”。 因为 TTmn （TTHm1、 TTHm3）位是触发位，所以自动返回到 “0”。	TEmn（TEHm1、TEHmn）位为 “0” 并且停止计数。 TCRmn 寄存器保持计数值而停止计数。 TOmn 输出不被初始化而保持状态。
	将 TOEmn 位置 “0” 并且给 TOmn 位设定值。	TOmn 引脚输出 TOmn 位设定的电平。

重新开始运行

图 6-46 间隔定时器 / 方波输出功能时的操作步骤 (2/2)

	软件操作	硬件状态
TAU 停止	要保持 TOmn 引脚输出电平的情况： 在给端口寄存器设定要保持的值后将 TOmn 位置“0”。 不要保持 TOmn 引脚输出电平的情况： 不需要设定。	通过端口功能保持 TOmn 引脚的输出电平。
	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。 （TOmn位变为“0”并且TOmn引脚变为端口功能）

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.8.2 作为外部事件计数器的运行

能用作事件计数器，对检测到的 TImn 引脚输入的有效边沿 （外部事件）进行计数，如果达到规定的计数值，就产生中断。规定的计数值能用以下计算式进行计算：

规定的计数值 = TDRmn 的设定值 +1

在事件计数器模式中，定时器计数寄存器 mn （TCRmn）用作递减计数器。

通过将定时器通道开始寄存器 m （TSm）的任意通道开始触发位 （TSmn、 TSHm1、 TSHm3）置 “1”，将定时器数据寄存器 mn （TDRmn）的值装入 TCRmn 寄存器。

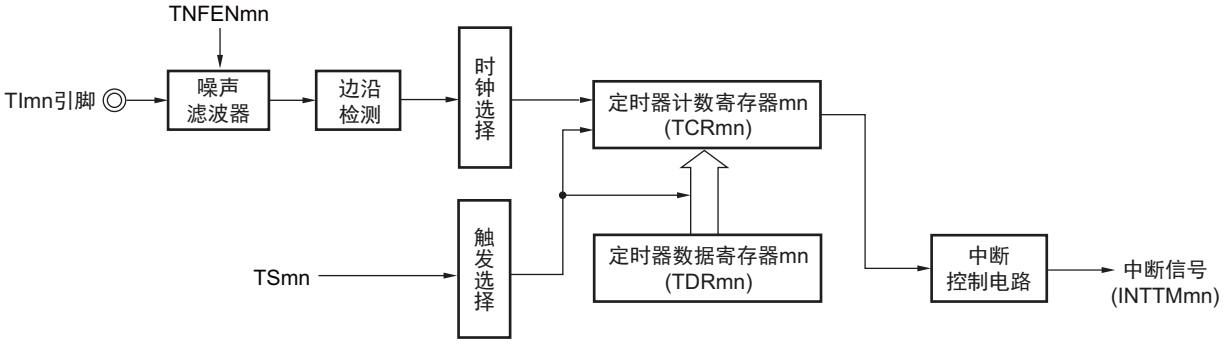
TCRmn 寄存器在检测到 TImn 引脚输入的有效边沿的同时进行递减计数。如果 TCRmn 变为 “0000H”，就再次装入 TDRmn 寄存器的值并且输出 INTTMmn。

此后，继续同样的运行。

因为 TOmn 引脚根据外部事件输出不规则的波形，所以必须将定时器输出允许寄存器 m（TOEm）的 TOEmn 位置 “0”，停止输出。

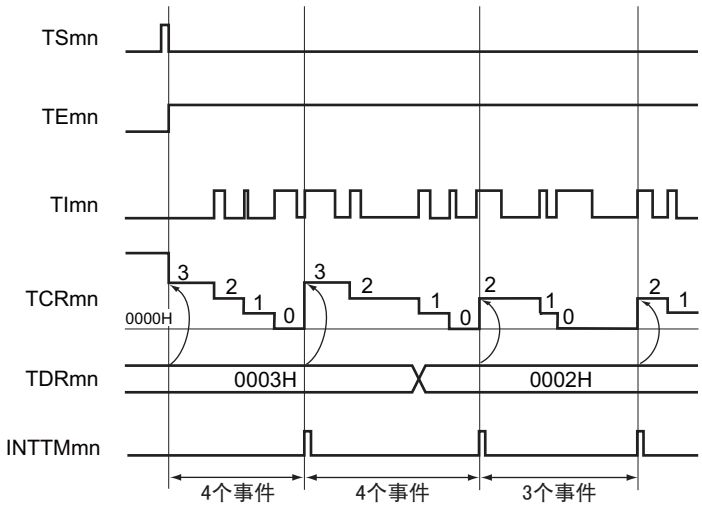
能随时改写 TDRmn 寄存器，改写的 TDRmn 寄存器的值在下一个计数期间有效。

图 6-47 作为外部事件计数器运行的框图



备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-48 作为外部事件计数器运行的基本时序例子



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. TSmn： 定时器通道开始寄存器 m （TSm）的 bit n
TEmn： 定时器通道允许状态寄存器 m （TEm）的 bit n
TImn： TImn 引脚输入信号
TCRmn：定时器计数寄存器 mn （TCRmn）
TDRmn：定时器数据寄存器 mn （TDRmn）

图 6-49 外部事件计数器模式时的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

通道 n 的运行模式
011B：事件计数器模式

开始计数时的运行设定
0 ：在开始计数时，不产生 INTTMmn 并且不反相定时器的输出。

TImn 引脚输入边沿的选择
00B：检测下降沿。
01B：检测上升沿。
10B：检测双边沿。
11B：禁止设定。

开始触发的选择
000B：只选择软件开始触发。

MASTERmn 位的设定 （通道 2、 6）
0：独立通道运行功能
SPLITmn 位的设置 （通道 1、 3）
1：8 位定时器模式

计数时钟的选择
1：选择 TImn 引脚输入的有效边沿。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。
01B：选择 CKm2 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。
11B：选择 CKm3 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

注 TMRm2、 TMRm6：MASTERmn 位
TMRm1、 TMRm3：SPLITmn位
TMRm0、 TMRm7：固定为“0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-50 外部事件计数器功能时的操作步骤

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置“1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 ～ CKm3 的时钟频率。	
通道初始设定	设定定时器模式寄存器 mn （TMRmn）（确定通道的运行模式）。 给定时器数据寄存器 mn （TDRmn）设定计数值。 将定时器输出允许寄存器 m （TOEm）的 TOEmn 位置“0”。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
开始运行	将 TSmn 位置“1”。 因为 TSmn 位是触发位，所以自动返回到“0”。	TEmn 位为“1”并且开始计数。 将 TDRmn 寄存器的值装入定时器计数寄存器 mn （TCRmn），进入 TImn 引脚输入边沿的检测等待状态。
运行中	能任意更改 TDRmn 寄存器的设定值。 将噪声过滤器允许寄存器 1、2（NFEN1、NFEN2）的对应位置“1”。 总是能读 TCRmn 寄存器。 不使用 TSRmn 寄存器。 禁止更改 TMRmn 寄存器、TOMmn 位、TOLmn 位、TOmn 位和 TOEmn 位的设定值。	每当检测到 TImn 引脚的输入边沿时，计数器（TCRmn）就进行递减计数。如果计数到“0000H”，就再次将 TDRmn 寄存器的值装入 TCRmn 寄存器，继续进行计数。当检测到 TCRmn 位为“0000H”时，产生 INTTMmn。 此后，重复此运行。
停止运行	将 TTmn 位置“1”。 因为 TTmn 位是触发位，所以自动返回到“0”。	TEmn 位为“0”并且停止计数。 TCRmn 寄存器保持计数值而停止计数。
TAU 停止	将 PER0 寄存器的 TAU0EN 位置“0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。

重新开始运行

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.8.3 作为分频器的运行 （只限于通道 0）

能对 TI00 引脚输入的时钟进行分频并且用作 TO00 引脚输出的分频器。

TO00 输出的分频时钟频率能用以下计算式进行计算：

- 选择上升沿或者下降沿的情况：
  分频时钟频率 = 输入时钟频率 / {(TDR00 的设定值 + 1) × 2}
- 选择双边沿的情况：
  分频时钟频率≈输入时钟频率 / (TDR00 的设定值 + 1)

在间隔定时器模式中，定时器计数寄存器 00 （TCR00）用作递增计数器。

在将定时器通道开始寄存器 0 （TS0）的通道开始触发位 （TS00）置 “1” 后，通过检测到 TI00 的有效边沿将定时器数据寄存器 00 （TDR00）的值装入 TCR00 寄存器。此时，如果定时器模式寄存器 00 （TMR00）的 MD000 位为 “0”，就不输出 INTTM00 并且 TO00 不进行交替输出；如果 TMR00 寄存器的 MD000 位为 “1”，就输出 INTTM00 并且 TO00 进行交替输出。

然后，TCR00 寄存器通过 TI00 引脚输入的有效边沿进行递减计数。如果 TCR00 变为 “0000H”，TO00 就进行交替输出。同时，将 TDR00 寄存器的值装入 TCR00 寄存器，继续进行计数。

如果选择 TI00 引脚输入的双边沿检测，输入时钟的占空比误差就会影响 TO00 输出的分频时钟周期。

TO00 输出的时钟周期包含 1 个运行时钟周期的采样误差。

TO00 输入的时钟周期 = 理想的 TO00 输出时钟周期 ± 运行时钟周期 （误差）

能随时改写 TDR00 寄存器，改写的 TDR00 寄存器的值在下一个计数期间有效。

图 6-51 作为分频器运行的框图

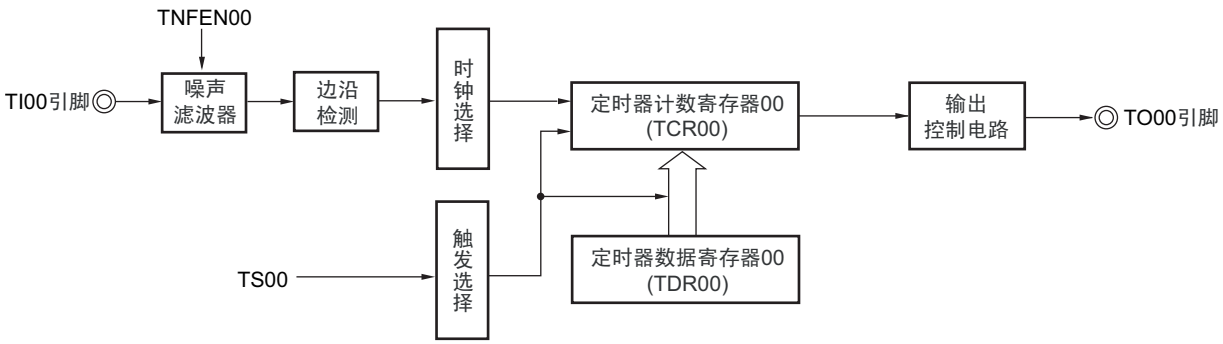
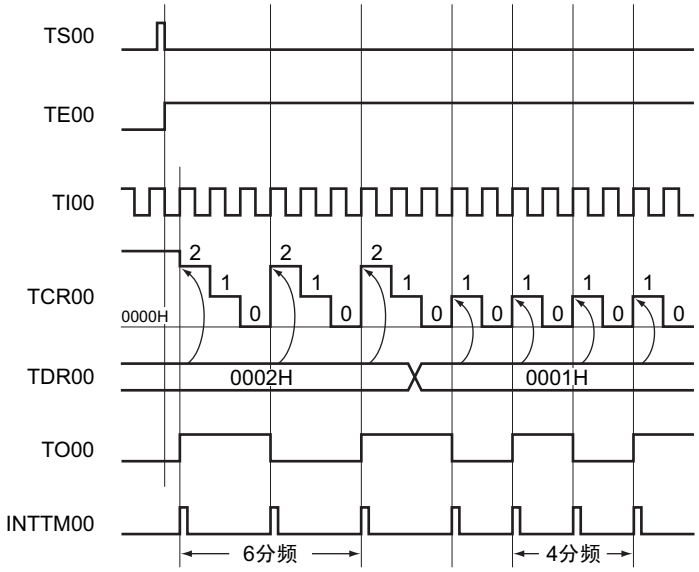


图 6-52 作为分频器运行的基本时序例子 （MD000=1）



备注 TS00： 定时器通道开始寄存器 0 （TS0）的 bit0
TE00： 定时器通道允许状态寄存器0 （TE0）的bit0
TI00： TI00引脚输入信号
TCR00：定时器计数寄存器00 （TCR00）
TDR00：定时器数据寄存器00 （TDR00）
TO00： TO00引脚输出信号

图 6-53 作为分频器运行时的寄存器设定内容例子

(a) 定时器模式寄存器 00 （TMR00）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR00	CKS001	CKS000		CCS00	MASTER00	STS002	STS001	STS000	CIS001	CIS000			MD003	MD002	MD001	MD000
	1/0	0	0	1	0	0	0	0	1/0	1/0	0	0	0	0	0	1/0

通道 0 的运行模式
000B：间隔定时器

开始计数时的运行设定
0：在开始计数时，不产生 INTTM00 并且不反相定时器的输出。
1：在开始计数时，产生 INTTM00 并且反相定时器的输出。

TI00 引脚输入边沿的选择
00B：检测下降沿。
01B：检测上升沿。
10B：检测双边沿。
11B：禁止设定。

开始触发的选择
000B：只选择软件开始触发。

从属 / 主控的选择
0：独立通道运行功能

计数时钟的选择
1：选择 TI00 引脚输入的有效边沿。

运行时钟 （f_{MCK}）的选择
00B：选择 CK00 作为通道 0 的运行时钟。
10B：选择 CK01 作为通道 0 的运行时钟。

(b) 定时器输出寄存器 0 （TO0）

	bit0
TO0	TO00
	1/0

0：由 TO00 输出 “0”。
1：由 TO00 输出 “1”。

(c) 定时器输出允许寄存器 0 （TOE0）

	bit0
TOE0	TOE00
	1/0

0：停止由计数运行进行的 TO00 输出。
1：允许由计数运行进行的 TO00 输出。

(d) 定时器输出电平寄存器 0 （TOL0）

	bit0
TOL0	TOL00
	0

0：在主控通道输出模式 （TOM00=0）中置 “0”。

(e) 定时器输出模式寄存器 0 （TOM0）

	bit0
TOM0	TOM00
	0

0：设定主控通道输出模式。

图 6-54 分频器功能时的操作步骤

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置“1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 0 （TPS0）。 确定 CK00 ～ CK03 的时钟频率。	
通道初始设定	设定定时器模式寄存器 00（TMR00）（确定通道的运行模式，选择检测边沿）。 给定时器数据寄存器 00 （TDR00）设定间隔 （周期）值。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	将定时器输出模式寄存器 0 （TOM0）的 TOM00 位置 “0” （主控通道输出模式）。 将 TOL00 位置 “0”。 设定 TO00 位并且确定 TO00 输出的初始电平。	TO00 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为“0”时，输出 TO00 的初始设定电平。
	将 TOE00 位置 “1”，允许 TO00 运行。	因为通道处于运行停止状态，所以 TO00 不变。
	将端口寄存器和端口模式寄存器置 “0”。	TO00 引脚输出 TO00 的设定电平。
开始运行	将 TOE00 位置 “1” （只限于重新开始运行）。 将 TS00 位置 “1”。 因为 TS00 位是触发位，所以自动返回到 “0”。	TE00 位为 “1” 并且开始计数。 通过输入计数时钟将 TDR00 寄存器的值装入定时器计数寄存器 00（TCR00）。当 TMR00 寄存器的 MD000 位为 “1” 时，产生 INTTM00 并且 TO00 进行交替输出。
运行中	能任意更改 TDR00 寄存器的设定值。 将噪声过滤器允许寄存器 1、2（NFEN1、NFEN2）的对应位置 “1”。 总是能读 TCR00 寄存器。 不使用 TSR00 寄存器。 能更改 TO0 寄存器和 TOE0 寄存器的设定值。 禁止更改 TMR00 寄存器、 TOM00 位和 TOL00 位的设定值。	计数器 （TCR00）进行递减计数。如果计数到 “0000H”，就再次将 TDR00 寄存器的值装入 TCR00 寄存器，继续进行计数。当检测到 TCR00 位为 “0000H” 时，产生 INTTM00 并且 TO00 进行交替输出。 此后，重复此运行。
停止运行	将 TT00 位置 “1”。 因为 TT00 位是触发位，所以自动返回到 “0”。	TE00 位为 “0” 并且停止计数。 TCR00 寄存器保持计数值而停止计数。 TO00 输出不被初始化而保持状态。
	将 TOE00 位置 “0” 并且给 TO00 位设定值。	TO00 引脚输出 TO00 的设定电平。
TAU 停止	要保持 TO00 引脚输出电平的情况： 在给端口寄存器设定要保持的值后将 TO00 位置 “0”。 不需要保持 TO00 引脚输出电平的情况： 不需要设定。	通过端口功能保持 TO00 引脚的输出电平。
	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。 （TO00 位变为 “0” 并且 TO00 引脚变为端口功能）

重新开始运行

6.8.4 作为输入脉冲间隔测量的运行

能在 TImn 有效边沿捕捉计数值，测量 TImn 输入脉冲的间隔。另外，在 TEmn 为 “1” 的期间，如果将软件操作 （TSmn=1）设定为捕捉触发，就能捕捉计数值。

脉冲间隔能用以下计算式进行计算：

TImn 输入脉冲间隔 = 计数时钟的周期 × ((10000H × TSRmn:OVF) + (TDRmn 的捕捉值 +1))

注意 因为通过定时器模式寄存器 mn （TMRmn）的 CKSmn 位选择的运行时钟对 TImn 引脚输入进行采样，所以产生最大 1 个运行时钟的误差。

在捕捉模式中，定时器计数寄存器 mn （TCRmn）用作递增计数器。

如果将定时器通道开始寄存器 m （TSm）的通道开始触发位 （TSmn）置 “1”， TCRmn 寄存器就通过计数时钟从 “0000H” 开始递增计数。

如果检测到 TImn 引脚输入的有效边沿，就将 TCRmn 寄存器的计数值传送 （捕捉）到定时器数据寄存器 mn （TDRmn），同时将 TCRmn 寄存器清 “0000H”，然后输出 INTTMmn。此时，如果计数器发生上溢，就将定时器状态寄存器 mn （TSRmn）的 OVF 位置 “1”。如果计数器没有发生上溢，就清除 OVF 位。此后，继续同样的运行。

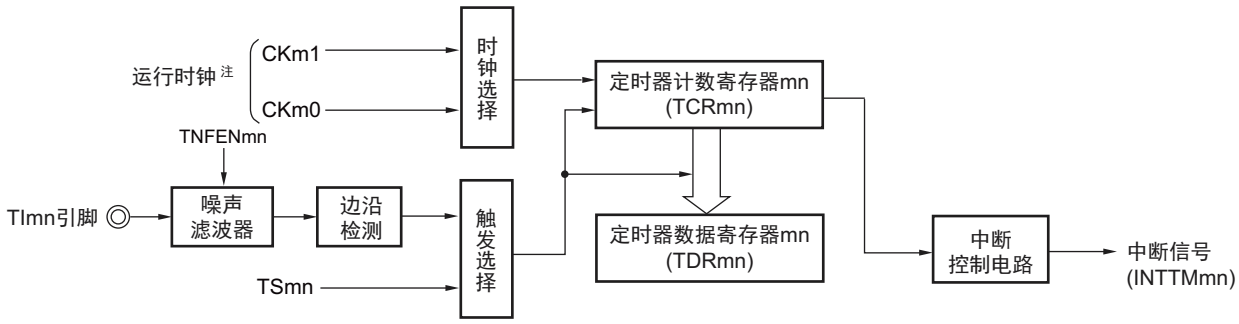
在将计数值捕捉到 TDRmn 寄存器的同时，根据在测量期间是否发生上溢，更新 TSRmn 寄存器的 OVF 位，并且能确认捕捉值的上溢状态。

即使计数器进行了 2 个周期以上的完整计数，也认为发生上溢而将 TSRmn 寄存器的 OVF 位置 “1”。但是，在发生 2 次以上的上溢时，无法通过 OVF 位正常测量间隔值。

将 TMRmn 寄存器的 STSmn2 ～ STSmn0 位置 “001B”，将 TImn 的有效边沿用于开始触发和捕捉触发。

当 TEmn 位为 “1” 时，不使用 TImn 引脚输入就能将软件操作 （TSmn=1）设定为捕捉触发。

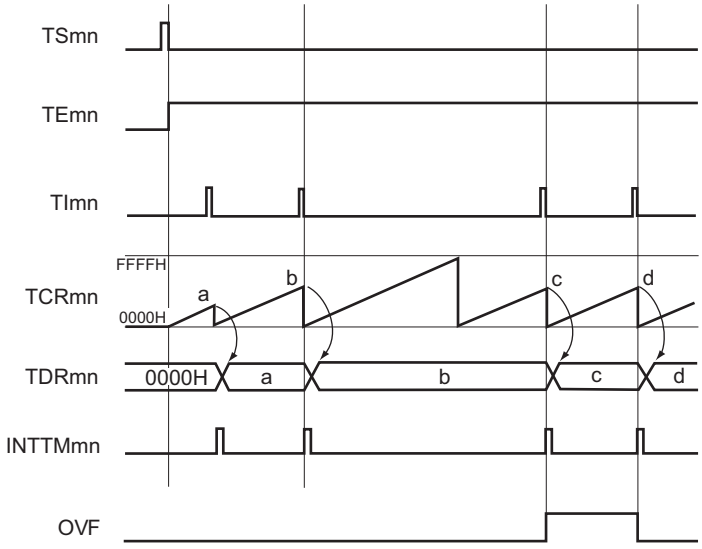
图 6-55 作为输入脉冲间隔测量运行的框图



注 在通道 1 和通道 3 时，能从 CKm0、 CKm1、 CKm2 和 CKm3 中选择时钟。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-56 作为输入脉冲间隔测量的运行基本时序例子 （MDmn0=0）



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. TSmn： 定时器通道开始寄存器 m （TSm）的 bit n
   TEmn： 定时器通道允许状态寄存器 m （TEm）的 bit n
   TImn： TImn 引脚输入信号
   TCRmn：定时器计数寄存器 mn （TCRmn）
   TDRmn：定时器数据寄存器 mn （TDRmn）
   OVF： 定时器状态寄存器 mn （TSRmn）的 bit0

图 6-57 输入脉冲间隔测量时的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

通道 n 的运行模式
010B：捕捉模式

开始计数时的运行设定
0：在开始计数时，不产生 INTTMmn。
1：在开始计数时，产生 INTTMmn。

TImn 引脚输入边沿的选择
00B：检测下降沿。
01B：检测上升沿。
10B：检测双边沿。
11B：禁止设定。

捕捉触发的选择
001B：选择 TImn 引脚输入的有效边沿。

MASTERmn 位的设定 （通道 2、 6）
0：独立通道运行功能
SPLITmn 位的设定 （通道 1、 3）
0：16 位定时器

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。
01B：选择 CKm2 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。
11B：选择 CKm3 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

注 TMRm2、 TMRm6：MASTERmn 位
TMRm1、 TMRm3：SPLITmn位
TMRm0、 TMRm7：固定为“0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-58 输入脉冲间隔测量功能时的操作步骤

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置 “1”。→	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 ～ CKm3 的时钟频率。	
通道初始设定	将噪声滤波器允许寄存器 1、2（NFEN1、NFEN2）的对应位置 “0”（OFF）或者 “1”（ON）。设定定时器模式寄存器 mn （TMRmn）（确定通道的运行模式）。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
开始运行	将 TSmn 位置 “1”。→ 因为 TSmn 位是触发位，所以自动返回到 “0”。	TEmn 位为 “1” 并且开始计数。 通过输入计数时钟将定时器计数寄存器 mn （TCRmn）清 “0000H”。当 TMRmn 寄存器的 MDmn0 位为 “1” 时，产生 INTTMmn。
运行中	只能更改 TMRmn 寄存器的 CISmn1 位和 CISmn0 位的设定值。 能随时读 TDRmn 寄存器。 能随时读 TCRmn 寄存器。 能随时读 TSRmn 寄存器。 禁止更改 TOMmn 位、 TOLmn 位、 TOmn 位和 TOEmn 位的设定值。	计数器（TCRmn）从 “0000H” 开始递增计数，如果检测到 TImn 引脚输入的有效边沿，就将计数值传送（捕捉）到定时器数据寄存器 mn （TDRmn），同时将TCRmn寄存器清“0000H”并且产生INTTMmn。此时，如果发生上溢，就将定时器状态寄存器 mn （TSRmn）的 OVF 位置位。如果不发生上溢，就清除 OVF 位。 此后，重复此运行。
停止运行	将 TTmn 位置 “1”。→ 因为 TTmn 位是触发位，所以自动返回到 “0”。	TEmn 位变为 “0” 并且停止计数。 TCRmn 寄存器保持计数值而停止计数。 保持 TSRmn 寄存器的 OVF 位。
TAU 停止	将 PER0 寄存器的 TAU0EN 位置 “0”。→	断电状态 对全部电路和各通道的 SFR 进行初始化。

重新开始运行

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.8.5 作为输入信号高 / 低电平宽度测量的运行

能通过在 TImn 引脚输入的一个边沿开始计数并且在另一个边沿捕捉计数值，测量 TImn 的信号宽度（高电平宽度 / 低电平宽度）。 TImn 的信号宽度能用以下计算式进行计算。

TImn 输入的信号宽度 = 计数时钟的周期 × ((10000H × TSRmn:OVF) + (TDRmn 的捕捉值 + 1))

注意 因为通过定时器模式寄存器 mn （TMRmn）的 CKSmn 位选择的运行时钟对 TImn 引脚输入进行采样，所以产生最大 1 个运行时钟的误差。

在捕捉 & 单次计数模式中，定时器计数寄存器 mn （TCRmn）用作递增计数器。

如果将定时器通道开始寄存器 m （TSm）的通道开始触发位 （TSmn）置 “1”， TEmn 位就变为 “1”，并且进入 TImn 引脚的开始边沿检测等待状态。

如果检测到 TImn 引脚输入的开始边沿（在测量高电平宽度时为 TImn 引脚输入的上升沿），就与计数时钟同步，从 “0000H” 开始递增计数。然后，如果检测到有效捕捉边沿 （在测量高电平宽度时为 TImn 引脚输入的下降沿），就在将计数值传送到定时器数据寄存器 mn （TDRmn）的同时，输出 INTTMmn。此时，如果计数器发生上溢，就将定时器状态寄存器 mn （TSRmn）的 OVF 位置位。如果计数器没有发生上溢，就清除 OVF 位。TCRmn 寄存器的值变为 “ 传送到 TDRmn 寄存器的值 +1” 而停止计数，并且进入 TImn 引脚的开始边沿检测等待状态。此后，继续同样的运行。

在将计数值捕捉到 TDRmn 寄存器的同时，根据在测量期间是否发生上溢，更新 TSRmn 寄存器的 OVF 位，并且能确认捕捉值的上溢状态。

即使计数器进行了 2 个周期以上的完整计数，也认为发生上溢而将 TSRmn 寄存器的 OVF 位置 “1”。但是，在发生 2 次以上的上溢时，无法通过 OVF 位正常测量间隔值。

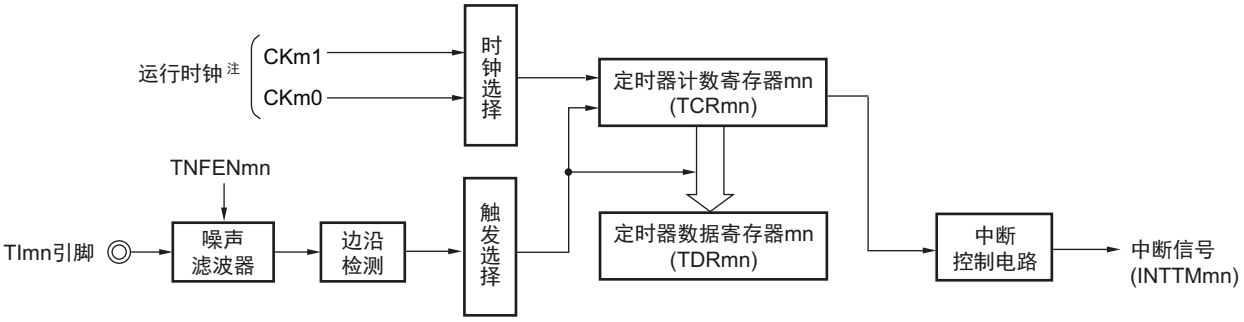
能通过 TMRmn 寄存器的 CISmn1 位和 CISmn0 位来设定是测量 TImn 引脚的高电平宽度还是低电平宽度。

此功能是以测量 TImn 引脚的输入信号宽度为目的，因此不能在 TEmn 位为 “1” 的期间将 TSmn 位置 “1”。

TMRmn 寄存器的 CISmn1、 CISmn0=10B：测量低电平宽度。

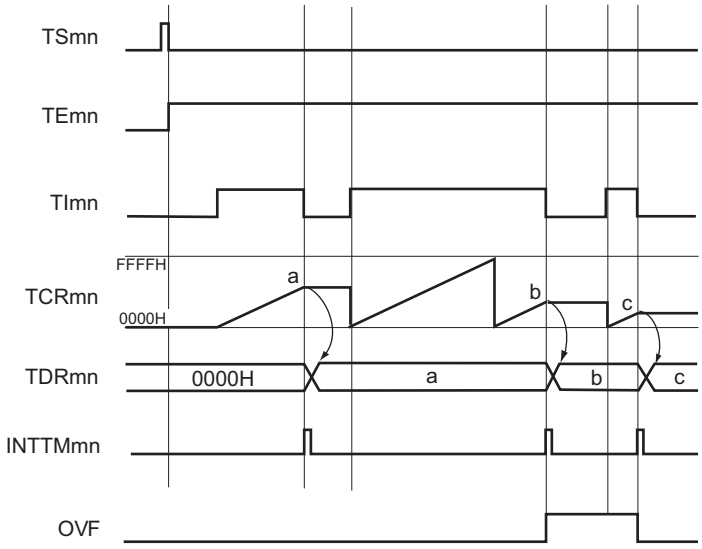
TMRmn 寄存器的 CISmn1、 CISmn0=11B：测量高电平宽度。

图 6-59 作为输入信号高 / 低电平宽度测量运行的框图



注 在通道 1 和通道 3 时，能从 CKm0、 CKm1、 CKm2 和 CKm3 中选择时钟。

图 6-60 作为输入信号高 / 低电平宽度测量的运行基本时序例子



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. TSmn： 定时器通道开始寄存器 m （TSm）的 bit n
TEmn： 定时器通道允许状态寄存器 m （TEm）的 bit n
TImn： TImn 引脚输入信号
TCRmn：定时器计数寄存器 mn （TCRmn）
TDRmn：定时器数据寄存器 mn （TDRmn）
OVF： 定时器状态寄存器 mn （TSRmn）的 bit0

图 6-61 测量输入信号的高 / 低电平宽度时的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	0

通道 n 的运行模式
110B：捕捉 & 单次计数

开始计数时的运行设定
0：在开始计数时，不产生 INTTMmn。

TImn 引脚输入边沿的选择
10B：双边沿 （测量低电平宽度）
11B：双边沿 （测量高电平宽度）

开始触发的选择
010B：选择 TImn 引脚输入的有效边沿。

MASTERmn 位的设定 （通道 2、 6）
0：独立通道运行功能
SPLITmn 位的设定 （通道 1、 3）
0：16 位定时器模式

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。
01B：选择 CKm2 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。
11B：选择 CKm3 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

注 TMRm2、 TMRm6：MASTERmn 位
TMRm1、 TMRm3：SPLITmn位
TMRm0、 TMRm7：固定为“0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-62 输入信号高 / 低电平宽度测量功能时的操作步骤

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置 “1”。	上电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 ～ CKm3 的时钟频率。	
通道初始设定	将噪声滤波器允许寄存器 1 （NFEN1）的对应位置 “0” （OFF）或者 “1” （ON）。设定定时器模式寄存器 mn （TMRmn）（确定通道的运行模式）。 将 TOEmn 位置 “0”，并且停止 TOmn 运行。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
开始运行	将 TSmn 位置 “1”。 因为 TSmn 位是触发位，所以自动返回到 “0”。	TEmn 位为 “1” 并且进入 TImn 引脚的开始边沿检测等待状态。
	检测 TImn 引脚输入的计数开始边沿。	将定时器计数寄存器 mn （TCRmn）清 “0000H” 并且开始递增计数。
运行中	能任意更改 TDRmn 寄存器的设定值。 能随时读 TCRmn 寄存器。 不使用 TSRmn 寄存器。 禁止更改 TMRmn 寄存器、TOMmn 位、TOLmn 位、TOmn 位和 TOEmn 位的设定值。	在检测到 TImn 引脚的开始边沿后，计数器 （TCRmn）从 “0000H” 开始递增计数。如果检测到 TImn 引脚的捕捉边沿，就将计数值传送到定时器数据寄存器 mn （TDRmn），并且产生 INTTMmn。此时，如果发生上溢，就将定时器状态寄存器 mn （TSRmn）的 OVF 位置位。如果没有发生上溢，就清除 OVF 位。TCRmn 寄存器在检测到下一个 TImn 引脚的开始边沿前停止计数。 此后，重复此运行。
停止运行	将 TTmn 位置 “1”。 因为 TTmn 位是触发位，所以自动返回到 “0”。	TEmn 位为 “0” 并且停止计数。 TCRmn 寄存器保持计数值而停止计数。 保持 TSRmn 寄存器的 OVF 位。
TAU 停止	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。

重新开始运行

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 7）

6.8.6 作为延迟计数器的运行

能通过 TImn 引脚输入的有效边沿检测（外部事件）开始递减计数，并且以任意的设定间隔产生 INTTMmn（定时器中断）。

在 TEmn 位为 “1” 的期间，能通过软件将 TSmn 位置 “1”，开始递减计数，并且以任意的设定间隔产生 INTTMmn （定时器中断）。

中断产生周期能用以下计算式进行计算：

INTTMmn （定时器中断）的产生周期 = 计数时钟的周期 × (TDRmn 的设定值 + 1)

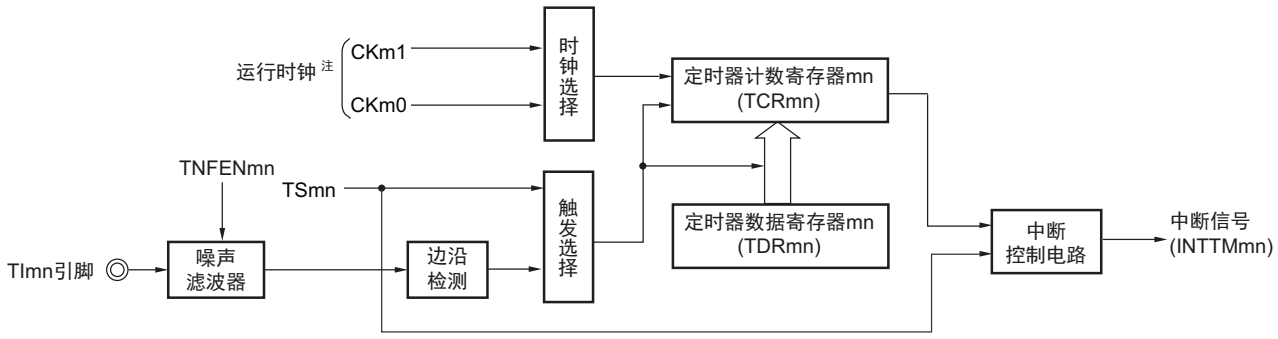
在单次计数模式中，定时器计数寄存器 mn （TCRmn）用作递减计数器。

如果将定时器通道开始寄存器 m （TSm）的通道开始触发位 （TSmn、 TSHm1、 TSHm3）置 “1”， TEmn 位、 TEHm1 位和 TEHm3 位就变为 “1”，并且进入 TImn 引脚的有效边沿检测等待状态。

通过TImn引脚输入的有效边沿检测，开始TCRmn寄存器的运行，并且装入定时器数据寄存器mn（TDRmn）的值。TCRmn 寄存器通过计数时钟，从装入的 TDRmn 寄存器的值开始递减计数。如果 TCRmn 变为 “0000H”，就输出 INTTMmn，并且在检测到下一个 TImn 引脚输入的有效边沿前停止计数。

能随时改写 TDRmn 寄存器，改写的 TDRmn 寄存器的值从下一个周期开始有效。

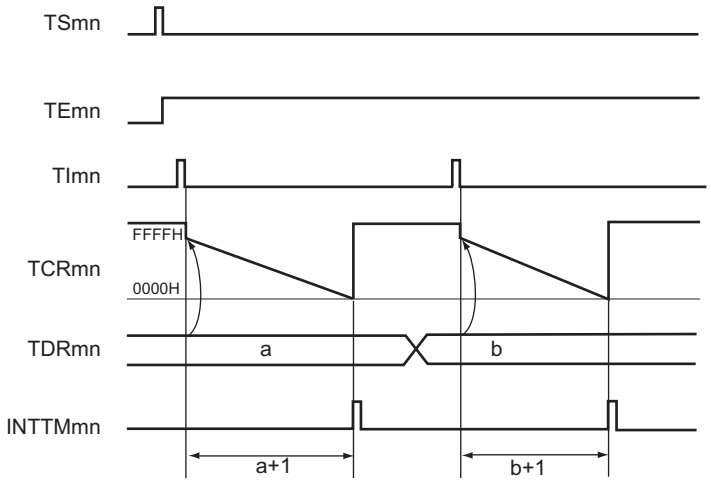
图 6-63 作为延迟计数器运行的框图



注 在通道 1 和通道 3 时，能从 CKm0、 CKm1、 CKm2 和 CKm3 中选择时钟。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-64 作为延迟计数器的运行基本时序例子



备注 1. m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

2. TSmn： 定时器通道开始寄存器 m （TSm）的 bit n

TEmn： 定时器通道允许状态寄存器 m （TEm）的 bit n

TImn： TImn 引脚输入信号

TCRmn：定时器计数寄存器 mn （TCRmn）

TDRmn：定时器数据寄存器 mn （TDRmn）

图 6-65 延迟计数器功能时的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

通道 n 的运行模式
100B：单次计数模式

运行中的开始触发
0：触发输入无效。
1：触发输入有效。

TImn 引脚输入边沿的选择
00B：检测下降沿。
01B：检测上升沿。
10B：检测双边沿。
11B：禁止设定。

开始触发的选择
001B：选择 TImn 引脚输入的有效边沿。

MASTERmn 位的设定 （通道 2、 6）
0：独立通道运行功能
SPLITmn 位的设定 （通道 1、 3）
1：8 位定时器模式

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。
01B：选择 CKm2 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。
11B：选择 CKm3 作为通道 1、 3 的运行时钟 （只有通道 1、 3 才能选择）。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

注 TMRm2、 TMRm6：MASTERmn 位
TMRm1、 TMRm3：SPLITmn位
TMRm0、 TMRm7：固定为“0”。

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

图 6-66 延迟计数器功能时的操作步骤

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置“1”。→	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 ～ CKm3 的时钟频率。	
通道初始设定	将噪声滤波器允许寄存器 1 （NFEN1）的对应位置“0”（OFF）或者“1”（ON）。设定定时器模式寄存器 mn （TMRmn）（确定通道的运行模式）。 给定时器数据寄存器 mn（TDRmn）设定输出延迟。 将 TOEmn 位置“0”并且停止 TOmn 运行。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
开始运行	将 TSmn 位置“1”。→ 因为 TSmn 位是触发位，所以自动返回到“0”。	TEmn 位为“1”并且进入 TImn 引脚输入的有效边沿检测等待状态。
	检测 TImn 引脚输入的有效边沿。→	将 TDRmn 寄存器的值装入定时器计数寄存器 mn（TCRmn）。
运行中	能任意更改 TDRmn 寄存器的设定值。 能随时读 TCRmn 寄存器。 不使用 TSRmn 寄存器。	计数器（TCRmn）进行递减计数。如果 TCRmn 计数到 “0000H”，就输出 INTTMmn，并且在下一次 TImn 引脚输入前 TCRmn 为“0000H”而停止计数。
停止运行	将 TTmn 位置“1”。→ 因为 TTmn 位是触发位，所以自动返回到“0”。	TEmn 位为“0”并且停止计数。 TCRmn 寄存器保持计数值而停止计数。
TAU 停止	将 PER0 寄存器的 TAU0EN 位置“0”。→	断电状态 对全部电路和各通道的 SFR 进行初始化。

重新开始运行

备注 m：单元号 （m=0） n：通道号 （n=0 ～ 3、 6、 7）

6.9 定时器阵列单元的多通道联动运行功能

6.9.1 作为单触发脉冲输出功能的运行

将 2 个通道成对使用，能通过 TImn 引脚的输入生成任意延迟脉宽的单触发脉冲。

延迟和脉宽能用以下计算式进行计算：

延迟 = {TDRmn （主控）的设定值 + 2} × 计数时钟周期
脉宽 = {TDRmp （从属）的设定值 } × 计数时钟周期

在单次计数模式中，主控通道运行并且对延迟进行计数。通过开始触发的检测，主控通道的定时器计数寄存器 mn（TCRmn）开始运行并且装入定时器数据寄存器 mn （TDRmn）的值。 TCRmn 寄存器通过计数时钟，从装入的 TDRmn 寄存器的值开始递减计数。如果 TCRmn 变为 “0000H”，就输出 INTTMmn，并且在检测到下一个开始触发前停止计数。

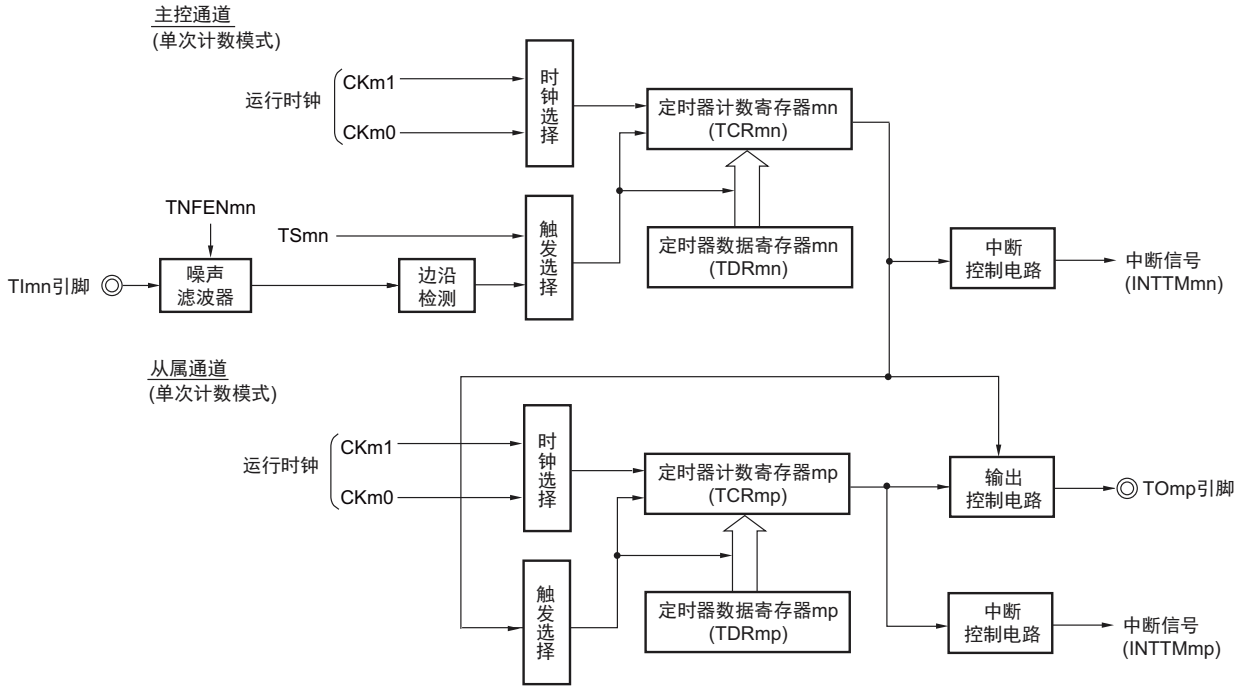
在单次计数模式中，从属通道运行并且对脉宽进行计数。将主控通道的 INTTMmn 作为开始触发，从属通道的 TCRmp 寄存器开始运行并且装入 TDRmp 寄存器的值。TCRmp 寄存器通过计数时钟，从装入的 TDRmp 寄存器值开始递减计数。如果计数值变为 “0000H”，就输出 INTTMmn，并且在检测到下一个开始触发 （主控通道的 INTTMmn）前停止计数。在从主控通道产生 INTTMmn 并且经过 1 个计数时钟后，TOmp 的输出电平变为有效电平，如果 TCRmp 变为 “0000H”，就变为无效电平。

也能不使用 TImn 引脚输入而将软件操作 （TSmn=1）作为开始触发来输出单触发脉冲。

注意 因为主控通道的定时器数据寄存器 mn （TDRmn）和从属通道的 TDRmp 寄存器的装入时序不同，所以如果在运行中改写 TDRmn 寄存器和 TDRmp 寄存器，就输出不正常的波形。必须在产生 INTTMmn 后改写 TDRmn 寄存器，并且在产生 INTTMmp 后改写 TDRmp 寄存器。

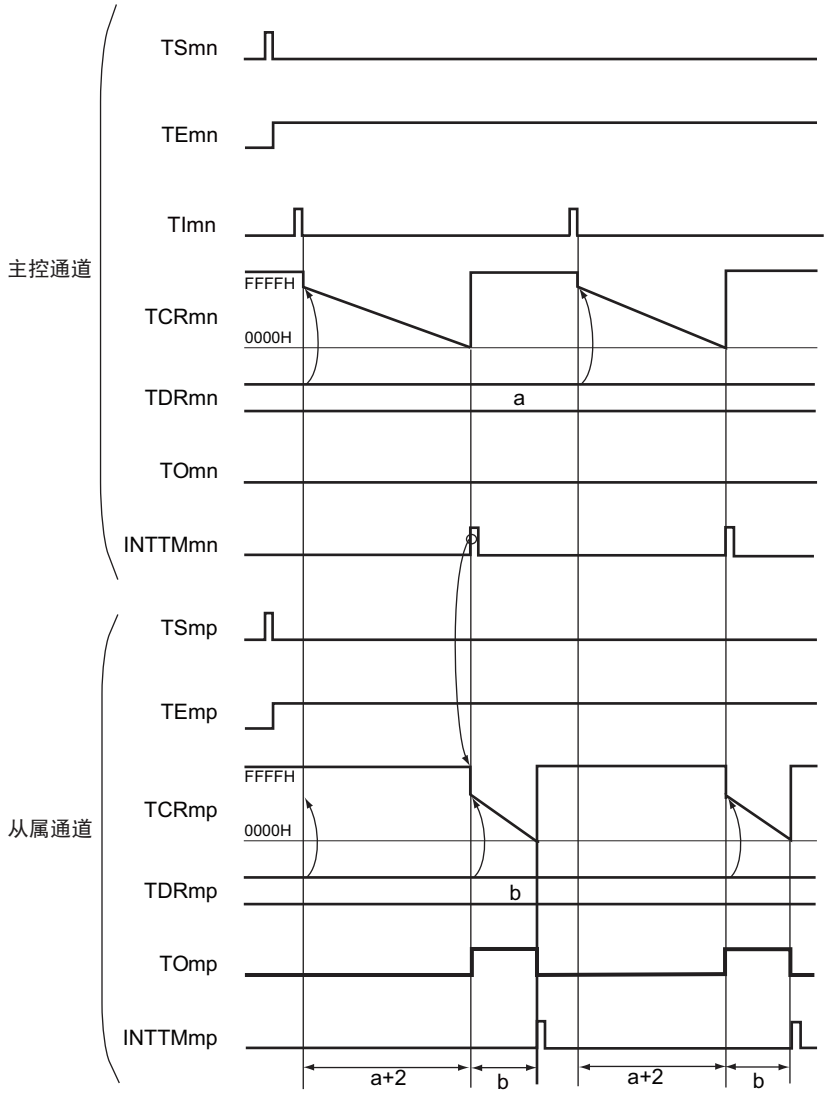
备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-67 作为单触发脉冲输出功能运行的框图



备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-68 作为单触发脉冲输出功能的运行基本时序例子

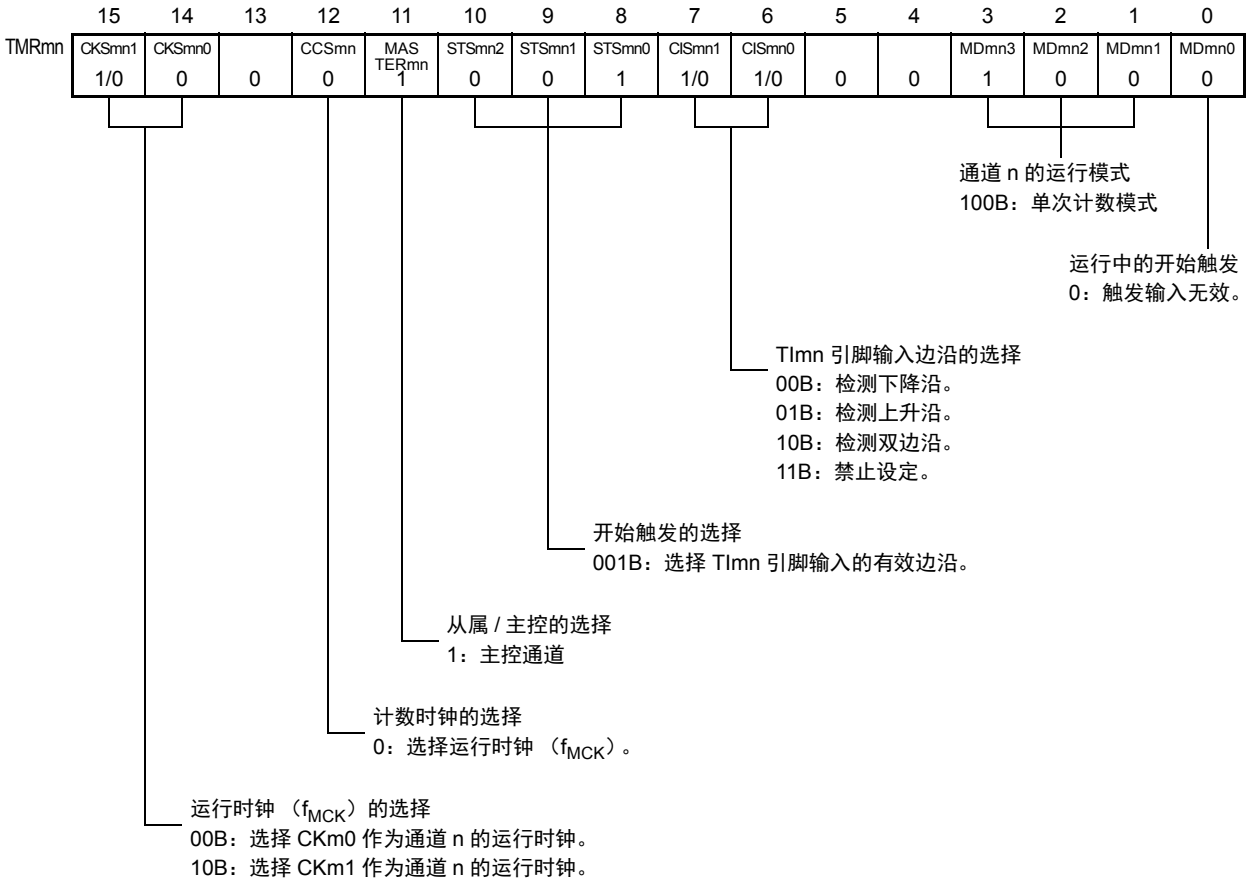


备注 1. m：单元号 （m=0） n：主控通道号主控通道号 （n=0、 2、 6）
p：从属通道号 （n ＜ p ≤ 7）

2. TSmn、 TSmp： 定时器通道开始寄存器 m （TSm）的 bit n、 p
TEmn、 TEmp： 定时器通道允许状态寄存器 m （TEm）的 bit n、 p
TImn、 TImp： TImn 引脚和 TImp 引脚的输入信号
TCRmn、 TCRmp： 定时器计数寄存器 mn、 mp （TCRmn、 TCRmp）
TDRmn、 TDRmp： 定时器数据寄存器 mn、 mp （TDRmn、 TDRmp）
TOmn、 TOmp： TOmn 引脚和 TOmp 引脚的输出信号

图 6-69 单触发脉冲输出功能时 （主控通道）的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）



(b) 定时器输出寄存器 m （TOm）

bit n

TOm | TOmn 0 | 0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

bit n

TOEm | TOEmn 0 | 0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

bit n

TOLm | TOLmn 0 | 0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

bit n

TOMm | TOMmn 0 | 0：设定主控通道输出模式。

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）

图 6-70 单触发脉冲输出功能时 （从属通道）的寄存器设定内容例子

(a) 定时器模式寄存器 mp （TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

通道 p 的运行模式
100B：单次计数模式

运行中的开始触发
0：触发输入无效。

TImp 引脚输入边沿的选择
00B：因不使用而置 “00B”。

开始触发的选择
100B：选择主控通道的 INTTMmn。

MASTERmn 位的设定 （通道 2、 6）
0：从属通道
SPLITmp 位的设定 （通道 1、 3）
0：16 位定时器模式。

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 p 的运行时钟。
10B：选择 CKm1 作为通道 p 的运行时钟。
※ 和主控通道的设定相同。

(b) 定时器输出寄存器 m （TOm）

	bit p
TOm	TOmp
	1/0

0：由 TOmp 输出 “0”。
1：由 TOmp 输出 “1”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit p
TOEm	TOEmp
	1/0

0：停止由计数运行进行的 TOmp 输出。
1：允许由计数运行进行的 TOmp 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit p
TOLm	TOLmp
	1/0

0：正逻辑输出 （高电平有效）
1：负逻辑输出 （低电平有效）

(e) 定时器输出模式寄存器 m （TOMm）

	bit p
TOMm	TOMmp
	1

1：设定从属通道输出模式。

注 TMRm2、 TMRm6：MASTERmn 位
TMRm1、 TMRm3：SPLITmp位
TMRm7： 固定为“0”。

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-71 单触发脉冲输出功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置“1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，能写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 和 CKm1 的时钟频率。	
通道初始设定	将噪声滤波器允许寄存器 1 （NFEN1）的对应位置“1”。 设定使用的 2 个通道的定时器模式寄存器 mn、 mp（TMRmn、 TMRmp）（确定通道的运行模式）。 给主控通道的定时器数据寄存器 mn （TDRmn）设定输出延迟时间，并且给从属通道的 TDRmp 寄存器设定脉宽。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	从属通道的设定 设定定时器输出模式寄存器 m（TOMm）的 TOMmp 位置“1”（从属通道输出模式）。 设定 TOLmp 位。 设定 TOmp 位并且确定 TOmp 输出的初始电平。 将 TOEmp 位置“1”，允许 TOmp 运行。 将端口寄存器和端口模式寄存器置“0”。	TOmp 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为“0”时，输出 TOmp 初始设定的电平。 因为通道处于运行停止状态，所以 TOmp 不变。 TOmp 引脚输出 TOmp 设定的电平。

图 6-71 单触发脉冲输出功能时的操作步骤 (2/2)

	软件操作	硬件状态
开始运行	将 TOEmp 位 （从属）置 “1” （只限于重新开始运行时）。 将定时器通道开始寄存器 m （TSm）的 TSmn （主控）和 TSmp （从属）位同时置 “1”。 因为 TSmn 位和 TSmp 位是触发位，所以自动返回到 “0”。	TEmn 位和 TEmp 位都为 “1”，主控通道进入 TImn 输入边沿检测等待状态。 计数器还处于停止状态。
	通过检测主控通道的开始触发，开始主控通道的计数运行。 • 检测到 TImn 引脚输入的有效边沿 • 通过软件将主控通道的 TSmn 位置 “1” 注 注 不能将从属通道的 TSmn 位置 “1”。	主控通道开始计数。
运行中	只能更改 TMRmn 寄存器的 CISmn1 位和 CISmn0 位的设定值。 禁止更改 TMRmp、 TDRmn、 TDRmp 寄存器以及 TOMmn 位、 TOMmp 位、 TOLmn 位和 TOLmp 位的设定值。 能随时读 TCRmn 寄存器和 TCRmp 寄存器。 不使用 TSRmn 寄存器和 TSRmp 寄存器。 能更改从属通道的 TOm 寄存器和 TOEm 寄存器的设定值。	如果主控通道检测到 TImn 引脚输入的有效边沿，就将 TDRmn 寄存器的值装入定时器计数寄存器 mn （TCRmn），并且开始递减计数。如果 TCRmn 计数到 “0000H”，就输出 INTTMmn，并且在下一次 TImn 引脚输入前停止计数。 从属通道以主控通道的 INTTMmn 作为触发，将 TDRmp 寄存器的值装入 TCRmp 寄存器并且开始递减计数。在从主控通道输出 INTTMmn 并且经过 1 个计数时钟后，将TOmp的输出电平置为有效电平。然后，如果 TCRmp 计数到 “0000H”，就在将 TOmp 的输出电平置为无效电平后停止计数。 此后，重复此运行。
停止运行	将 TTmn 位 （主控）和 TTmp 位 （从属）同时置 “1”。 因为 TTmn 位和 TTmp 位是触发位，所以自动返回到 “0”。	TEmn 位和 TEmp 位都变为 “0” 并且停止计数。 TCRmn 寄存器和 TCRmp 寄存器保持计数值而停止计数。 TOmp 输出不被初始化而保持状态。
	将从属通道的 TOEmp 位置 “0” 并且给 TOmp 位设定值。	TOmp 引脚输出 TOmp 设定的电平。
TAU 停止	要保持 TOmp 引脚输出电平的情况： 在给端口寄存器设定要保持的值后将 TOmp 位置 “0”。 不需要保持 TOmp 引脚输出电平的情况： 不需要设定。	通过端口功能保持 TOmp 引脚的输出电平。
	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。 （TOmp位变为“0”并且TOmp引脚变为端口功能）

重新开始运行

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

6.9.2 作为 PWM 功能的运行

将 2 个通道成对使用，能生成任意周期和占空比的脉冲。

输出脉冲的周期和占空比能用以下计算式进行计算：

脉冲周期 = {TDRmn （主控）的设定值 + 1} × 计数时钟周期
占空比 [%] = {TDRmp （从属）的设定值 } / {TDRmn （主控）的设定值 + 1} × 100
0% 输出： TDRmp （从属）的设定值 = 0000H
100% 输出： TDRmp （从属）的设定值≥ {TDRmn （主控）的设定值 + 1}

备注 当 TDRmp （从属）的设定值＞ {TDRmn （主控）的设定值 +1} 时，占空比超过 100%，但是为 100% 输出。

主控通道用作间隔定时器模式。如果将定时器通道开始寄存器 m （TSm）的通道开始触发位 （TSmn）置 “1”，就输出中断 （INTTMmn），然后将定时器数据寄存器 mn （TDRmn）的设定值装入定时器计数寄存器 mn （TCRmn），并且通过计数时钟进行递减计数。当计数到 “0000H” 时，在输出 INTTMmn 中断后再次将 TDRmn 寄存器的值装入 TCRmn 寄存器，并且进行递减计数。此后，在将定时器通道停止寄存器 m （TTm） 的通道停止触发位 （TTmn）置 “1” 前，重复此运行。

当作用 PWM 功能时，主控通道进行递减计数，在计数到 “0000H” 为止的期间为 PWM 输出 （TOmp）周期。

从属通道用作单次计数模式。以主控通道的 INTTMmn 中断为开始触发，将 TDRmp 寄存器的值装入 TCRmp 寄存器，并且进行递减计数，计数到 “0000H” 为止。当计数到 “0000H” 时，输出 INTTMmp 中断，并且等待下一个开始触发 （主控通道的 INTTMmn）。

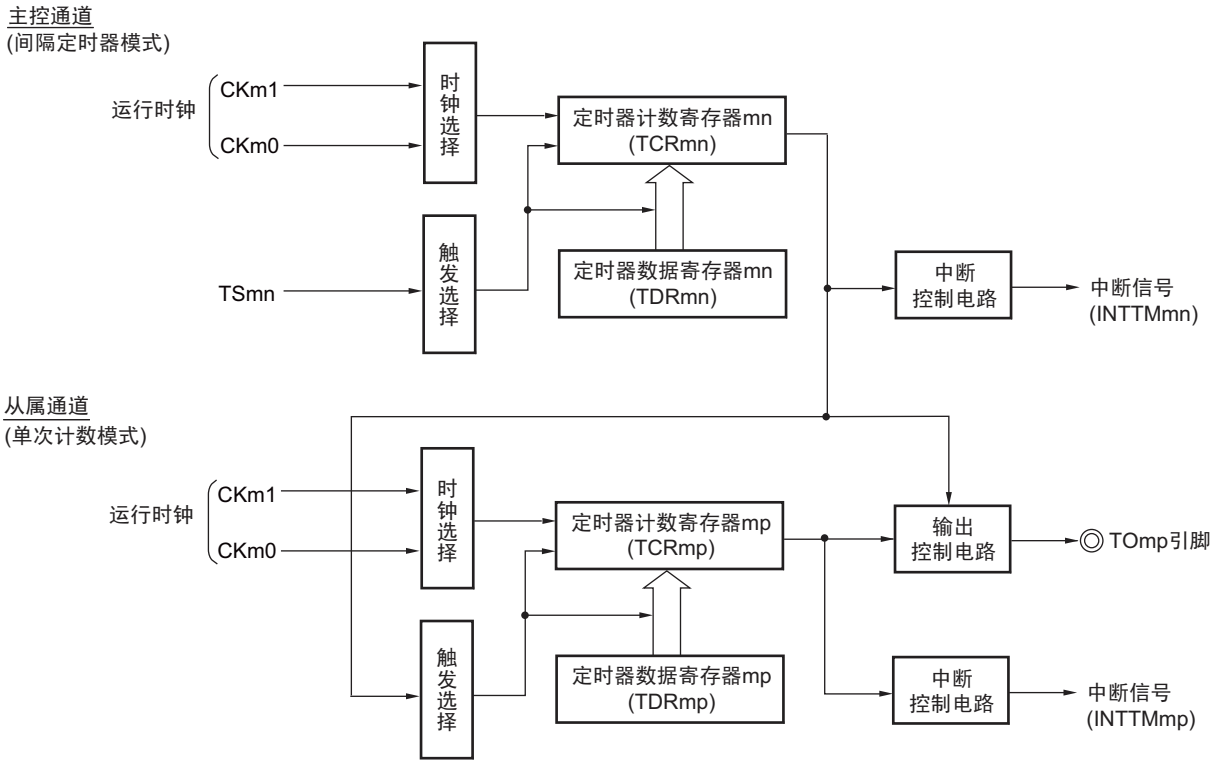
当作用 PWM 功能时，从属通道进行递减计数，在计数到 “0000H” 为止的期间为 PWM 输出 （TOmp）的占空比。

在从主控通道产生 INTTMmn 中断并且经过 1 个时钟后， PWM 输出 （TOmp）变为有效电平，并且在从属通道的 TCRmp 寄存器的值变为 “0000H” 时变为无效电平。

注意 要同时改写主控通道的定时器数据寄存器 mn （TDRmn）和从属通道的 TDRmp 寄存器时，需要 2 次写存取。因为在主控通道产生 INTTMmn 时将 TDRmn 寄存器和 TDRmp 寄存器的值装入 TCRmn 寄存器和 TCRmp 寄存器，所以如果分别在主控通道产生 INTTMmn 前和产生后进行改写， TOmp 引脚就不能输出期待的波形。因此，要同时改写主控的 TDRmn 寄存器和从属的 TDRmp 寄存器时，必须在主控通道产生 INTTMmn 后立即改写这 2 个寄存器。

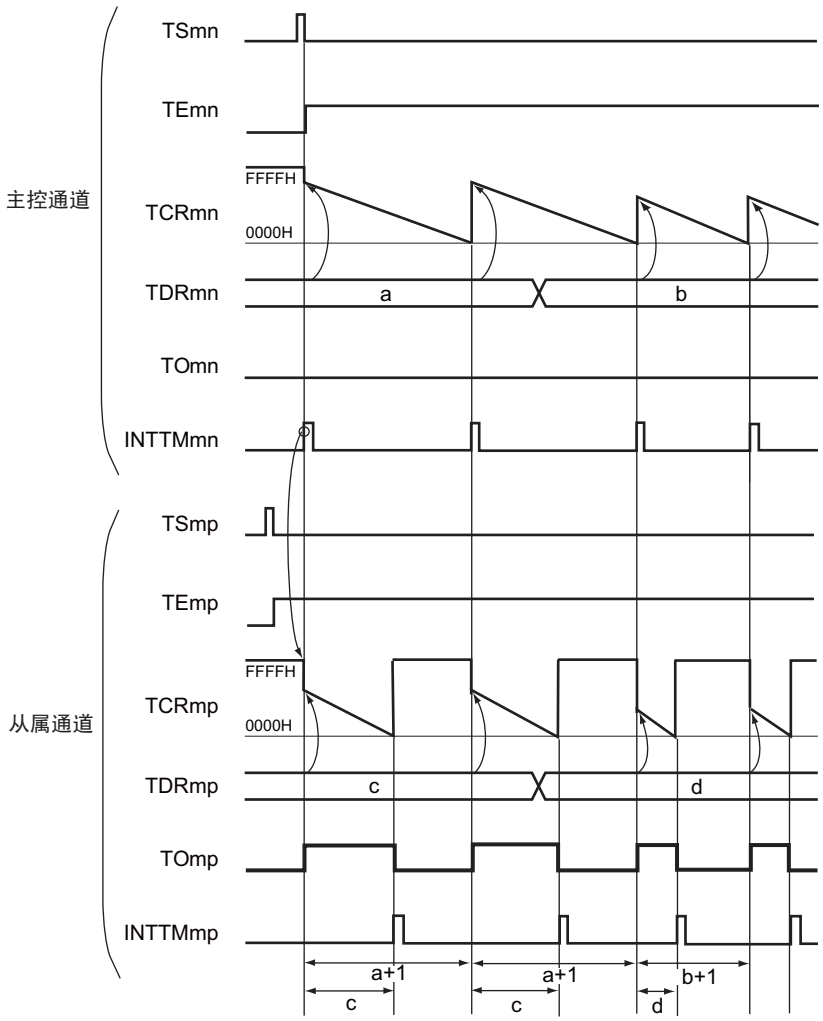
备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-72 作为 PWM 功能运行的框图



备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-73 作为 PWM 功能的运行基本时序例子



备注 1. m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n ＜ p ≤ 7）

2. TSmn、 TSmp： 定时器通道开始寄存器 m （TSm）的 bit n、 p
TEmn、 TEmp： 定时器通道允许状态寄存器 m （TEm）的 bit n、 p
TCRmn、 TCRmp：定时器计数寄存器 mn、 mp （TCRmn、 TCRmp）
TDRmn、 TDRmp：定时器数据寄存器 mn、 mp （TDRmn、 TDRmp）
TOmn、 TOmp： TOmn 引脚和 TOmp 引脚的输出信号

图 6-74 PWM 功能时 （主控通道）的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MAS TERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

通道 n 的运行模式
000B：间隔定时器

开始计数时的运行设定
1：在开始计数时，产生 INTTMmn。

TImn 引脚输入边沿的选择
00B：因不使用而置 “00B”。

开始触发的选择
000B：只能选择软件开始触发。

从属 / 主控的选择
1：主控通道

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）

图 6-75 PWM 功能时 （从属通道）的寄存器设定内容例子

(a) 定时器模式寄存器 mp （TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

通道 p 的运行模式
100B：单次计数模式

运行中的开始触发
1：触发输入有效。

TImp 引脚输入边沿的选择
00B：因不使用而置 “00B”。

开始触发的选择
100B：选择主控通道的 INTTMmn。

MASTERmp/SPLITmp 位的设定
0：从属通道

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 p 的运行时钟。
10B：选择 CKm1 作为通道 p 的运行时钟。
※ 和主控通道的设定相同。

(b) 定时器输出寄存器 m （TOm）

	bit p
TOm	TOmp
	1/0

0：由 TOmp 输出 “0”。
1：由 TOmp 输出 “1”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit p
TOEm	TOEmp
	1/0

0：停止由计数运行进行的 TOmp 输出。
1：允许由计数运行进行的 TOmp 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit p
TOLm	TOLmp
	1/0

0：正逻辑输出 （高电平有效）
1：负逻辑输出 （低电平有效）

(e) 定时器输出模式寄存器 m （TOMm）

	bit p
TOMm	TOMmp
	1

1：设定从属通道输出模式。

注 TMRm7： 固定为 “0”。
TMRm1、 TMRm3：SPLITmp位

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

图 6-76 PWM 功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置“1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，允许写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 和 CKm1 的时钟频率。	
通道初始设定	设定使用的 2 个通道的定时器模式寄存器 mn、 mp （TMRmn、 TMRmp）（确定通道的运行模式）。 给主控通道的定时器数据寄存器 mn （TDRmn）设定间隔 （周期）值，并且给从属通道的 TDRmp 寄存器设定占空比的值。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	从属通道的设定 将定时器输出模式寄存器 m（TOMm）的 TOMmp 位置 “1” （从属通道输出模式）。 设定 TOLmp 位。 设定 TOmp 位并且确定 TOmp 输出的初始电平。	TOmp 引脚处于 Hi-Z 输出状态。
		当端口模式寄存器为输出模式并且端口寄存器为“0”时，输出 TOmp 初始设定的电平。
	将 TOEmp 位置 “1”，允许 TOmp 运行。	因为通道处于运行停止状态，所以 TOmp 不变。
	将端口寄存器和端口模式寄存器置 “0”。	TOmp 引脚输出 TOmp 设定的电平。

图 6-76 PWM 功能时的操作步骤 (2/2)

	软件操作	硬件状态
开始运行	将 TOEmp 位 （从属）置 “1” （只限于重新开始运行时）。 将定时器通道开始寄存器 m （TSm）的 TSmn 位（主控）和 TSmp 位 （从属）同时置 “1”。 因为 TSmn 位和 TSmp 位是触发位，所以自动返回到 “0”。	TEmn 位和 TEmp 位都变为 “1”。 主控通道开始计数并且产生 INTTMmn。以此为触发，从属通道也开始计数。
运行中	禁止更改 TMRmn 寄存器和 TMRmp 寄存器以及 TOMmn 位、TOMmp 位、TOLmn 位和 TOLmp 位的设定值。 能在主控通道产生 INTTMmn 后更改 TDRmn 寄存器和 TDRmp 寄存器的设定值。 能随时读 TCRmn 寄存器和 TCRmp 寄存器。 不使用 TSRmn 寄存器和 TSRmp 寄存器。	主控通道将 TDRmn 寄存器的值装入定时器计数寄存器 mn （TCRmn），并且进行递减计数。如果 TCRmn 计数到 “0000H”，就产生 INTTMmn。同时，将 TDRmn 寄存器的值装入 TCRmn 寄存器，并且重新开始递减计数。 从属通道以主控通道的 INTTMmn 为触发，将 TDRmp 寄存器的值装入 TCRmp 寄存器，并且计数器进行递减计数。在从主控通道输出 INTTMmn 并且经过 1 个计数时钟后，将 TOmp 输出电平置为有效电平。然后，如果 TCRmp 计数到 “0000H”，就在将 TOmp 的输出电平置为无效电平后停止计数。 此后，重复此运行。
停止运行	将 TTmn 位 （主控）和 TTmp 位 （从属）同时置 “1”。 因为 TTmn 位和 TTmp 位是触发位，所以自动返回到 “0”。	TEmn 位和 TEmp 位变为 “0” 并且停止计数。 TCRmn 寄存器和 TCRmp 寄存器保持计数值而停止计数。 TOmp 输出不被初始化而保持状态。
	将从属通道的 TOEmp 位置 “0” 并且给 TOmp 位设定值。	TOmp 引脚输出 TOmp 设定的电平。
TAU 停止	要保持 TOmp 引脚输出电平的情况： 在给端口寄存器设定要保持的值后将 TOmp 位置 “0”。 不需要保持 TOmp 引脚输出电平的情况： 不需要设定。	通过端口功能保持 TOmp 引脚的输出电平。
	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。 （TOmp位变为“0”并且TOmp引脚变为端口功能）

重新开始运行

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2、 6）
p：从属通道号 （n＜p≤7）

6.9.3 作为多重 PWM 输出功能的运行

这是通过扩展 PWM 功能并且使用多个从属通道进行不同占空比的多个 PWM 输出的功能。

例如，当将 2 个从属通道成对使用时，输出脉冲的周期和占空比能用以下计算式进行计算：

脉冲周期 = {TDRmn （主控）的设定值 + 1} × 计数时钟周期
占空比 1 [%] = {TDRmp （从属 1）的设定值 } / {TDRmn （主控）的设定值 + 1} × 100
占空比 2 [%] = {TDRmq （从属 2）的设定值 } / {TDRmn （主控）的设定值 + 1} × 100

备注 当 TDRmp （从属 1）的设定值＞ {TDRmn （主控）的设定值 +1} 或者 {TDRmq （从属 2）的设定值 } ＞ {TDRmn （主控）的设定值 +1} 时，占空比超过 100%，但是为 100% 输出。

在间隔定时器模式中，主控通道的定时器计数寄存器 mn （TCRmn）运行并且对周期进行计数。

在单次计数模式中，从属通道 1 的 TCRmp 寄存器运行并且对占空比进行计数以及从 TOmp 引脚输出 PWM 波形。以主控通道的 INTTMmn 为开始触发，将定时器数据寄存器 mp （TDRmp）的值装入 TCRmp 寄存器并且开始递减计数。如果 TCRmp 变为 “0000H”，就输出 INTTMmp 中断，并且在输入下一个开始触发 （主控通道的 INTTMmn）前停止计数。在从主控通道产生 INTTMmn 并且经过 1 个计数时钟后，TOmp 的输出电平变为有效电平，如果 TCRmp 变为 “0000H”，就变为无效电平。

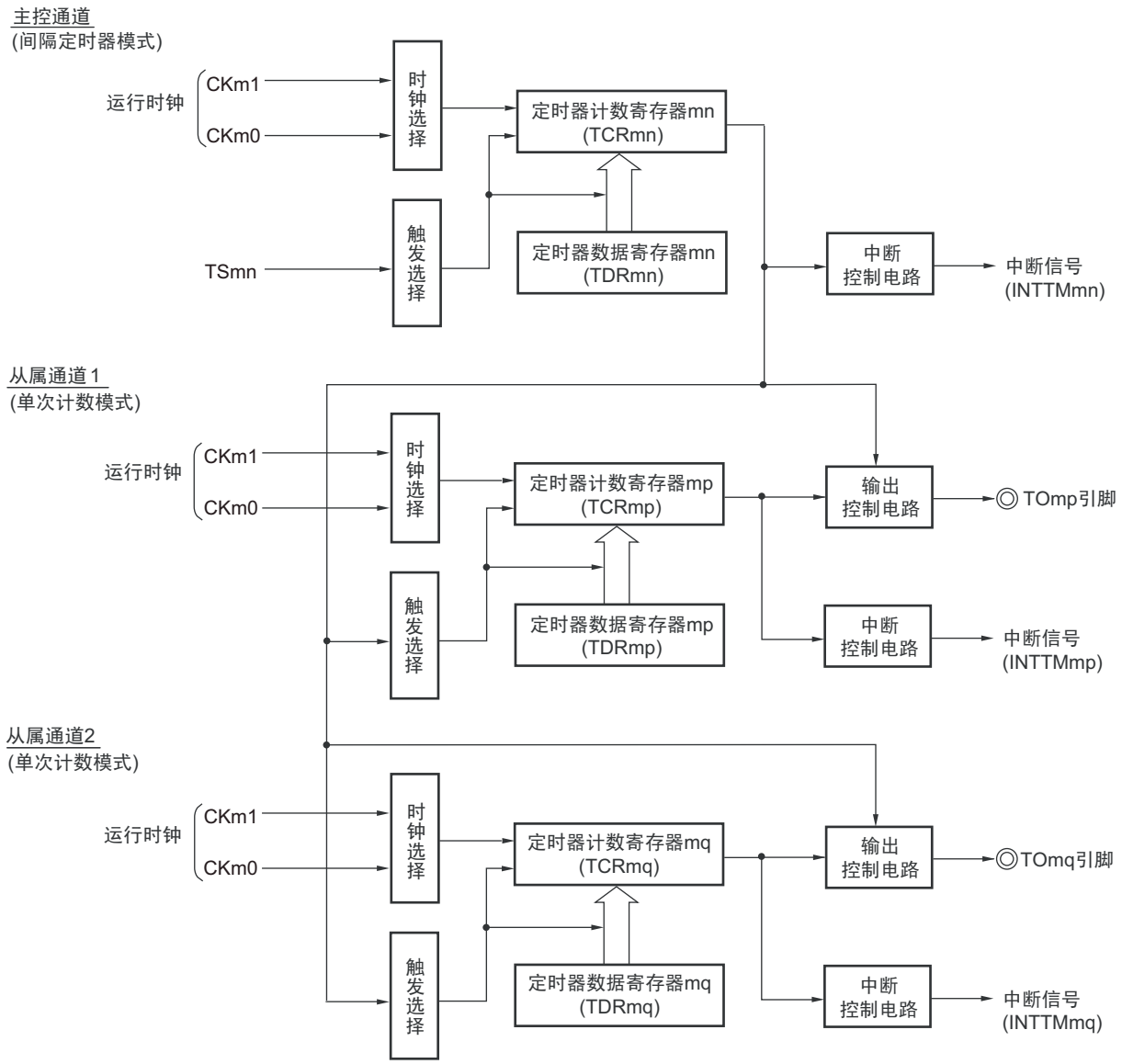
和从属通道 1 的 TCRmp 寄存器相同，在单次计数模式中，从属通道 2 的 TCRmq 寄存器运行并且对占空比进行计数以及从 TOmq 引脚输出 PWM 波形。以主控通道的 INTTMmn 为开始触发，将 TDRmq 寄存器的值装入 TCRmq 寄存器并且开始递减计数。如果 TCRmq 变为 “0000H”，就输出 INTTMmq，并且在输入下一个开始触发（主控通道的 INTTMmn）前停止计数。在从主控通道产生 INTTMmn 并且经过 1 个计数时钟后，TOmq 的输出电平变为有效电平，如果 TCRmq 变为 “0000H”，就变为无效电平。

当通过如此的运行将通道 0 用作主控通道时，最多能同时输出 7 种 PWM 信号。

注意 要同时改写主控通道的定时器数据寄存器 mn （TDRmn）和从属通道 1 的 TDRmp 寄存器时，至少需要 2 次写存取。因为在主控通道产生 INTTMmn 时将 TDRmn 寄存器和 TDRmp 寄存器的值装入 TCRmn 寄存器和 TCRmp 寄存器，所以如果分别在主控通道产生 INTTMmn 前和产生后进行改写， TOmp 引脚就不能输出期待的波形。因此，要同时改写主控的 TDRmn 寄存器和从属的 TDRmp 寄存器时，必须在主控通道产生 INTTMmn 后立即改写这 2 个寄存器 （同样也适用于从属通道 2 的 TDRmq 寄存器）。

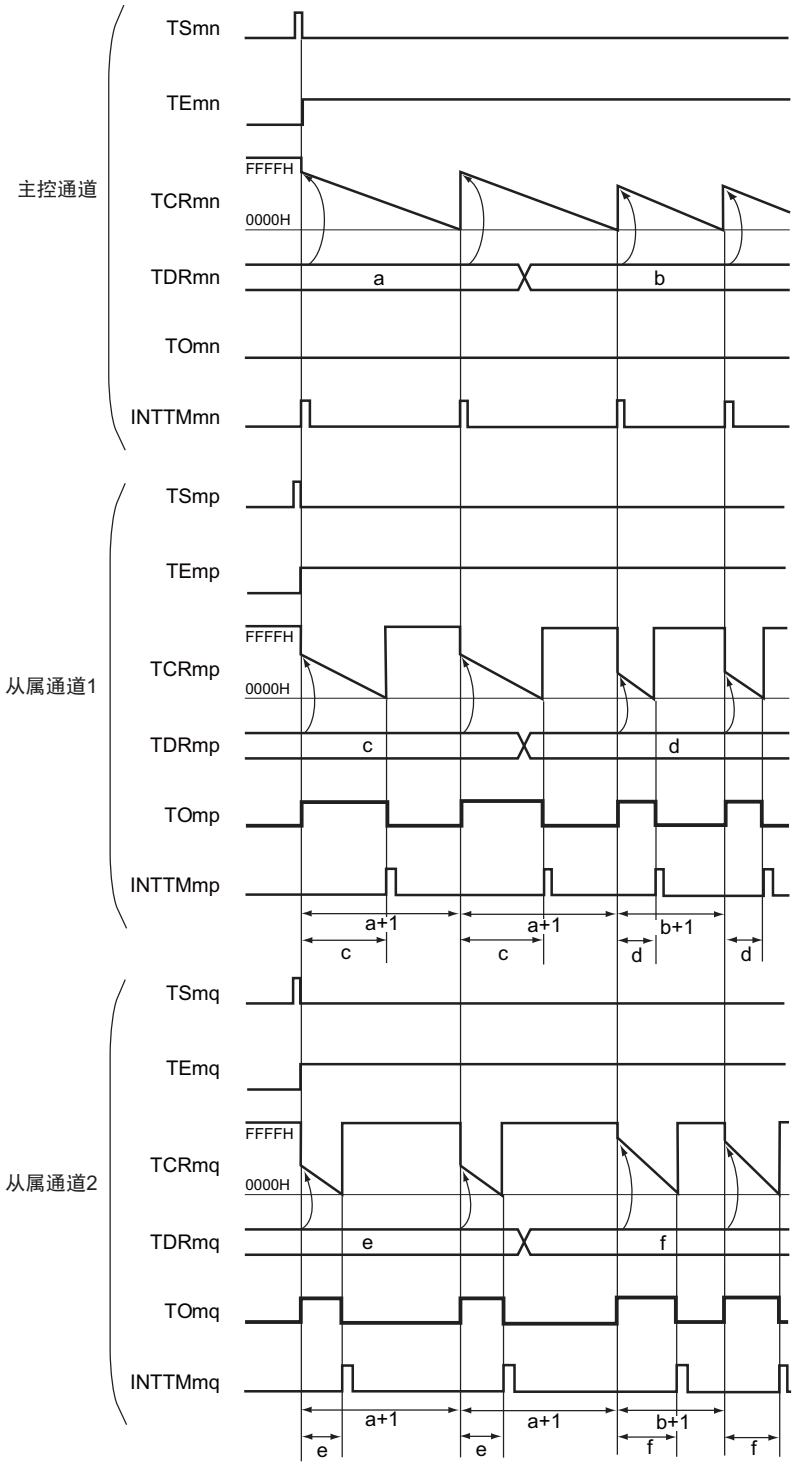
备注 m：单元号 （m=0） n：主控通道号 （n=0、 2）
p：从属通道号 q：从属通道号
n＜p＜q≤7 （其中， p和q是大于n的整数）

图 6-77 作为多重 PWM 输出功能运行的框图 （输出 2 种 PWM 的情况）



备注 m：单元号 （m=0） n：主控通道号 （n=0、 2）
p：从属通道号 q：从属通道号
n＜p＜q≤7 （其中， p和q是大于n的整数）

图 6-78 作为多重 PWM 输出功能的运行基本时序例子 （输出 2 种 PWM 的情况）



备注 1. m：单元号 （m=0） n：主控通道号 （n=0、 2）
p：从属通道号 q：从属通道号
n ＜ p ＜ q ≤ 7 （其中， p 和 q 是大于 n 的整数）

2. TSmn、 TSmp、 TSmq： 定时器通道开始寄存器 m （TSm）的 bit n、 p、 q
TEmn、 TEmp、 TEmq： 定时器通道允许状态寄存器 m （TEm）的 bit n、 p、 q
TCRmn、 TCRmp、 TCRmq： 定时器计数寄存器 mn、 mp、 mq （TCRmn、 TCRmp、 TCRmq）
TDRmn、 TDRmp、 TDRmq： 定时器数据寄存器 mn、 mp、 mq （TDRmn、 TDRmp、 TDRmq）
TOmn、 TOmp、 TOmq： TOmn、 TOmp、 TOmq 引脚的输出信号

图 6-79 多重 PWM 输出功能时 （主控通道）的寄存器设定内容例子

(a) 定时器模式寄存器 mn （TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

通道 n 的运行模式
000B：间隔定时器

开始计数时的运行设定
1：在开始计数时，产生 INTTMmn。

TImn 引脚输入边沿的选择
00B：因不使用而置 “00B”。

开始触发的选择
000B：只能选择软件开始触发。

从属 / 主控的选择
1：主控通道

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 n 的运行时钟。
10B：选择 CKm1 作为通道 n 的运行时钟。

(b) 定时器输出寄存器 m （TOm）

	bit n
TOm	TOmn
	0

0：由 TOmn 输出 “0”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit n
TOEm	TOEmn
	0

0：停止由计数运行进行的 TOmn 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit n
TOLm	TOLmn
	0

0：在 TOMmn=0 （主控通道输出模式）时置 “0”。

(e) 定时器输出模式寄存器 m （TOMm）

	bit n
TOMm	TOMmn
	0

0：设定主控通道输出模式。

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2）

图 6-80 多重 PWM 输出功能时 （从属通道）的寄存器设定内容例子 （输出 2 种 PWM 的情况）

(a) 定时器模式寄存器 mp、 mq （TMRmp、 TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S 注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

通道 p、 q 的运行模式
100B：单次计数模式

运行中的开始触发
1：触发输入有效。

TImp、 TImq 引脚输入边沿的选择
00B：因不使用而置 “00B”。

开始触发的选择
100B：选择主控通道的 INTTMmn。

MASTER0p、 MASTER0q 位的设定 （通道 2、 6）
0：从属通道
SPLIT0p、 SPLIT0q 位的设定 （通道 1、 3）
0：16 位定时器模式

计数时钟的选择
0：选择运行时钟 （f_{MCK}）。

运行时钟 （f_{MCK}）的选择
00B：选择 CKm0 作为通道 p、 q 的运行时钟。
10B：选择 CKm1 作为通道 p、 q 的运行时钟。
※ 和主控通道的设定相同。

(b) 定时器输出寄存器 m （TOm）

	bit q	bit p
TOm	TOmq	TOmp
	1/0	1/0

0：由 TOmp 和 TOmq 输出 “0”。
1：由 TOmp 和 TOmq 输出 “1”。

(c) 定时器输出允许寄存器 m （TOEm）

	bit q	bit p
TOEm	TOEmq	TOEmp
	1/0	1/0

0：停止由计数运行进行的 TOmp 和 TOmq 输出。
1：允许由计数运行进行的 TOmp 和 TOmq 输出。

(d) 定时器输出电平寄存器 m （TOLm）

	bit q	bit p
TOLm	TOLmq	TOLmp
	1/0	1/0

0：正逻辑输出 （高电平有效）
1：负逻辑输出 （低电平有效）

(e) 定时器输出模式寄存器 m （TOMm）

	bit q	bit p
TOMm	TOMmq	TOMmp
	1	1

1：设定从属通道输出模式。

注 TMRm2、 TMRm6：MASTERmp 位、 MASTERmq 位
TMRm1、 TMRm3：SPLITmp位、 SPLITmq位
TMRm7： 固定为“0”。

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2）
p：从属通道号 q：从属通道号
n＜p＜q≤7 （其中， p和q是大于n的整数）

图 6-81 多重 PWM 功能时的操作步骤 （输出 2 种 PWM 的情况）(1/2)

	软件操作	硬件状态
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置 “1”。	通电状态，各通道处于运行停止状态。 （开始提供时钟，允许写各寄存器）
	设定定时器时钟选择寄存器 m （TPSm）。 确定 CKm0 和 CKm1 的时钟频率。	
通道初始设定	设定使用的各通道的定时器模式寄存器 mn、 mp、 mq （TMRmn、 TMRmp、 TMRmq）（确定通道的运行模式）。 给主控通道的定时器数据寄存器 mn （TDRmn）设定间隔 （周期）值，并且给从属通道的 TDRmp 寄存器和 TDRmq 寄存器设定占空比的值。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	从属通道的设定 将定时器输出模式寄存器 m（TOMm）的 TOMmp 位和 TOMmq 位置 “1” （从属通道输出模式）。 设定 TOLmp 位和 TOLmq 位。 设定 TOmp 位和 TOmq 位，并且确定 TOmp 和 TOmq 输出的初始电平。 将 TOEmp 位和 TOEmq 位置 “1”，允许 TOmp 和 TOmq 的运行。 将端口寄存器和端口模式寄存器置 “0”。	TOmp 引脚和 TOmq 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为 “0” 时，输出 TOmp 和 TOmq 初始设定的电平。 因为通道处于运行停止状态，所以 TOmp 和 TOmq 不变。 TOmp 引脚和 TOmq 引脚输出 TOmp 和 TOmq 设定的电平。

图 6-81 多重 PWM 输出功能时的操作步骤 （输出 2 种 PWM 的情况）(2/2)

	软件操作	硬件状态
开始运行	（只在重新开始运行时将 TOEmp 位和 TOEmq 位（从属）置 “1”） 将定时器通道开始寄存器 m（TSm）的 TSmn 位（主控）、 TSmp 位和 TSmq 位 （从属）置 “1”。 因为 TSmn 位、TSmp 位和 TSmq 位是触发位，所以自动返回到 “0”。	TEmn 位、 TEmp 位和 TEmq 位变为 “1”。 主控通道开始计数并且产生 INTTMmn。以此为触发，从属通道也开始计数。
运行中	禁止更改 TMRmn、TMRmp、TMRmq 寄存器以及 TOMmn 位、TOMmp 位、TOMmq 位、TOLmn 位、TOLmp、 TOLmq 位的设定值。 能在主控通道产生 INTTMmn 后更改 TDRmn、TDRmp 和 TDRmq 寄存器的设定值。 能随时读 TCRmn、 TCRmp、 TCRmq 寄存器。 不使用 TSRmn、 TSRmp、 TSRmq 寄存器。	主控通道将 TDRmn 寄存器的值装入定时器计数寄存器 mn （TCRmn），并且进行递减计数。如果 TCRmn 计数到 “0000H”，就产生 INTTMmn。同时，将 TDRmn 寄存器的值装入 TCRmn 寄存器，并且重新开始递减计数。 从属通道 1 以主控通道的 INTTMmn 信号为触发，将 TDRmp 寄存器的值传送到 TCRmp 寄存器，并且计数器开始递减计数。在从主控通道输出 INTTMmn 并且经过 1 个计数时钟后，将 TOmp 输出电平置为有效电平。然后，如果计数到 “0000H”，就在将 TOmp 的输出电平置为无效电平后停止计数。 从属通道 2 以主控通道的 INTTMmn 信号为触发，将 TDRmq 寄存器的值传送到 TCRmq 寄存器，并且计数器开始递减计数。在从主控通道输出 INTTMmn 并且经过 1 个计数时钟后，将 TOmq 输出电平置为有效电平。然后，如果计数到 “0000H”，就在将 TOmq 的输出电平置为无效电平后停止计数。 此后，重复此运行。
停止运行	将 TTmn 位（主控）、TTmp 位和 TTmq 位（从属）位同时置 “1”。 因为 TTmn 位、TTmp 位和 TTmq 位是触发位，所以自动返回到 “0”。	TEmn 位、TEmp 位和 TEmq 位都为 “0” 并且停止计数。 TCRmn、TCRmp、TCRmq 寄存器保持计数值而停止计数。 TOmp 和 TOmq 输出不被初始化而保持状态。
	将从属通道的 TOEmp 位和 TOEmq 位置 “0” 并且给 TOmp 位和 TOmq 位设定值。	TOmp 引脚和 TOmq 引脚输出 TOmp 和 TOmq 设定的电平。
TAU 停止	要保持 TOmp 引脚和 TOmq 引脚的输出电平的情况： 在给端口寄存器设定要保持的值后将 TOmp 位和 TOmq 位置 “0”。 不需要保持 TOmp 引脚和 TOmq 引脚的输出电平的情况： 不需要设定。	通过端口功能保持 TOmp 引脚和 TOmq 引脚的输出电平。
	将 PER0 寄存器的 TAU0EN 位置 “0”。	断电状态 对全部电路和各通道的 SFR 进行初始化。 （TOmp 位和 TOmq 位变为 “0” 并且 TOmp 引脚和 TOmq 引脚变为端口功能）

重新开始运行

备注 m：单元号 （m=0） n：主控通道号 （n=0、 2）
p：从属通道号 q：从属通道号
n＜p＜q≤7 （其中， p和q是大于n的整数）

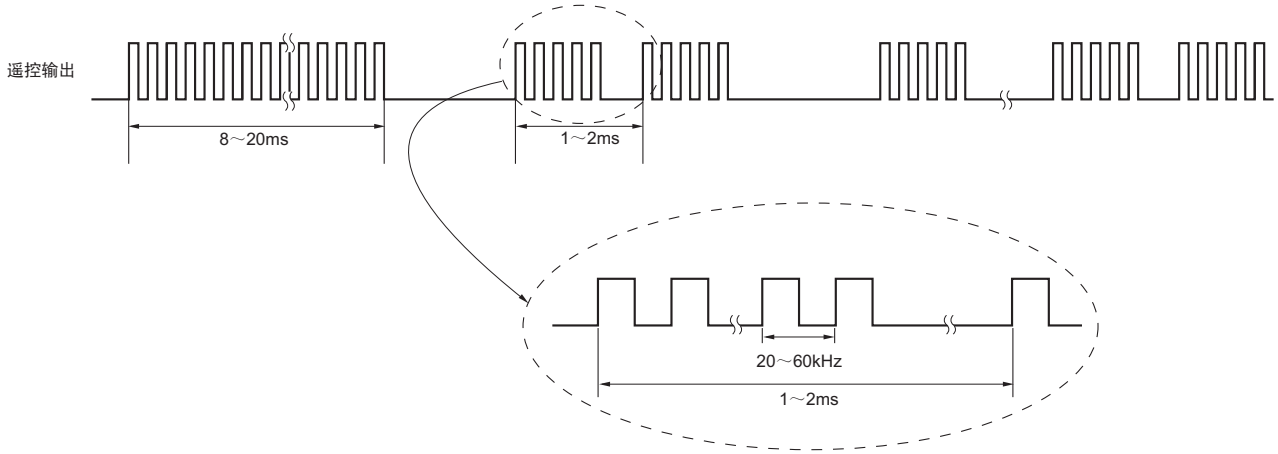
6.9.4 遥控输出功能

遥控输出功能是 PWM 输出功能的应用功能。

通道 2 和通道 3、通道 6 和通道 7 成对使用 PWM 输出功能 （有关各通道的设定方法，参照 “6.9.2 作为 PWM 功能的运行 ”）。将通道 3 的 PWM 输出信号作为屏蔽波，将通道 7 的 PWM 输出信号作为载波，这些信号的逻辑与为遥控输出的信号进行输出。

遥控输出的高电平宽度输出部分由 20 ～ 60kHZ 左右的载波信号构成。

图 6-82 遥控输出



遥控输出的设定步骤如图 6-83 所示。

图 6-83 遥控输出功能的设定步骤 (1/2)

	软件操作	硬件状态
端口模式设定	将 PESEG2 寄存器的 PFSEG17 位、PM3 寄存器的 PM32 位、 PU3 寄存器的 PU32 位和 P3 寄存器的 P32 位置 “0”。	遥控输出无效 P32/TO03 引脚为低电平输出。
TAU 初始设定		断电状态 （停止提供时钟，不能写各寄存器）
	将外围允许寄存器 0 （PER0）的 TAU0EN 位置 “1”。→	通电状态，各通道处于运行停止状态。 （开始提供时钟，允许写各寄存器）
	设定定时器时钟选择寄存器 0 （TPS0）。 确定 CK00 和 CK01 的时钟频率。	
遥控输出的设定	定时器阵列单元输出选择寄存器 （TOS）的 TOS0 位置 “1”。→	遥控输出有效 从 P32/TO03 引脚输出 TO03 （Low）和 TO07 （Low）的逻辑与结果 （Low）。 P32/TO03 引脚只能用作遥控输出。 P53/TO07 引脚只能使用遥控输出以外的复用功能。
通道初始设定	将定时器模式寄存器 mn （TMRmn）置 “0801H”，并且将定时器模式寄存器 mp（TMRmp）置 “0409H”（确定通道的运行模式）。	通道处于运行停止状态。 （提供时钟，消耗一部分电力）
	主控通道的设定 将定时器输出模式寄存器 m（TOMm）的 TOMmn 位置 “0” （主控通道输出模式）。 设定 TOLmn 位。 设定 TOmn 位并且确定 TOmn 输出的初始电平。→ 将 TOEmn 位置 “0”，禁止 TOmn 运行。→ 将端口寄存器和端口模式寄存器置 “0”。→	TOmn 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为 “0” 时，输出 TOmn 的初始设定电平。 因为通道处于运行停止状态，所以 TOmn 不变。 TOmn 引脚输出 TOmn 的设定电平。
	从属通道的设定 将定时器输出模式寄存器 m（TOMm）的 TOMmp 位置 “1” （从属通道输出模式）。 设定 TOLmp 位。 设定 TOmp 位并且确定 TOmp 输出的初始电平。→ 将 TOEmp 位置 “1”，允许 TOmp 运行。→ 将端口寄存器和端口模式寄存器置 “0”。→	TOmp 引脚处于 Hi-Z 输出状态。 当端口模式寄存器为输出模式并且端口寄存器为 “0” 时，输出 TOmp 的初始设定电平。 因为通道处于运行停止状态，所以 TOmp 不变。 TOmp 引脚输出 TOmp 的设定电平。

备注 m：单元号 （m=0） n：主控通道号 （n=2、 6）
p：从属通道号 （p=3、 7）（设定屏蔽波的情况：n=2、 p=3，设定载波的情况：n=6、 p=7）

图 6-83 遥控输出功能的设定步骤 (2/2)

	软件操作	硬件状态
开始运行	屏蔽波 （起始码）的周期和高电平宽度的设定 TDR02= 屏蔽波的周期 –1 TDR03= 屏蔽波的高电平宽度 载波的周期和高电平宽度的设定 TDR06= 载波的周期 –1 TDR07= 载波的高电平宽度 将定时器通道开始寄存器 m （TSm）的 TSmn 位（主控）和 TSmp 位 （从属）同时置 “1”。 因为 TSm 寄存器的位是触发位，所以自动返回到 “0”。	TEmn 位和 TEmp 位都变为 “1”。 主控通道开始计数并且产生 INTTM02。以此为触发，从属通道也开始计数。
运行中	禁止更改 TMRmn 寄存器和 TMRmp 寄存器以及 TOMmn、TOMmp、TOLmn、TOLmp 位的设定值。 能随时读 TCRmn 寄存器和 TCRmp 寄存器。 等待 INTTM02 中断。 最后的代码位？ • 当不是最后的代码位时，设定以下屏蔽波的周期和高电平宽度： TDR02= 屏蔽波的周期 –1 TDR03= 屏蔽波的高电平宽度 注意 必须在 TCR02 > 0000H 的期间完成设定。 • 在最后屏蔽波时转移到停止运行。	根据周期和高电平宽度的设定，TO03 输出屏蔽波，TO07 输出载波。 从 P32/TO03 引脚输出 TO03 和 TO07 的逻辑与结果（TCR03 > 0000H 的期间为遥控输出（载波），TCR03=FFFFH 并且 TCR02 > 0000H 的期间为遥控输出 （低电平））。 当 TCR02=0000H 时，产生 INTTM02 中断。
停止运行	将屏蔽波设定为占空比 0%。 TDR03=0000H TDR02 不需要设定。 注意 必须在 TCR02 > 0000H 的期间完成设定。 等待 INTTM02 中断。 将 TTmn 位 （主控）和 TTmp 位 （从属）同时置 “1”。 因为 TTmn 位和 TTmp 位是触发位，所以自动返回到 “0”。	从 P32/TO03 引脚输出 TO03 和 TO07 的逻辑与结果（TCR03 > 0000H 的期间为遥控输出（载波），然后为遥控输出 （低电平）） 当 TCR02=0000H 时，产生 INTTM02 中断。 TEmn 位和 TEmp 位变为 “0” 并且停止计数。
	将 TOEmn 位和 TOEmp 位置 “0” 并且将 TOmn 位和 TOmp 位置 “0”。注	将 TOmp 引脚清除为低电平。
重新开始发送	在重新开始发送时，将定时器输出允许寄存器 m （TOEm）的TOEmp位置“1”（TOEmn位保持“0”）。	

注 在不使用的情况下 （包括其他 TAU 通道），能将外围允许寄存器 0 （PER0）的 TAU0EN 位设为 “0”，停止提供时钟。此时，重新开始发送必须从接通电源开始再次进行设定。

备注 m：单元号 （m=0） n：主控通道号 （n=2、 6）
p：从属通道号 （p=3、 7）（设定屏蔽波的情况：n=2、 p=3，设定载波的情况：n=6、 p=7）

第 7 章 实时时钟

7.1 实时时钟的功能

实时时钟 （RTC）有以下功能。

- 持有年、月、星期、日、小时、分钟和秒的计数器，最长能计数到99年。
- 固定周期中断功能 （周期：0.5秒、 1秒、 1分钟、 1小时、 1日、 1个月）
- 闹钟中断功能 （闹钟：星期、小时、分钟）
- 1Hz的引脚输出功能

实时时钟中断信号 （INTRTC）能用作STOP模式的唤醒或者A/D转换器的SNOOZE模式的触发。

注意 只有在选择副系统时钟 （f_{SUB}=32.768kHz）作为实时时钟的运行时钟的情况下，才能进行年、月、星期、日、小时、分钟和秒的计数。当选择低速内部振荡器时钟 （f_{IL}=15kHz）时，只能使用固定周期中断功能。
选择f_{IL}时的固定周期中断间隔用以下计算式进行计算：
固定周期 （RTCC0寄存器选择的值） ×f_{SUB}/f_{IL}。

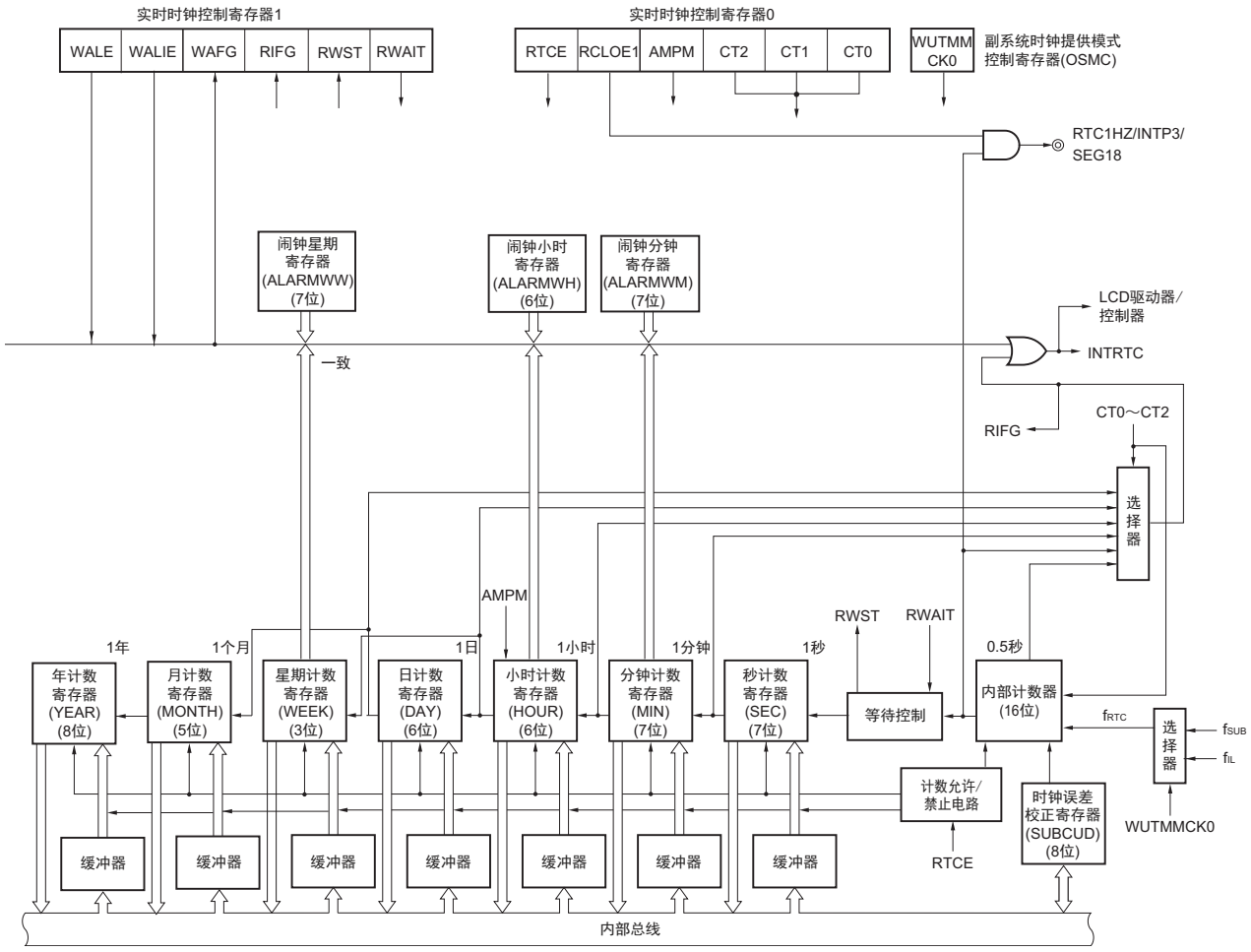
7.2 实时时钟的结构

实时时钟由以下硬件构成。

表 7-1 实时时钟的结构

项目	结构
计数器	计数器 （16 位）
控制寄存器	外围允许寄存器 0 （PER0）
	副系统时钟提供模式控制寄存器 （OSMC）
	实时时钟控制寄存器 0 （RTCC0）
	实时时钟控制寄存器 1 （RTCC1）
	秒计数寄存器 （SEC）
	分钟计数寄存器 （MIN）
	小时计数寄存器 （HOUR）
	日计数寄存器 （DAY）
	星期计数寄存器 （WEEK）
	月计数寄存器 （MONTH）
	年计数寄存器 （YEAR）
	时钟误差校正寄存器 （SUBCUD）
	闹钟分钟寄存器 （ALARMWM）
	闹钟小时寄存器 （ALARMWH）
	闹钟星期寄存器 （ALARMWW）

图 7-1 实时时钟的框图



注意 只有在选择副系统时钟 （f_{SUB}=32.768kHz）作为实时时钟的运行时钟的情况下，才能进行年、月、星期、日、小时、分钟和秒的计数。当选择低速内部振荡器时钟 （f_{IL}=15kHz）时，只能使用固定周期中断功能。

选择f_{IL}时的固定周期中断间隔用以下计算式进行计算：

固定周期 （RTCC0寄存器选择的值） ×f_{SUB}/f_{IL}。

7.3 控制实时时钟的寄存器

通过以下寄存器控制实时时钟。

- 外围允许寄存器0 （PER0）
- 副系统时钟提供模式控制寄存器 （OSMC）
- 实时时钟控制寄存器0 （RTCC0）
- 实时时钟控制寄存器1 （RTCC1）
- 秒计数寄存器 （SEC）
- 分钟计数寄存器 （MIN）
- 小时计数寄存器 （HOUR）
- 日计数寄存器 （DAY）
- 星期计数寄存器 （WEEK）
- 月计数寄存器 （MONTH）
- 年计数寄存器 （YEAR）
- 时钟误差校正寄存器 （SUBCUD）
- 闹钟分钟寄存器 （ALARMWM）
- 闹钟小时寄存器 （ALARMWH）
- 闹钟星期寄存器 （ALARMWW）
- 端口模式寄存器3 （PM3）
- 端口寄存器3 （P3）

7.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

要使用实时时钟时，必须将 bit7 （RTCEN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-2 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCEN	实时时钟 （RTC）和 12 位间隔定时器	LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出	
		选择副系统时钟 （f_{SUB}）	不选择副系统时钟 （f_{SUB}）
0	停止提供输入时钟。 • 不能写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。 • 实时时钟 （RTC）和 12 位间隔定时器处于复位状态。	停止提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	提供输入时钟和主系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。
1	提供输入时钟。 • 能读写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。	提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	

注意 1. 如果要使用实时时钟，就必须首先在计数时钟 （f_{RTC}）振荡稳定的状态下将 RTCEN 位置 “1”，然后设定以下的寄存器。当 RTCEN 位为 “0” 时，忽视实时时钟的控制寄存器的写操作，而且读取值为初始值 （副系统时钟提供模式控制寄存器 （OSMC）、端口模式寄存器 3 （PM3）和端口寄存器 3 （P3）除外）。

- 实时时钟控制寄存器 0 （RTCC0）
- 实时时钟控制寄存器 1 （RTCC1）
- 秒计数寄存器 （SEC）
- 分钟计数寄存器 （MIN）
- 小时计数寄存器 （HOUR）
- 日计数寄存器 （DAY）
- 星期计数寄存器 （WEEK）
- 月计数寄存器 （MONTH）
- 年计数寄存器 （YEAR）
- 时钟误差校正寄存器 （SUBCUD）
- 闹钟分钟寄存器 （ALARMWM）
- 闹钟小时寄存器 （ALARMWH）
- 闹钟星期寄存器 （ALARMWW）

2. 能通过将副系统时钟提供模式控制寄存器 （OSMC）的 RTCLPC 位置 “1”，在 STOP 模式或者以副系统时钟运行的 HALT 模式中停止给实时时钟、 12 位间隔定时器和 LCD 控制器 / 驱动器以外的外围功能提供副系统时钟。此时，必须将 RTCEN 位置 “1”，并且将 PER0 寄存器的 bit0 ～ 6 置 “0”。
3. 必须将 bit1、 3、 4、 6 置 “0”。

7.3.2 副系统时钟提供模式控制寄存器 （OSMC）

能通过 WUTMMCK0 位选择实时时钟的运行时钟 （f_{RTC}）。

RTCLPC 位是通过停止不需要的时钟功能实现低功耗的位。有关 RTCLPC 位的设定，请参照 “**第 5 章 时钟发生电路**”。

通过 8 位存储器操作指令设定 OSMC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-3 副系统时钟提供模式控制寄存器 （OSMC）的格式

地址：F00F3H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0 注	实时时钟、 12 位间隔定时器和 LCD 驱动器 / 控制器的运行时钟的选择	时钟输出 / 蜂鸣器输出的 PCLBUZn 引脚的输出时钟的选择
0	副系统时钟 （f_{SUB}）	允许选择副系统时钟 （f_{SUB}）。
1	低速内部振荡器时钟 （f_{IL}）	禁止选择副系统时钟 （f_{SUB}）。

注 在副系统时钟正在振荡的情况下，必须选择副系统时钟 （WUTMMCK0=0）。

注意 1. 只有在选择副系统时钟 （f_{SUB}=32.768kHz）作为实时时钟的运行时钟的情况下，才能进行年、月、星期、日、小时、分钟和秒的计数。当选择低速内部振荡器时钟 （f_{IL}=15kHz）时，只能使用固定周期中断功能。

选择 f_{IL} 时的固定周期中断间隔用以下计算式进行计算：

固定周期 （RTCC0 寄存器选择的值） ×f_{SUB}/f_{IL}。

2. 只有在实时时钟、12 位间隔定时器和 LCD 驱动器 / 控制器的功能全部处于停止运行时，才能通过 WUTMMCK0 位进行副系统时钟和低速内部振荡器时钟的切换。

各功能的运行停止方法如下：

实时时钟的停止设定： RTCE=0

12 位间隔定时器的停止设定： RINTE=0

LCD 驱动器 / 控制器的停止设定：SCOC=0 并且 VLCON=0

备注 RTCE： 实时时钟控制寄存器 0 （RTCC0）的 bit7

RINTE： 间隔定时器控制寄存器 （ITMC）的 bit15

SCOC： LCD 模式寄存器 1 （LCDM1）的 bit6

VLCON：LCD 模式寄存器 1 （LCDM1）的 bit5

7.3.3 实时时钟控制寄存器 0 （RTCC0）

这是设定实时时钟的运行开始或者停止、RTC1HZ 引脚的控制、12/24 小时系统和固定周期中断功能的 8 位寄存器。

通过 1 位或者 8 位存储器操作指令设定 RTCC0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-4 实时时钟控制寄存器 0 （RTCC0）的格式

地址：FFF9DH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	实时时钟的运行控制
0	停止计数器的运行。
1	开始计数器的运行。

RCLOE1	RTC1HZ 引脚的输出控制
0	禁止 RTC1HZ 引脚的输出 （1Hz）。
1	允许 RTC1HZ 引脚的输出 （1Hz）。

AMPM	12 小时系统 /24 小时系统的选择
0	12 小时系统 （表示上午或者下午）
1	24 小时系统
• 要更改 AMPM 位的值时，必须在将 RWAIT 位 （实时时钟控制寄存器 1 （RTCC1）的 bit0）置 “1” 后进行改写。如果更改 AMPM 位的值，小时计数寄存器 （HOUR）的值就变为所设时间系统的对应值。 • 时间位数的表示如表 7-2 所示。	

CT2	CT1	CT0	固定周期中断 （INTRTC）的选择
0	0	0	不使用固定周期中断功能。
0	0	1	0.5 秒一次 （与秒累加同步）
0	1	0	1 秒一次 （与秒累加同时）
0	1	1	1 分钟一次 （每分钟的 00 秒）
1	0	0	1 小时一次 （每小时的 00 分 00 秒）
1	0	1	1 日一次 （每日的 00 点 00 分 00 秒）
1	1	×	1 个月一次 （每月的 1 日上午 00 点 00 分 00 秒）
要在计数器运行中 （RTCE=1）更改 CT2 ～ CT0 位的值时，必须在通过中断屏蔽标志寄存器将 INTRTC 设定为禁止中断处理后进行改写，并且必须在改写后清除 RIFG 标志和 RTCIF 标志，然后再设定为允许中断处理。			

注意 1. 在 RTCE 位为 “1” 时，不能更改 RCLOE1 位。

2. 在 RTCE 为 “0” 时，即使将 RCLOE1 置 “1”，也不进行 1Hz 的输出。

备注 ×：忽略

7.3.4 实时时钟控制寄存器 1 （RTCC1）

这是控制闹钟中断功能和计数器等待的 8 位寄存器。

通过 1 位或者 8 位存储器操作指令设定 RTCC1 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-5 实时时钟控制寄存器 1 （RTCC1）的格式 (1/2)

地址：FFF9EH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	闹钟的运行控制
0	一致运行无效。
1	一致运行有效。
要在计数器运行中 （RTCE=1）并且 WALIE 位为 “1” 的情况下设定 WALE 位的值时，必须在通过中断屏蔽标志寄存器将 INTRTC 设定为禁止中断处理后进行改写，并且必须在改写后清除 WAFG 标志和 RTCIF 标志。要设定各闹钟寄存器 （RTCC1 寄存器的 WALIE 标志、闹钟分钟寄存器 （ALARMWM）、闹钟小时寄存器（ALARMWH）和闹钟星期寄存器 （ALARMWW））时，必须将 WALE 位置 “0” （一致运行无效）。	

WALIE	闹钟中断 （INTRTC）功能的运行控制
0	不产生闹钟一致中断。
1	产生闹钟一致中断。

WAFG	闹钟检测状态标志
0	闹钟不一致。
1	检测到闹钟一致。
这是表示检测到闹钟一致的状态标志。只在 WALE 位为 “1” 时有效，在检测到闹钟一致并且经过 1 个时钟（32.768kHz）后变为 “1”。 通过给此标志写 “0” 来清除此标志。写 “1” 的操作无效。	

图 7-5 实时时钟控制寄存器 1 （RTCC1）的格式 (2/2)

RIFG	固定周期中断状态标志
0	没有产生固定周期中断。
1	产生固定周期中断。
这是表示产生固定周期中断的状态标志。当产生固定周期中断时，此标志为 “1”。 通过给此标志写 “0” 来清除此标志。写 “1” 的操作无效。	

RWST	实时时钟的等待状态标志
0	计数器正在运行。
1	正处于计数器的读写模式。
这是表示 RWAIT 位的设定是否有效的状态。 必须在确认此标志为 “1” 后读写计数器的值。	

RWAIT	实时时钟的等待控制
0	设定计数器运行。
1	设定停止 SEC ～ YEAR 计数器，为计数器的读写模式。
此位控制计数器的运行。 要读写计数器时，必须给此位写 “1”。 因为计数器 （16 位）继续运行，所以必须在 1 秒内结束读写，然后返回 “0”。 从将 RWAIT 位置 “1” 到能读写计数器 （RWST=1）为止，最多需要 1 个时钟 （f_{RTC}）。 如果在 RWAIT 位为 “1” 时发生计数器 （16 位）上溢，就保持发生上溢的状态，在 RWAIT 位变为 “0” 后进行递增计数。 但是，当写秒计数寄存器时，不保持发生上溢的状态。	

注意 如果通过 1 位操作指令写 RTCC1 寄存器，就可能清除 RIFG 标志和 WAFG 标志。因此，必须通过 8 位操作指令写 RTCC1。为了在写时不清除 RIFG 标志和 WAFG 标志，必须将对应位置 “1” （写操作无效）。在不使用 RIFG 标志和 WAFG 标志而且即使值被改写也没有问题的情况下，也能通过 1 位操作指令写 RTCC1 寄存器。

备注 固定周期中断和闹钟一致中断使用相同中断源 （INTRTC）。在同时使用这 2 个中断的情况下，能在发生 INTRTC 时通过确认固定周期中断状态标志 （RIFG）和闹钟检测状态标志 （WAFG）来判断发生的是哪个中断。

7.3.5 秒计数寄存器 （SEC）

这是取 0 ～ 59 （十进制）的值表示秒计数值的 8 位寄存器。

通过计数器 （16 位）的上溢进行递增计数。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。以 BCD 码设定十进制的 00 ～ 59。

通过 8 位存储器操作指令设定 SEC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-6 秒计数寄存器 （SEC）的格式

地址：FFF92H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 1. 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

2. 如果写秒计数寄存器 （SEC），就清除内部计数器 （16 位）。

7.3.6 分钟计数寄存器 （MIN）

这是取 0 ～ 59 （十进制）的值表示分钟计数值的 8 位寄存器。

通过秒计数器的上溢进行递增计数。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。在写操作过程中忽视秒计数寄存器的上溢并且设定为写入值。以 BCD 码设定十进制的 00 ～ 59。

通过 8 位存储器操作指令设定 MIN 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-7 分钟计数寄存器 （MIN）的格式

地址：FFF93H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

7.3.7 小时计数寄存器 （HOUR）

这是取 00 ～ 23 或者 01 ～ 12、 21 ～ 32 （十进制）的值表示小时计数值的 8 位寄存器。

通过分钟计数器的上溢进行递增计数。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。在写操作过程中忽视分钟计数寄存器的上溢并且设定为写入值。

根据实时时钟控制寄存器 0 （RTCC0）的 bit3 （AMPM）设定的小时系统，以 BCD 码设定十进制的 00 ～ 23 或者 01 ～ 12、 21 ～ 32。

如果更改 AMPM 位的值， HOUR 寄存器的值就变为设定的小时系统所对应的值。

通过 8 位存储器操作指令设定 HOUR 寄存器。

通过产生复位信号，此寄存器的值变为 “12H”。

但是，如果在复位后将 AMPM 位置 “1”，此寄存器就为 “00H”。

图 7-8 小时计数寄存器 （HOUR）的格式

地址：FFF94H 复位后：12H R/W

符号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 1. 当选择 AMPM 位为 “0” （12 小时系统）时， HOUR 寄存器的 bit5 （HOUR20）表示 AM （0） /PM （1）。

2. 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

AMPM 位的设定值、小时计数寄存器 （HOUR）的值和时间的关系如表 7-2 所示。

表 7-2 时间位数的表示

24 小时表示 （AMPM=1）		12 小时表示 （AMPM=0）	
时间	HOUR 寄存器	时间	HOUR 寄存器
0 时	00H	AM 12 时	12H
1 时	01H	AM 1 时	01H
2 时	02H	AM 2 时	02H
3 时	03H	AM 3 时	03H
4 时	04H	AM 4 时	04H
5 时	05H	AM 5 时	05H
6 时	06H	AM 6 时	06H
7 时	07H	AM 7 时	07H
8 时	08H	AM 8 时	08H
9 时	09H	AM 9 时	09H
10 时	10H	AM 10 时	10H
11 时	11H	AM 11 时	11H
12 时	12H	PM 12 时	32H
13 时	13H	PM 1 时	21H
14 时	14H	PM 2 时	22H
15 时	15H	PM 3 时	23H
16 时	16H	PM 4 时	24H
17 时	17H	PM 5 时	25H
18 时	18H	PM 6 时	26H
19 时	19H	PM 7 时	27H
20 时	20H	PM 8 时	28H
21 时	21H	PM 9 时	29H
22 时	22H	PM 10 时	30H
23 时	23H	PM 11 时	31H

当 AMPM 位为 “0” 时， HOUR 寄存器的值为 12 小时表示；当 AMPM 位为 “1” 时， HOUR 寄存器的值为 24 小时表示。

在 12 小时表示时， HOUR 寄存器的 bit5 表示上午 / 下午。上午 （AM）为 “0”，下午 （PM）为 “1”。

7.3.8 日计数寄存器 （DAY）

这是取 1 ～ 31 （十进制）的值表示日计数值的 8 位寄存器。

通过小时计数器的上溢进行递增计数。

计数器进行以下的计数。

- 01～31（1、 3、 5、 7、 8、 10、 12月）
- 01～30（4、 6、 9、 11月）
- 01～29（2月 闰年）
- 01～28（2月 平常年）

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。在写操作过程中忽视小时计数寄存器的上溢并且设定为写入值。以 BCD 码设定十进制的 01 ～ 31。

通过 8 位存储器操作指令设定 DAY 寄存器。

通过产生复位信号，此寄存器的值变为 “01H”。

图 7-9 日计数寄存器 （DAY）的格式

地址：FFF96H 复位后：01H R/W

符号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

7.3.9 星期计数寄存器 （WEEK）

这是取 0 ～ 6 （十进制）的值表示星期计数值的 8 位寄存器。

通过日计数器的进位进行递增计数。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。以 BCD 码设定十进制的 00 ～ 06。

通过 8 位存储器操作指令设定 WEEK 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-10 星期计数寄存器 （WEEK）的格式

地址：FFF95H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 1. 月计数寄存器 （MONTH）和日计数寄存器 （DAY）的对应值不自动保存到星期寄存器 （WEEK）。
必须在解除复位后进行以下的设定：

星期	WEEK
星期日	00H
星期一	01H
星期二	02H
星期三	03H
星期四	04H
星期五	05H
星期六	06H

2. 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

7.3.10 月计数寄存器 （MONTH）

这是取 1 ～ 12 （十进制）的值表示月计数值的 8 位寄存器。

通过日计数器的上溢进行递增计数。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。在写操作过程中忽视日计数寄存器的上溢并且设定为写入值。以 BCD 码设定十进制的 01 ～ 12。

通过 8 位存储器操作指令设定 MONTH 寄存器。

通过产生复位信号，此寄存器的值变为 “01H”。

图 7-11 月计数寄存器 （MONTH）的格式

地址：FFF97H 复位后：01H R/W

符号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

7.3.11 年计数寄存器 （YEAR）

这是取 0 ～ 99 （十进制）的值表示年计数值的 8 位寄存器。

通过月计数器 （MONTH）的上溢进行递增计数。

00、 04、 08、 ……、 92、 96 是闰年。

在写时，数据先被写到缓冲器，在经过最多 2 个 f_{RTC} 时钟后被写到计数器。在写操作过程中忽视 MONTH 寄存器的上溢并且设定为写入值。以 BCD 码设定十进制的 00 ～ 99。

通过 8 位存储器操作指令设定 YEAR 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-12 年计数寄存器 （YEAR）的格式

地址：FFF98H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 要在计数器运行中 （RTCE=1）读写此寄存器时，必须按照 “7.4.3 实时时钟计数器的读写 ” 的步骤进行。

7.3.12 时钟误差校正寄存器 （SUBCUD）

这是能通过改变内部计数器 （16 位）给秒计数寄存器 （SEC）的上溢值 （基准值：7FFFH）来高精度地校正时钟快慢的寄存器。

通过 8 位存储器操作指令设定 SUBCUD 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-13 时钟误差校正寄存器 （SUBCUD）的格式

地址：FFF99H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	时钟误差的校正时刻的设定
0	在秒的位数为 “00”、 “20”、 “40” 时 （每 20 秒）进行时钟误差的校正。
1	只在秒的位数为 “00” 时 （每 60 秒）进行时钟误差的校正。
在以下所示期间禁止写 SUBCUD 寄存器： • DVE=0：SEC=00H、 20H、 40H 的期间 • DVE=1：SEC=00H 的期间	

F6	时钟误差校正值的设定
0	{(F5, F4, F3, F2, F1, F0) – 1} × 2 增加
1	{(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2 减少
当 (F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) 时，不进行时钟误差的校正。 * 是 “0” 或者 “1”。 /F5 ～ /F0 是位的反相值 （“111100” 时，为 “000011”）。 校正范围：（F6=0） 2、 4、 6、 8、 ……、 120、 122、 124 （F6=1） –2、 –4、 –6、 –8、 ……、 –120、 –122、 –124	

能通过时钟误差校正寄存器 （SUBCUD）进行校正的范围如下所示。

	DEV=0 （每 20 秒的校正）	DEV=1 （每 60 秒的校正）
能校正的范围	–189.2ppm ～ 189.2ppm	–63.1ppm ～ 63.1ppm
最大量化误差	±1.53ppm	±0.51ppm
最小分辨率	±3.05ppm	±1.02ppm

备注 当校正范围超出 –63.1ppm ～ 63.1ppm 的范围时，必须将 DEV 位置 “0”。

7.3.13 闹钟分钟寄存器 （ALARMWM）

这是设定闹钟分钟的寄存器。

通过 8 位存储器操作指令设定 ALARMWM 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

注意 以 BCD 码设定十进制的 00 ～ 59。如果设定范围以外的值，就不检测闹钟。

图 7-14 闹钟分钟寄存器 （ALARMWM）的格式

地址：FFF9AH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

7.3.14 闹钟小时寄存器 （ALARMWH）

这是设定闹钟小时的寄存器。

通过 8 位存储器操作指令设定 ALARMWH 寄存器。

通过产生复位信号，此寄存器的值变为 “12H”。

但是，如果在复位后将 AMPM 位置 “1”，此寄存器就为 “00H”。

注意 以 BCD 码设定十进制的 00 ～ 23 或者 01 ～ 12、 21 ～ 32。如果设定范围以外的值，就不检测闹钟。

图 7-15 闹钟小时寄存器 （ALARMWH）的格式

地址：FFF9BH 复位后：12H R/W

符号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 当选择 AMPM 位为 “0” （12 小时系统）时， ALARMWH 寄存器的 bit5 （WH20）表示 AM （0） /PM （1）。

7.3.15 闹钟星期寄存器 （ALARMWW）

这是设定闹钟星期的寄存器。

通过 8 位存储器操作指令设定 ALARMWW 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 7-16 闹钟星期寄存器 （ALARMWW）的格式

地址：FFF9CH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

闹钟时间的设定例子如下所示。

闹钟设定时间	星期							12 小时表示				24 小时表示			
	星期日 WW 0	星期一 WW 1	星期二 WW 2	星期三 WW 3	星期四 WW 4	星期五 WW 5	星期六 WW 6	10 时	1 时	10 分	1 分	10 时	1 时	10 分	1 分
每天 上午 0 时 00 分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
每天 上午 1 时 30 分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
每天 上午 11 时 59 分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
星期一～星期五 下午 0 时 00 分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
星期日 下午 1 时 30 分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
星期一、星期三、星期五 下午 11 时 59 分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7.3.16 端口模式寄存器 3 （PM3）

通过 1 位或者 8 位存储器操作指令设定 PM3 寄存器。

在产生复位信号后，此寄存器的值变为 “FFH”。

在用作 RTC1HZ 引脚的 1Hz 输出时，必须将 PM30 位置 “0”。

图 7-17 端口模式寄存器 3 （PM3）的格式

地址：FFF23H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

7.3.17 端口寄存器 3 （P3）

通过 1 位或者 8 位存储器操作指令设定 P3 寄存器。

在产生复位信号后，此寄存器的值变为 “00H”。

在用作 RTC1HZ 引脚的 1Hz 输出时，必须将 P30 位置 “0”。

图 7-18 端口寄存器 3 （P3）的格式

地址：FFF03H 复位后：00H R/W

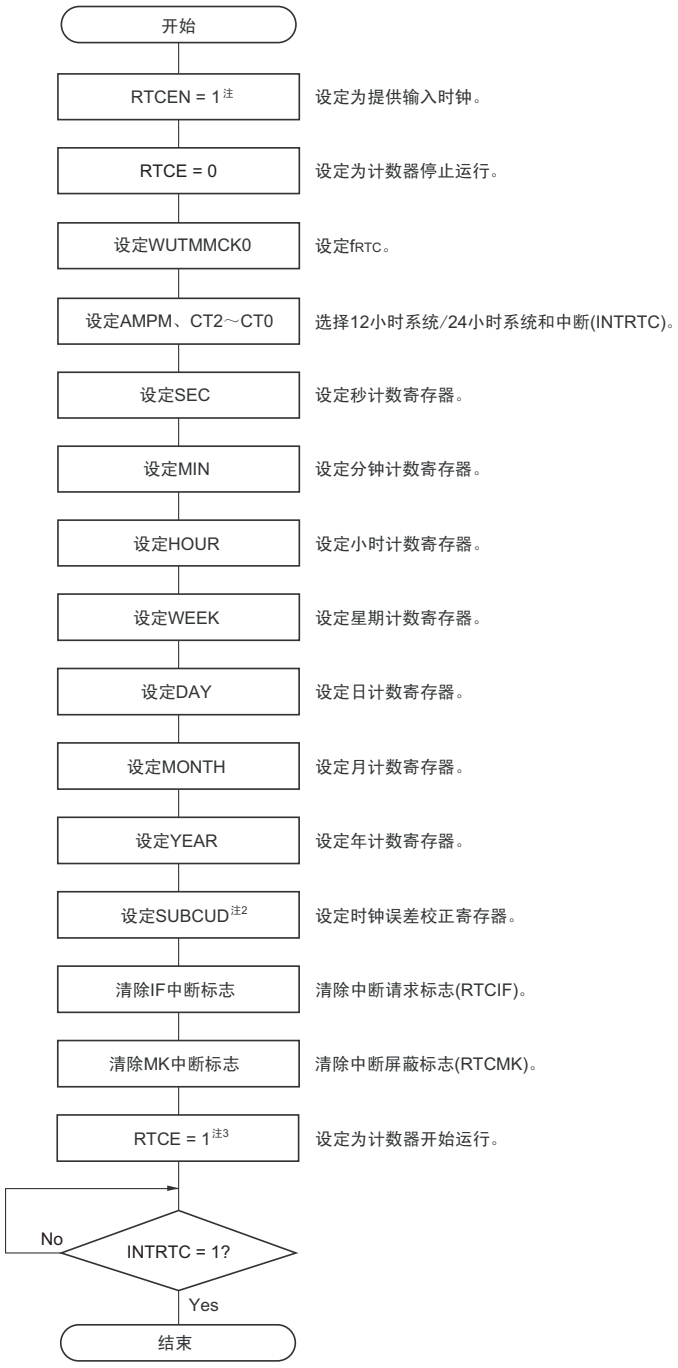
符号	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

备注 必须给未配置的位设定初始值。

7.4 实时时钟的运行

7.4.1 实时时钟的运行开始

图 7-19 实时时钟的运行开始步骤



注 1. 必须首先在计数时钟 （f_{RTC}）振荡稳定的状态下将 RTCEN 位置 “1”。

2. 这只是需要校正时钟误差的情况。有关校正值的计算方法，请参照 “7.4.6 实时时钟的时钟误差校正例子 ”。

3. 在 RTCE 位为 “1” 后不等待 INTRTC 位变为 “1” 而转移到 HALT/STOP 模式的情况下，请确认 “7.4.2 开始运行后 HALT/STOP 模式的转移 ” 的步骤。

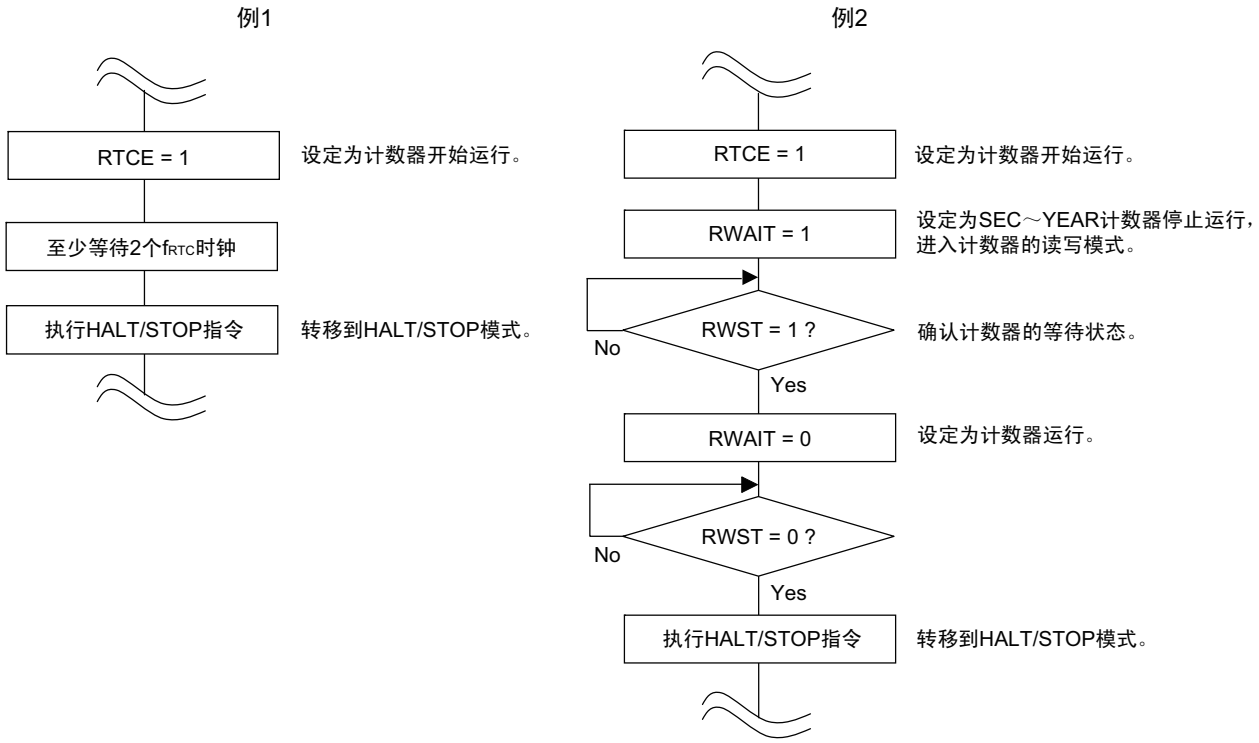
7.4.2 开始运行后 HALT/STOP 模式的转移

要在将 RTCE 位置 “1” 后立即转移到 HALT/STOP 模式时，必须进行以下某种处理。

但是，在将 RTCE 位置 “1” 后，如果要在发生第 1 次 INTRTC 中断后转移到 HALT/STOP 模式，就不需要这些处理。

- 在将RTCE位置“1”后至少经过2个输入时钟（f_{RTC}）之后转移到HALT/STOP模式（参照图7-20的例1）。
- 在将RTCE位置“1”后将RWAIT位置“1”，通过轮询确认RWST位变为“1”。然后，将RWAIT位置“0”并且再次通过轮询确认RWST位变为“0”，然后转移到HALT/STOP模式 （参照图7-20的例2）。

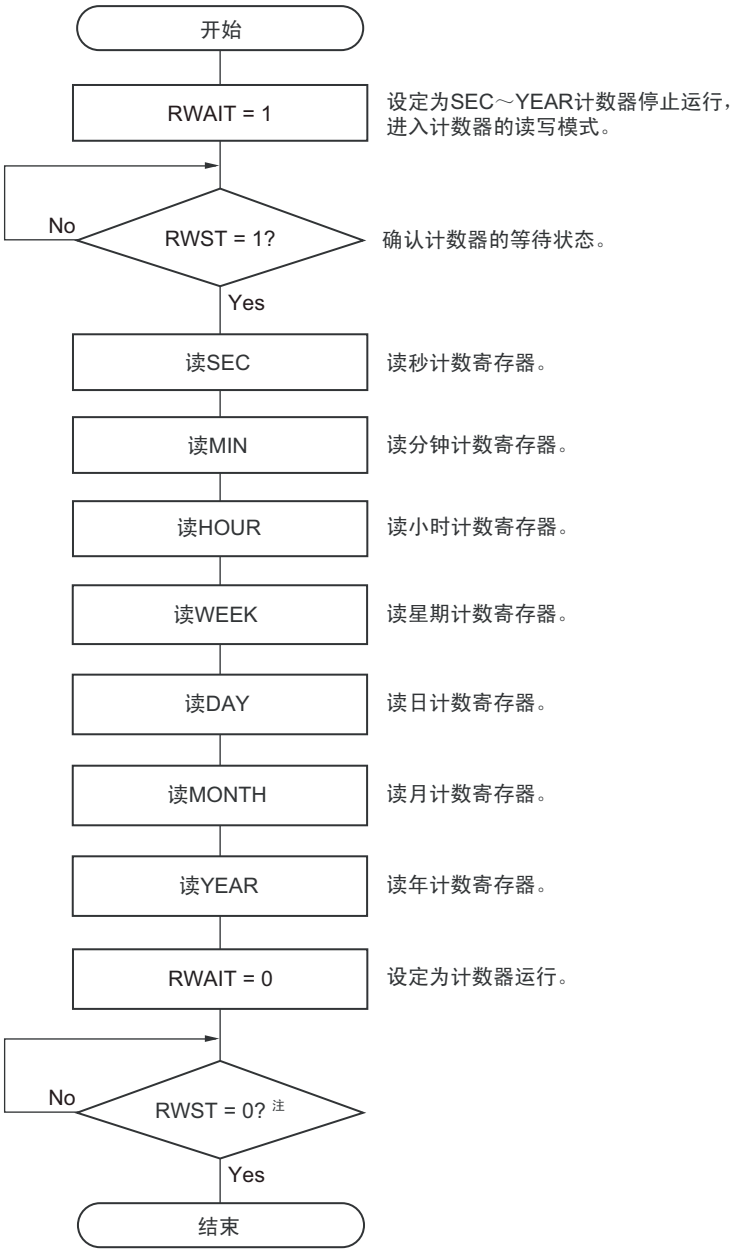
图 7-20 将 RTCE 位置 “1” 后的 HALT/STOP 模式的转移步骤



7.4.3 实时时钟计数器的读写

必须先将 RWAIT 位置 “1”，然后读写计数器。
必须在读写计数器后将 RWAIT 位置 “0”。

图 7-21 实时时钟计数器的读操作步骤

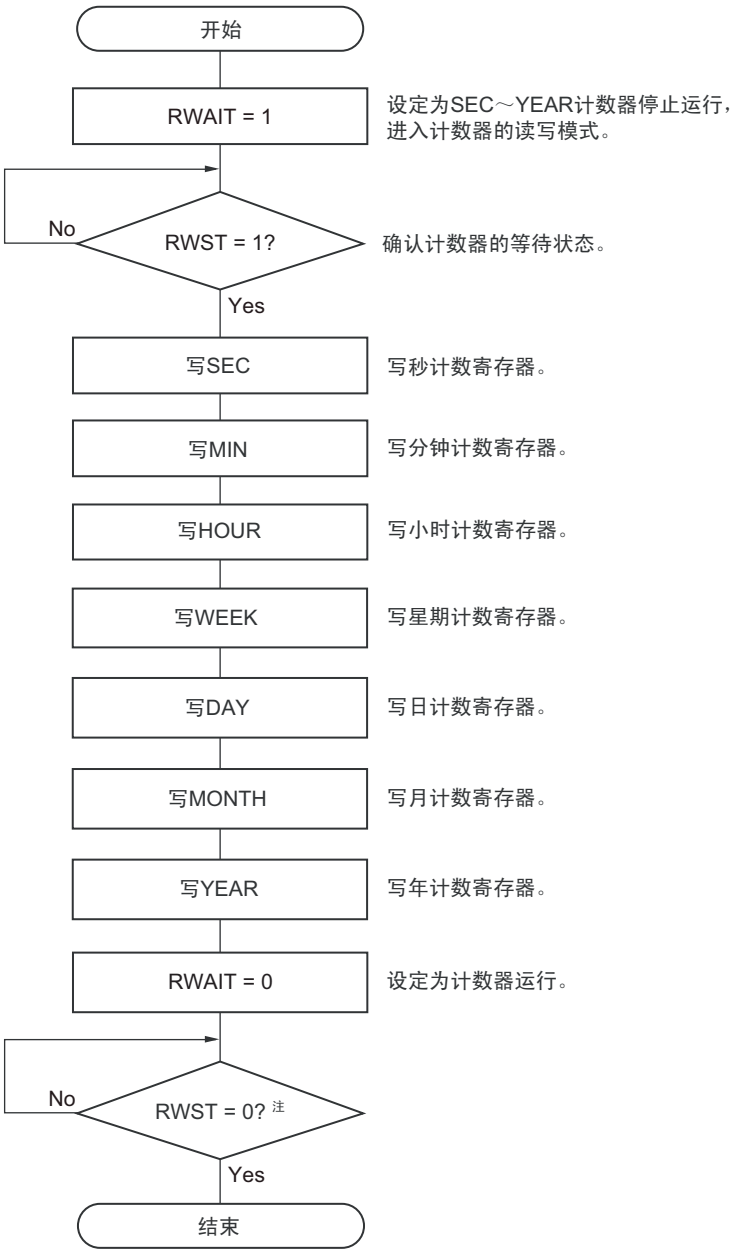


注 必须在转移到 STOP 模式前，确认 RWST 位为 “0”。

注意 必须在 1 秒内进行将 RWAIT 位置 “1” 到 RWAIT 位置 “0” 的处理。

备注 不限制秒计数寄存器（SEC）、分钟计数寄存器（MIN）、小时计数寄存器（HOUR）、星期计数寄存器（WEEK）、日计数寄存器 （DAY）、月计数寄存器 （MONTH）和年计数寄存器 （YEAR）的读操作顺序。
可以不读全部寄存器而只读部分寄存器。

图 7-22 实时时钟计数器的写操作步骤



注 必须在转移到 STOP 模式前，确认 RWST 位为 “0”。

注意 1. 必须在 1 秒内进行将 RWAIT 位置 “1” 到 RWAIT 位置 “0” 的处理。

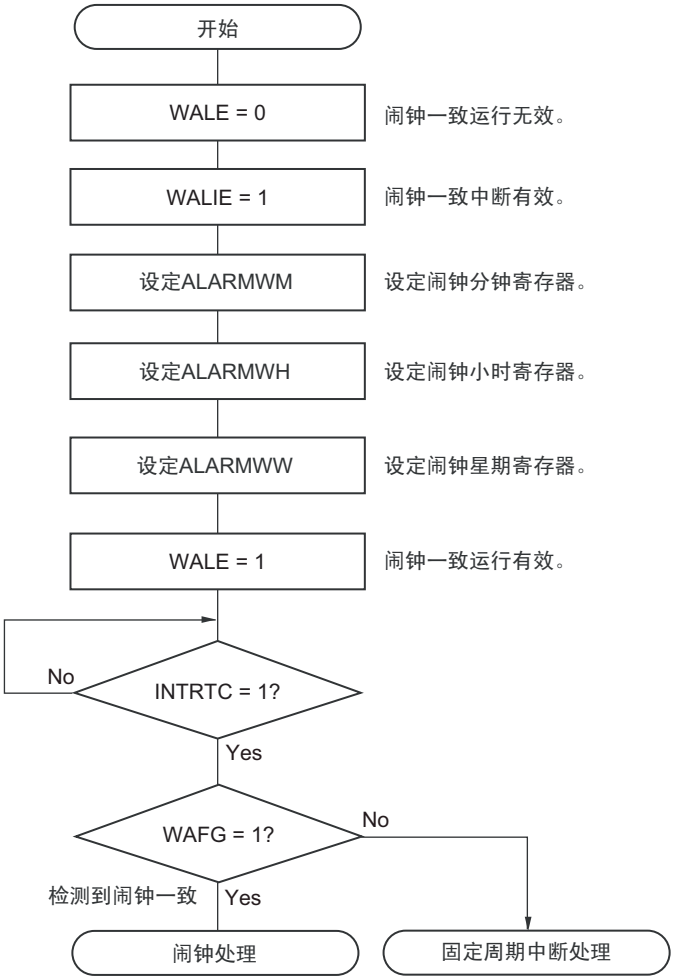
2. 要在计数器运行中（RTCE=1）改写 SEC、MIN、HOUR、WEEK、DAY、MONTH 和 YEAR 寄存器时，必须在通过中断屏蔽标志寄存器将 INTRTC 设定为禁止中断处理后进行改写，并且必须在改写后清除 WAFG 标志、RIFG 标志和 RTCIF 标志。

备注 不限制秒计数寄存器（SEC）、分钟计数寄存器（MIN）、小时计数寄存器（HOUR）、星期计数寄存器（WEEK）、日计数寄存器 （DAY）、月计数寄存器 （MONTH）和年计数寄存器 （YEAR）的读操作顺序。
可以不设定全部寄存器而只改写部分寄存器。

7.4.4 实时时钟的闹钟设定

必须先将 WALE 位置 “0” （闹钟运行无效），然后设定闹钟时间。

图 7-23 闹钟设定步骤

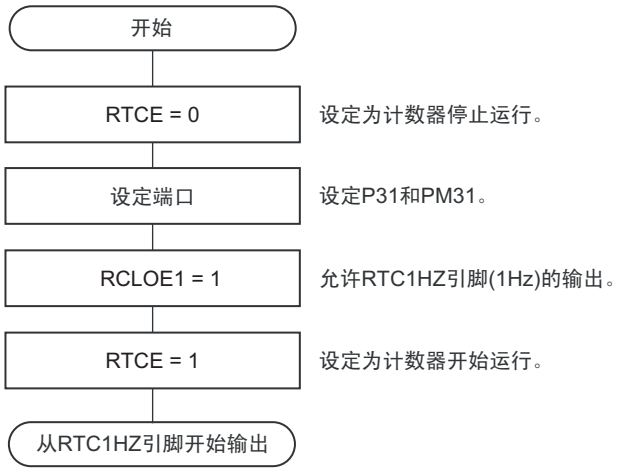


备注 1. 不限制闹钟分钟寄存器 （ALARMWM）、闹钟小时寄存器 （ALARMWH）和闹钟星期寄存器 （ALARMWW）的写操作顺序。

2. 固定周期中断和闹钟一致中断使用相同中断源 （INTRTC）。在同时使用这 2 个中断的情况下，能在发生 INTRTC 时通过确认固定周期中断状态标志 （RIFG）和闹钟检测状态标志 （WAFG）来判断发生的是哪个中断。

7.4.5 实时时钟的 1Hz 输出

图 7-24 1Hz 输出的设定步骤



注意 必须首先在输入时钟 （f_{SUB}）振荡稳定的状态下将 RTCEN 位置 “1”。

7.4.6 实时时钟的时钟误差校正例子

能通过给时钟误差校正寄存器设定值进行高精度的时钟快慢校正。

校正值的计算方法的例子

校正内部计数器 （16 位）的计数值时的校正值能用以下计算式进行计算。
当校正范围超出 –63.1ppm ～ 63.1ppm 的范围时，必须将 DEV 位置 “0”。

（DEV=0 的情况）
校正值[注] =1 分钟的校正计数值 ÷ 3 = (振荡频率 ÷ 目标频率 – 1) × 32768 × 60 ÷ 3

（DEV=1 的情况）
校正值[注] =1 分钟的校正计数值 = (振荡频率 ÷ 目标频率 – 1) × 32768 × 60

注 校正值是根据时钟误差校正寄存器 （SUBCUD）的 bit6 ～ 0 的值计算的时钟误差校正值。
（F6=0 的情况）校正值 = {(F5, F4, F3, F2, F1, F0) – 1} × 2
（F6=1 的情况）校正值 = – {(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2

当 (F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)时，不进行时钟误差的校正。 * 是“0”或者“1”。
/F5～/F0 是位的反相值 （“111100”时，为“000011”）。

备注 1. 校正值为 2、 4、 6、 8、 ……、 120、 122、 124 或者 –2、 –4、 –6、 –8、 ……、 –120、 –122、 –124。
2. 振荡频率是输入时钟 （f_{RTC}）的值，能用以下计算式进行计算：
时钟误差校正寄存器为初始值 “00H” 时的 RTC1HZ 引脚的输出频率 × 32768
3. 目标频率是使用时钟误差校正寄存器进行校正后的频率。

校正例子①

从 32772.3Hz 校正到 32768Hz （32772.3Hz–131.2ppm）的例子

【振荡频率的测量】

通过从 PCLBUZ0 引脚输出大约 32.768Hz 的信号，或者在时钟误差校正寄存器（SUBCUD）为初始值 “00H” 时通过从 RTC1HZ 引脚输出大约 1Hz 的信号来测量各产品的振荡频率注。

注 有关 RTC1HZ 的输出设定步骤，请参照 “7.4.5 实时时钟的 1Hz 输出 ”。有关从 PCLBUZ0 引脚输出大约 32kHz 的设定步骤，请参照 “9.4 时钟输出 / 蜂鸣器输出控制电路的运行 ”。

【校正值的计算】

（PCLBUZ0 引脚的输出频率为 32772.3Hz 的情况）

假设目标频率为 32768Hz （32772.3Hz–131.2ppm），因为 –131.2ppm 小于校正范围 –63.1ppm，所以 DEV=0。

适用 DEV 位为 “0” 时的校正值的计算式。

$$\text{校正值 =1 分钟的校正计数值} \div 3 = (\text{振荡频率} \div \text{目标频率} - 1) \times 32768 \times 60 \div 3$$
$$= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3$$
$$= 86$$

【（F6 ～ F0）的设定值的计算】

（校正值 = 86 的情况）

因为校正值大于 0 （时钟变慢的情况），所以 F6=0。

根据校正值计算 (F5, F4, F3, F2, F1, F0)。

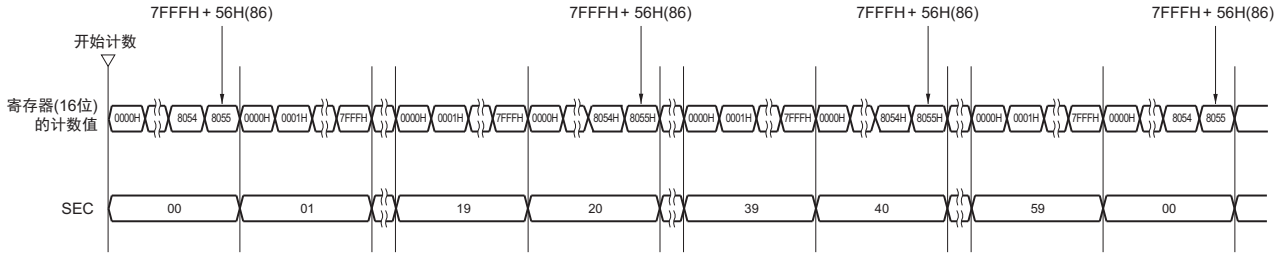
$$\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 = 86$$
$$(F5, F4, F3, F2, F1, F0) = 44$$
$$(F5, F4, F3, F2, F1, F0) = (1, 0, 1, 1, 0, 0)$$

因此，从 32772.3Hz 校正到 32768Hz （32772.3Hz–131.2ppm）的情况如下：

通过 DEV=0 并且校正值 = 86 （SUBCUD 寄存器的 bit6 ～ 0：0101100）来设定校正寄存器，就能校正到 32768Hz （0ppm）。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) 时的运行如图 7-25 所示。

图 7-25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) 时的校正运行



校正例子②

从 32767.4Hz 校正到 32768Hz （32767.4Hz+18.3ppm）的例子

【振荡频率的测量】

在时钟误差校正寄存器 （SUBCUD）为初始值 “00H” 时，通过从 RTC1HZ 引脚输出大约 1Hz 的信号来测量各产品的振荡频率注。

注 有关 RTC1HZ 的输出设定步骤，请参照 “7.4.5 实时时钟的 1Hz 输出 ”。

【校正值的计算】

（RTC1HZ 引脚的输出频率为 0.9999817Hz 的情况）

振荡频率 = 32768 × 0.9999817 ≈ 32767.4Hz

假设目标频率为 32768Hz （32767.4Hz+18.3ppm）并且 DEV=1。

适用 DEV 位为 “1” 时的校正值的计算式。

$$\text{校正值 =1 分钟的校正计数值} = (\text{振荡频率} \div \text{目标频率} - 1) \times 32768 \times 60$$
$$= (32767.4 \div 32768 - 1) \times 32768 \times 60$$
$$= -36$$

【（F6 ～ F0）的设定值的计算】

（校正值 = –36 的情况）

因为校正值小于 0 （时钟变快的情况），所以 F6=1。

根据校正值计算 (F5, F4, F3, F2, F1, F0)。

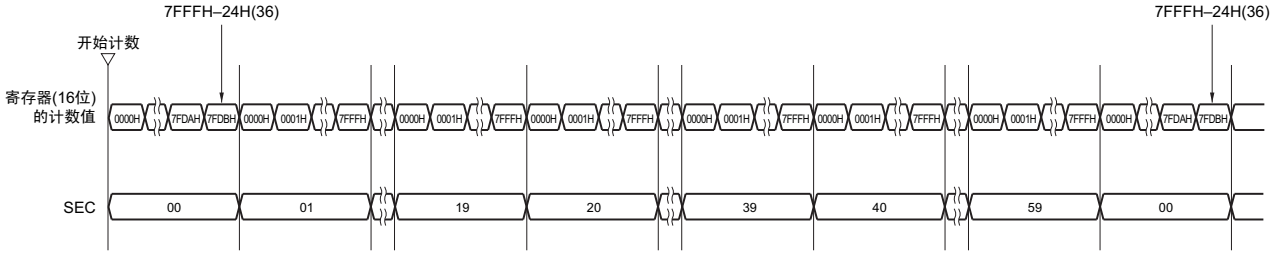
$$-\{(/F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2 = -36$$
$$(/F5, /F4, /F3, /F2, /F1, /F0) = 17$$
$$(/F5, /F4, /F3, /F2, /F1, /F0) = (0, 1, 0, 0, 0, 1)$$
$$(F5, F4, F3, F2, F1, F0) = (1, 0, 1, 1, 1, 0)$$

因此，从 32767.4Hz 校正到 32768Hz （32767.4Hz+18.3ppm）的情况如下：

通过 DEV=1 并且校正值 = –36 （SUBCUD 寄存器的 bit6 ～ 0：1101110）来设定校正寄存器，就能校正到 32768Hz （0ppm）。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) 时的运行如图 7-26 所示。

图 7-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) 时的校正运行



第 8 章 12 位间隔定时器

8.1 12 位间隔定时器的功能

按事先设定的任意时间间隔产生中断 （INTIT），能用于从 STOP 模式的唤醒以及 A/D 转换器的 SNOOZE 模式的触发。

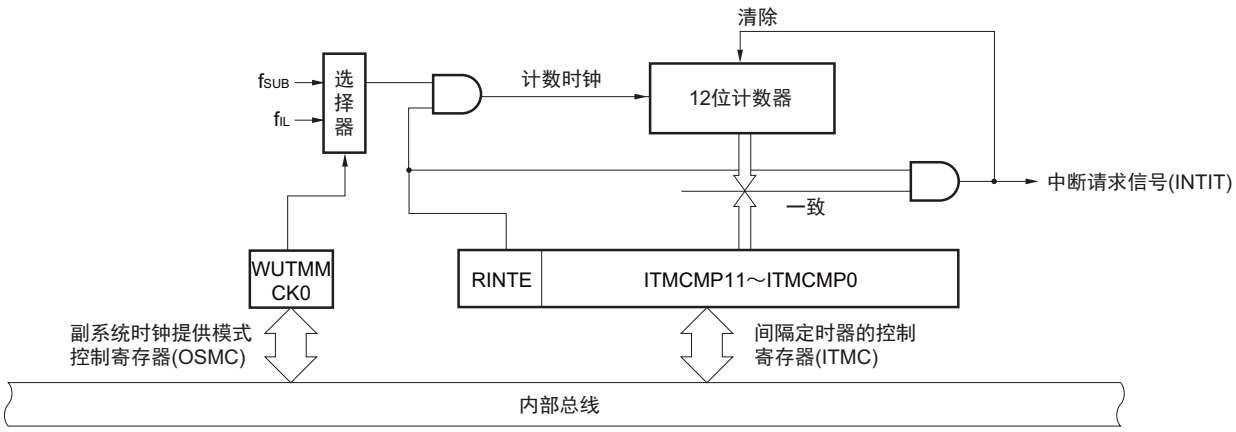
8.2 12 位间隔定时器的结构

12 位间隔定时器由以下硬件构成。

表 8-1 12 位间隔定时器的结构

项目	结构
计数器	12 位计数器
控制寄存器	外围允许寄存器 0 （PER0）
	副系统时钟提供模式控制寄存器 （OSMC）
	间隔定时器控制寄存器 （ITMC）

图 8-1 12 位间隔定时器的框图



8.3 控制 12 位间隔定时器的寄存器

通过以下寄存器控制 12 位间隔定时器。

- 外围允许寄存器0 （PER0）
- 副系统时钟提供模式控制寄存器 （OSMC）
- 间隔定时器控制寄存器 （ITMC）

8.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给各外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

在使用 12 位间隔定时器时，必须将 bit7 （RTCEN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 8-2 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCEN	给实时时钟 （RTC）和 12 位间隔定时器提供时钟的控制	LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出	
		选择副系统时钟 （f_{SUB}）	不选择副系统时钟 （f_{SUB}）
0	停止提供时钟。 • 不能写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。 • 实时时钟 （RTC）和 12 位间隔定时器处于复位状态。	停止提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	提供输入时钟和主系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。
1	提供时钟。 • 能读写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。	提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	

注意 1. 如果要使用 12 位间隔定时器，就必须首先在输入时钟 （f_{RTC}）振荡稳定的状态下将 RTCEN 位置 “1”。当 RTCEN 位为 “0” 时，忽视实时时钟和 12 位间隔定时器的控制寄存器的写操作，而且读取值也都为初始值 （副系统时钟提供模式控制寄存器 （OSMC）除外）。

2. 能通过将副系统时钟提供模式控制寄存器（OSMC）的 RTCLPC 位置 “1”，在 STOP 模式和副系统时钟的 HALT 模式中停止给实时时钟、 12 位间隔定时器和 LCD 控制器 / 驱动器以外的外围功能提供时钟。此时，必须将 RTCEN 位置 “1”，并且将 PER0 寄存器的其他位 （bit0 ～ 6）置 “0”。

3. 必须将 bit1、 3、 4、 6 置 “0”。

8.3.2 副系统时钟提供模式控制寄存器 （OSMC）

能通过 WUTMMCK0 位选择 12 位间隔定时器的运行时钟。

另外，RTCLPC 位是停止不需要的时钟功能而降低功耗的位。有关 RTCLPC 位的设定，请参照 “ **第 5 章 时钟发生电路** ”。

通过 8 位存储器操作指令设定 OSMC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 8-3 副系统时钟提供模式控制寄存器 （OSMC）的格式

地址：F00F3H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0 注	实时时钟、 12 位间隔定时器和 LCD 驱动器 / 控制器的运行时钟的选择	时钟输出 / 蜂鸣器输出的 PCLBUZn 引脚的输出时钟的选择
0	副系统时钟 （f_{SUB}）	允许选择副系统时钟 （f_{SUB}）。
1	低速内部振荡器时钟 （f_{IL}）	禁止选择副系统时钟 （f_{SUB}）。

注 当副系统时钟正在振荡时，必须选择副系统时钟 （WUTMMCK0=0）。

注意 只有在实时时钟、12 位间隔定时器和 LCD 驱动器 / 控制器的全部功能处于停止运行时，才能通过 WUTMMCK0 位进行副系统时钟和低速内部振荡器时钟的切换。

各功能的运行停止方法如下：

实时时钟的停止设定： RTCE=0

12位间隔定时器的停止设定： RINTE=0

LCD驱动器/控制器的停止设定：SCOC=0并且VLCON=0

备注 RTCE： 实时时钟控制寄存器 0 （RTCC0）的 bit7

RINTE： 间隔定时器控制寄存器 （ITMC）的bit15

SCOC： LCD模式寄存器1 （LCDM1）的bit6

VLCON：LCD模式寄存器1 （LCDM1）的bit5

8.3.3 间隔定时器控制寄存器 （ITMC）

这是设定 12 位间隔定时器的运行开始和停止以及比较值的寄存器。

通过 16 位存储器操作指令设定 ITMC 寄存器。

通过产生复位信号，此寄存器的值变为 “0FFFH”。

图 8-4 间隔定时器控制寄存器 （ITMC）的格式

地址：FFF90H 复位后：0FFFH R/W

符号	15	14	13	12	11 ～ 0
ITMC	RINTE	0	0	0	ITCMP11 ～ ITCMP0

RINTE	12 位间隔定时器的运行控制
0	停止计数运行 （清除计数）。
1	开始计数运行。

ITCMP11 ～ ITCMP0	12 位间隔定时器比较值的设定
001H	这些位产生 “ 计数时钟周期 × （ITCMP 设定值 +1） ” 的固定周期中断。
• • •	
FFFH	
000H	禁止设定
ITCMP11 ～ ITCMP0 为 “001H” 或者 “FFFH” 时的中断周期例子 • ITCMP11 ～ ITCMP0 = 001H，计数时钟：f_{SUB}=32.768kHz 1/32.768[kHz] × (1+1) = 0.06103515625[ms] ≈ 61.03[μs] • ITCMP11 ～ ITCMP0 = FFFH，计数时钟：f_{SUB}=32.768kHz 1/32.768[kHz] × (4095+1) = 125[ms]	

注意 1. 要将 RINTE 位从 “1” 改为 “0” 时，必须在通过中断屏蔽标志寄存器来禁止 INTIT 中断处理后改写 RINTE 位。要重新开始运行 （从 “0” 改为 “1”） 时，必须在清除 ITIF 标志后允许中断处理。

2. RINTE 位的读取值在设定 RINTE 位后的 1 个计数时钟之后被反映。

3. 在从待机模式返回后设定 RINTE 位并且再次转移到待机模式时，必须确认 RINTE 位的写入值是否被反映，或者在从待机模式返回后至少经过 1 个计数时钟的时间之后再转移到待机模式。

4. 要更改 ITCMP11 ～ ITCMP0 位的设定时，必须在 RINTE 位为 “0” 的状态下进行。
但是，能在将 RINTE 位从 “0” 改为 “1” 或者从 “1” 改为 “0” 的同时更改 ITCMP11 ～ ITCMP0 位的设定。

8.4 12 位间隔定时器的运行

8.4.1 12 位间隔定时器的运行时序

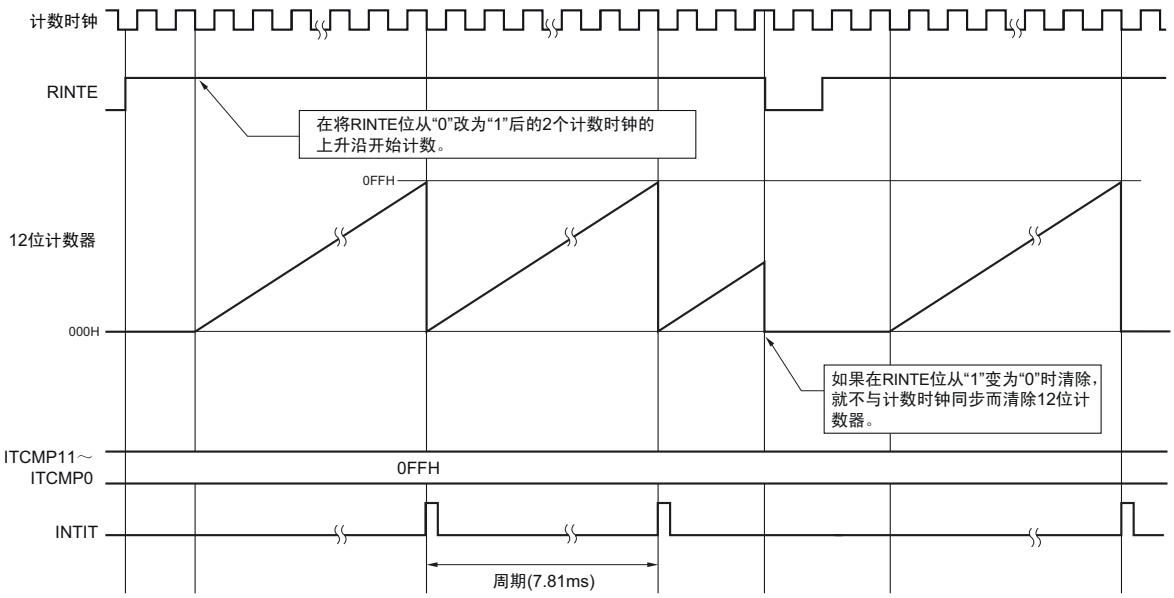
以 ITCMP11 ～ ITCMP0 位设定的计数值为间隔，作为重复产生中断请求（INTIT）的 12 位间隔定时器运行。

如果将 RINTE 位置 “1”， 12 位计数器就开始计数。

当 12 位计数器的值和 ITCMP11 ～ ITCMP0 位的设定值相同时，将 12 位计数器清 “0” 并且继续进行计数，同时产生中断请求信号 （INTIT）。

12 位间隔定时器的基本运行如图 8-5 所示。

图 8-5 12 位间隔定时器的运行时序
（ITCMP11 ～ ITCMP00=0FFH，计数时钟：f_{SUB}=32.768kHz）

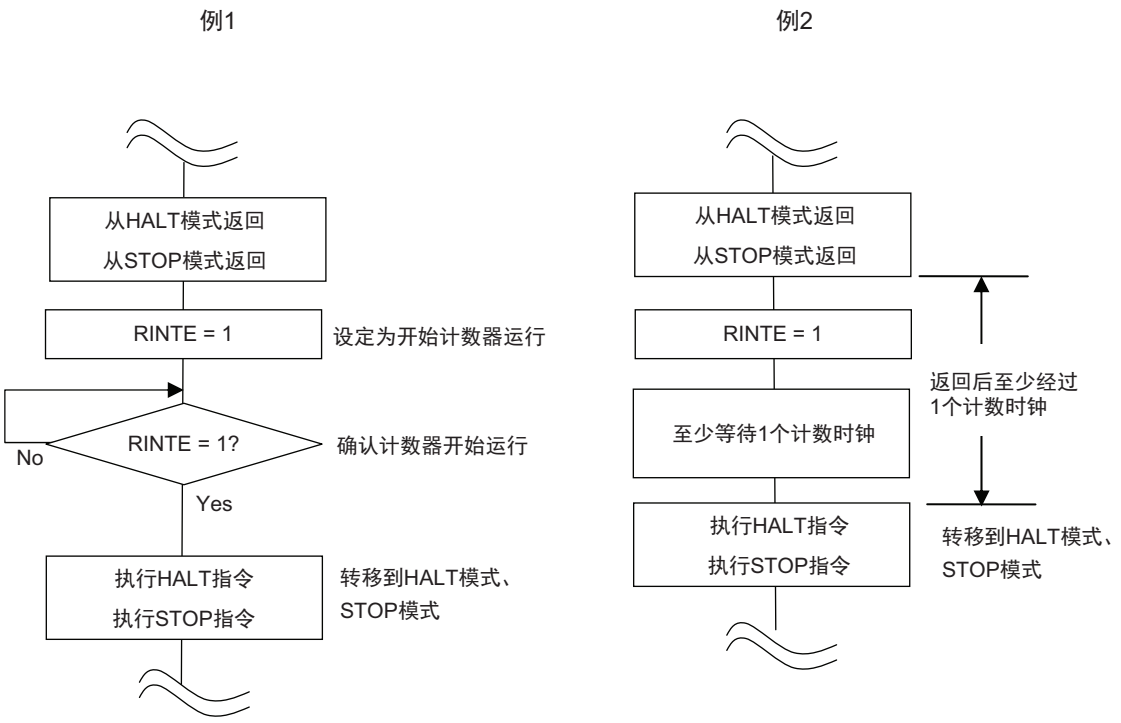


8.4.2 从 HALT/STOP 模式返回后计数器开始运行并且再次转移到 HALT/STOP 模式

如果从 HALT 模式或者 STOP 模式返回后将 RINTE 置 “1”，并且要再次转移到 HALT 模式或者 STOP 模式，就必须在将 RINTE 置 “1” 后，确认是否已反映 RINTE 位的写入值，或者在返回后是否至少经过 1 个计数时钟，然后再进行转移。

- 将RINTE位置“1”后，通过轮询确认RINTE位已变为“1”，然后转移到HALT模式或者STOP模式 （参照图8-6的例1）。
- 将RINTE位置“1”后，至少经过1个计数时钟，然后转移到HALT模式或者STOP模式 （参照图8-6的例2）。

图 8-6 将 RINTE 位置 “1” 后向 HALT 模式或者 STOP 模式转移的步骤



第 9 章 时钟输出 / 蜂鸣器输出控制电路

9.1 时钟输出 / 蜂鸣器输出控制电路的功能

时钟输出是在遥控发送时输出载波并且输出提供给外围 IC 时钟的功能，蜂鸣器输出是输出蜂鸣器频率方波的功能。

能用 1 个引脚选择用作时钟输出或者蜂鸣器输出。

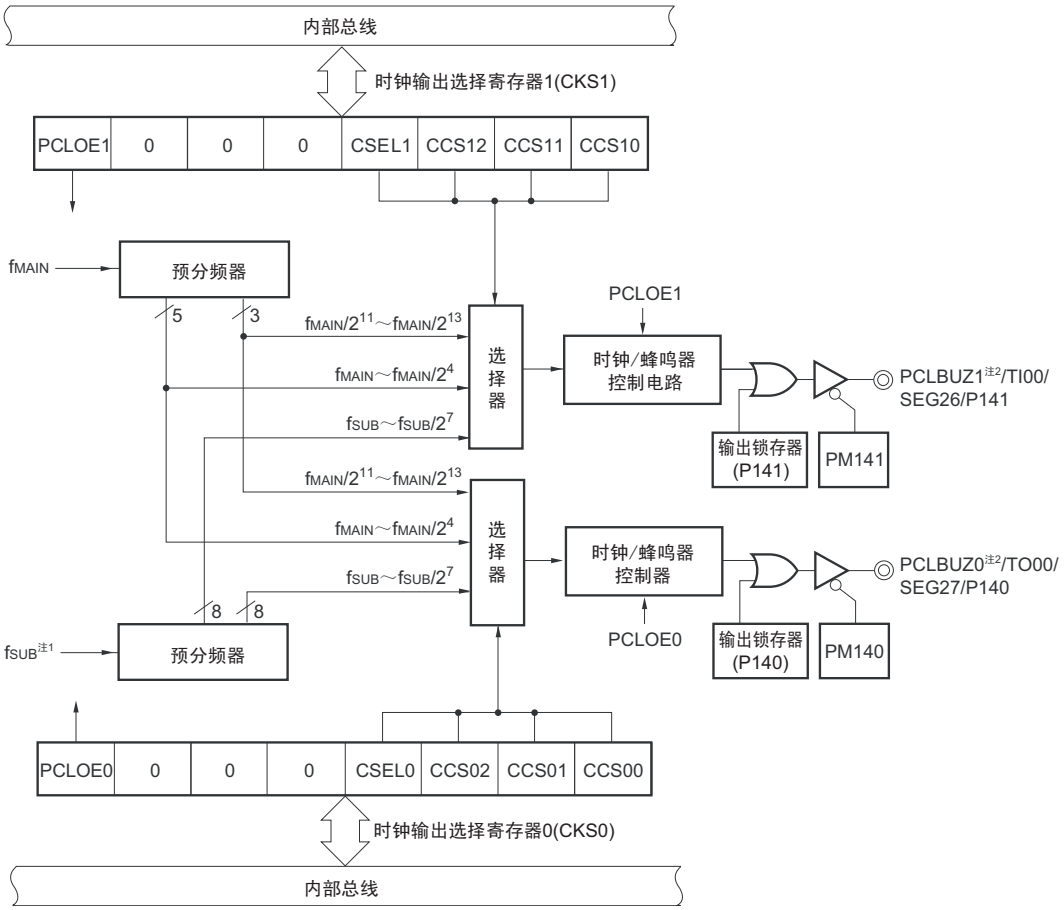
PCLBUZn 引脚输出由时钟输出选择寄存器 n （CKSn）选择的时钟。

时钟输出 / 蜂鸣器输出控制电路的框图如图 9-1 所示。

注意 在副系统时钟提供模式控制寄存器 （OSMC）的 RTCLPC=1 并且在以副系统时钟 （f_{SUB}）进行 CPU 运行的 HALT 模式中，不能从 PCLBUZn 引脚输出副系统时钟 （f_{SUB}）。

备注 n=0、 1

图 9-1 时钟输出 / 蜂鸣器输出控制电路的框图



注 1. 当将 OSMC 寄存器的 WUTMMCK0 位置 “1” 时，禁止选择 f_{SUB} 作为时钟输出 / 蜂鸣器输出的输出时钟。

2. 有关能从 PCLBUZ0 引脚和 PCLBUZ1 引脚输出的频率，请参照 “27.4 AC 特性 ”。

备注 此图中的 PCLBUZ0 引脚是 PIOR1 位为 “0” 的情况。

其他情况的引脚名、输出锁存器 （Pxx）和PMxx不同，阅读时请替换 （xx=50）。

9.2 时钟输出 / 蜂鸣器输出控制电路的结构

时钟输出 / 蜂鸣器输出控制电路由以下硬件构成。

表 9-1 时钟输出 / 蜂鸣器输出控制电路的结构

项目	结构
控制寄存器	外围允许寄存器 0 （PER0） 时钟输出选择寄存器 n （CKSn） 端口模式寄存器 5、 14 （PM5、 PM14） 端口寄存器 5、 14 （P5、 P14）

9.3 控制时钟输出 / 蜂鸣器输出控制电路的寄存器

通过以下 3 种寄存器控制时钟输出 / 蜂鸣器输出控制电路。

- 外围允许寄存器0 （PER0）
- 时钟输出选择寄存器n （CKSn）
- 端口模式寄存器5、 14 （PM5、 PM14）

9.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给各外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

在将副系统时钟 （f_{SUB}）用于时钟输出 / 蜂鸣输出控制电路时，必须将 bit7 （RTCEN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 9-2 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCEN	实时时钟 （RTC）和 12 位间隔定时器	LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出	
		选择副系统时钟 （f_{SUB}）	不选择副系统时钟 （f_{SUB}）
0	停止提供输入时钟。 • 不能写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。 • 实时时钟 （RTC）和 12 位间隔定时器处于复位状态。	停止提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	提供输入时钟和主系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。
1	提供输入时钟。 • 能读写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。	提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	

注意 必须将 bit1、 3、 4、 6 置 “0”。

9.3.2 时钟输出选择寄存器 n （CKSn）

这是允许或者禁止时钟输出引脚或者蜂鸣器频率输出引脚 （PCLBUZn）的输出以及设定输出时钟的寄存器。
通过 CKSn 寄存器选择 PCLBUZn 引脚输出的时钟。
通过 1 位或者 8 位存储器操作指令设定 CKSn 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 9-3 时钟输出选择寄存器 n （CKSn）的格式

地址：FFFA5H （CKS0）、 FFFA6H （CKS1） 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn 引脚输出允许 / 禁止的指定
0	禁止输出 （默认值）。
1	允许输出。

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn 引脚输出时钟的选择				
					f_{MAIN}=5MHz	f_{MAIN}=10MHz	f_{MAIN}=20MHz	f_{MAIN}=24MHz
0	0	0	0	f_{MAIN}	5MHz	10MHz 注 1	禁止设定注 1	禁止设定注 1
0	0	0	1	$f_{MAIN}/2$	2.5MHz	5MHz	10MHz 注 1	12MHz 注 1
0	0	1	0	$f_{MAIN}/2^2$	1.25MHz	2.5MHz	5MHz	6MHz
0	0	1	1	$f_{MAIN}/2^3$	625kHz	1.25MHz	2.5MHz	3MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5kHz	625kHz	1.25MHz	1.5MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44kHz	4.88kHz	9.77kHz	11.7kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22kHz	2.44kHz	4.88kHz	5.86kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610Hz	1.22kHz	2.44kHz	2.93kHz
1	0	0	0	f_{SUB} 注 2	32.768kHz			
1	0	0	1	$f_{SUB}/2$ 注 2	16.384kHz			
1	0	1	0	$f_{SUB}/2^2$ 注 2	8.192kHz			
1	0	1	1	$f_{SUB}/2^3$ 注 2	4.096kHz			
1	1	0	0	$f_{SUB}/2^4$ 注 2	2.048kHz			
1	1	0	1	$f_{SUB}/2^5$ 注 2	1.024kHz			
1	1	1	0	$f_{SUB}/2^6$ 注 2	512Hz			
1	1	1	1	$f_{SUB}/2^7$ 注 2	256Hz			

注 1. 必须在 16MHz 以内的范围内使用输出时钟。当 2.7V ≤ V_{DD} < 4.0V 时，只能在 8MHz 以内的范围内使用输出时钟。详细内容请参照 “27.4 AC 特性 ”。

2. 当将 OSMC 寄存器的 WUTMMCK0 位置 “1” 时，禁止选择 f_{SUB} 作为时钟输出 / 蜂鸣器输出的输出时钟。

注意 1. 输出时钟的切换必须在设定为禁止输出 （PCLOEn=0) 后进行。

2. 在选择主系统时钟 （CSELn=0）时，如果要转移到 STOP 模式，就必须在执行 STOP 指令前将 PCLOEn 置 “0” ；在选择副系统时钟 （CSELn=1）时，因为副系统时钟提供模式控制寄存器 （OSMC）的 RTCLPC=0 并且能在 STOP 模式中输出时钟，所以能将 PCLOEn 置 “1”。

3. 在副系统时钟提供模式控制寄存器（OSMC）的 RTCLPC=1 并且在以副系统时钟（f_{SUB}）进行 CPU 运行的 HALT 模式中，不能从 PCLBUZn 引脚输出副系统时钟 （f_{SUB}）。

备注 1. n=0、 1

2. f_{MAIN}：主系统时钟频率
   f_{SUB}： 副系统时钟频率

9.3.3 端口模式寄存器 5、 14 （PM5、 PM14）

这是以位为单位设定端口 5 和 14 的输入 / 输出的寄存器。

要将 P50/INTP5/SEG7/(PCLBUZ0)、P140/PCLBUZ0/TO00/SEG27、P141/PCLBUZ1/TI00/SEG26 引脚用作时钟输出 / 蜂鸣器输出时，必须将 PM50 位、 PM140 位和 PM141 位以及 P50、 P140 和 P141 的输出锁存器置 “0”。

通过 1 位或者 8 位存储器操作指令设定 PM5 寄存器和 PM14 寄存器。

通过产生复位信号，这 2 个寄存器的值变为 “FFH”。

图 9-4 端口模式寄存器 5、 14 （PM5、 PM14）的格式

地址：FFF25H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50

地址：FFF2EH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn 引脚输入 / 输出模式的选择 （mn=50 ～ 54、 140 ～ 147）
0	输出模式 （输出缓冲器 ON）
1	输入模式 （输出缓冲器 OFF）

9.4 时钟输出 / 蜂鸣器输出控制电路的运行

能用 1 个引脚选择用作时钟输出或者蜂鸣器输出。

PCLBUZ0 引脚输出由时钟输出选择寄存器 0 （CKS0）选择的时钟 / 蜂鸣器。

PCLBUZ1 引脚输出由时钟输出选择寄存器 1 （CKS1）选择的时钟 / 蜂鸣器。

9.4.1 输出引脚的运行

PCLBUZn 引脚按照以下步骤进行输出：

① 将与用作PCLBUZn引脚的端口对应的端口模式寄存器 （PMxx）和端口寄存器 （Pxx）的位置“0”。

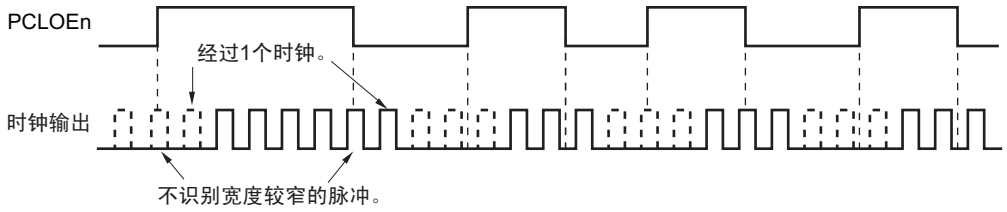
② 通过PCLBUZn引脚的时钟输出选择寄存器 （CKSn）的bit0～3 （CCSn0～CCSn2、 CSELn）选择输出频率 （输出为禁止状态）。

③ 将CKSn寄存器的bit7 （PCLOEn）置“1”，允许时钟/蜂鸣器的输出。

备注 1. 用作时钟输出时的控制电路在允许或者禁止时钟输出（PCLOEn 位）后的 1 个时钟之后，开始或者停止时钟输出。此时不输出宽度窄的脉冲。通过 PCLOEn 位允许或者停止输出以及时钟输出的时序如图 9-5 所示。

2. n=0、 1

图 9-5 PCLBUZn 引脚的时钟输出时序



9.5 时钟输出 / 蜂鸣器输出控制电路的注意事项

当选择主系统时钟作为 PCLBUZn 输出 （CSELn=0）时，如果在设定停止输出 （PCLOEn=0）后的 1.5 个主系统时钟内转移到 STOP 模式或者 HALT 模式， PCLBUZn 的输出宽度就变窄。

第 10 章 看门狗定时器

10.1 看门狗定时器的功能

看门狗定时器通过选项字节 （000C0H）设定计数运行。

看门狗定时器以低速内部振荡器时钟 （f_{IL}）运行。

看门狗定时器用于检测程序失控。在检测到程序失控时，产生内部复位信号。

下述情况判断为程序失控。

- 当看门狗定时器计数器发生上溢时
- 当对看门狗定时器的允许寄存器 （WDTE）执行1位操作指令时
- 当给WDTE寄存器写“ACH”以外的数据时
- 在窗口关闭期间给WDTE寄存器写数据时

当因看门狗定时器而发生复位时，将复位控制标志寄存器 （RESF）的 bit4 （WDTRF）置 “1”。有关 RESF 寄存器的详细内容，请参照 “ **第 17 章 复位功能** ”。

当达到上溢时间的 75%+1/2f_{IL} 时，能产生间隔中断。

10.2 看门狗定时器的结构

看门狗定时器由以下硬件构成。

表 10-1 看门狗定时器的结构

项目	结构
计数器	内部计数器 （17 位）
控制寄存器	看门狗定时器允许寄存器 （WDTE）

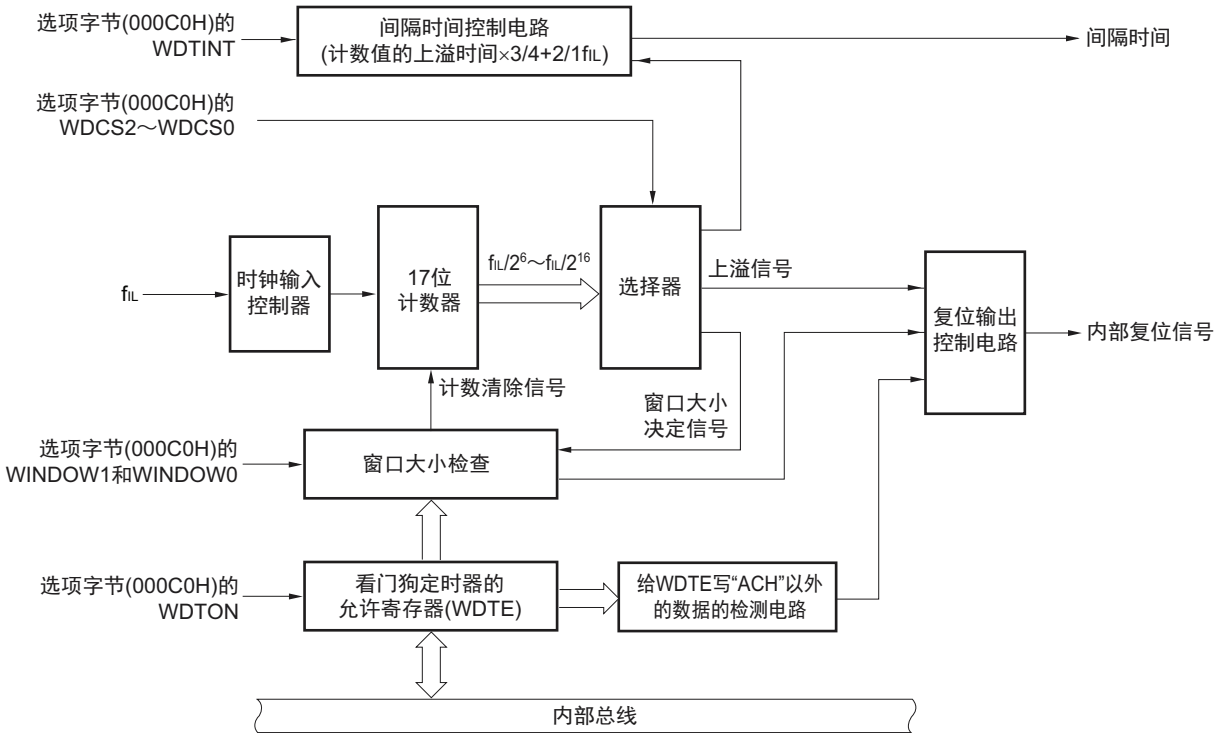
通过选项字节控制计数器的运行以及设定上溢时间、窗口打开期间和间隔中断。

表 10-2 选项字节和看门狗定时器的设定内容

看门狗定时器的设定内容	选项字节 （000C0H）
看门狗定时器的间隔中断的设定	bit7 （WDTINT）
窗口打开期间的设定	bit6 和 bit5 （WINDOW1、 WINDOW0）
看门狗定时器的计数器运行控制	bit4 （WDTON）
看门狗定时器的上溢时间的设定	bit3 ～ 1 （WDCS2 ～ WDCS0）
看门狗定时器的计数器运行控制 （HALT/STOP 时）	bit0 （WDSTBYON）

备注 有关选项字节，请参照“ 第 22 章 选项字节 ”。

图 10-1 看门狗定时器的框图



备注 f_{IL}：低速内部振荡器时钟

10.3 控制看门狗定时器的寄存器

通过看门狗定时器允许寄存器 （WDTE）控制看门狗定时器。

10.3.1 看门狗定时器允许寄存器 （WDTE）

能通过给 WDTE 寄存器写 “ACH” 来清除看门狗定时器的计数器，并且重新开始计数。

通过 8 位存储器操作指令设定 WDTE 寄存器。

通过产生复位信号，此寄存器的值变为 “9AH” 或者 “1AH” 注。

图 10-2 看门狗定时器允许寄存器 （WDTE）的格式

地址：FFFABH 复位后：9AH/1AH 注 R/W

符号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE 寄存器的复位值因选项字节 （000C0H）的 WDTON 位的设定值而不同。要使看门狗定时器运行时，必须将 WDTON 位置 “1”。

WDTON 位的设定值	WDTE 寄存器的复位值
0 （禁止看门狗定时器的计数运行）	1AH
1 （允许看门狗定时器的计数运行）	9AH

注意 1. 当给 WDTE 寄存器写 “ACH” 以外的值时，产生内部复位信号。

2. 当对 WDTE 寄存器执行 1 位操作指令时，产生内部复位信号。

3. WDTE 寄存器的读取值为 “9AH/1AH” （和写入值 （“ACH”）不同）。

10.4 看门狗定时器的运行

10.4.1 看门狗定时器的运行控制

1. 当使用看门狗定时器时，通过选项字节 （000C0H）设定以下内容：
   - 必须将选项字节 （000C0H）的 bit4 （WDTON）置 “1”，允许看门狗定时器的计数运行 （在解除复位后，计数器开始运行）（详细内容请参照**第 22 章**）。

WDTON	看门狗定时器的计数器
0	禁止计数运行 （解除复位后停止计数）。
1	允许计数运行 （解除复位后开始计数）。

   - 必须通过选项字节 （000C0H）的 bit3 ～ 1 （WDCS2 ～ WDCS0）设定上溢时间 （详细内容请参照 10.4.2 和**第 22 章**）。
   - 必须通过选项字节 （000C0H）的 bit6 和 bit5 （WINDOW1、 WINDOW0）设定窗口打开期间 （详细内容请参照 10.4.3 和**第 22 章**）。

2. 在解除复位后，看门狗定时器开始计数。
3. 在开始计数后并且在选项字节所设上溢时间前，如果给看门狗定时器允许寄存器（WDTE）写 “ACH”，就清除看门狗定时器并且重新开始计数。
4. 此后，解除复位后的第 2 次以后的 WDTE 寄存器的写操作必须在窗口打开期间进行。如果在窗口关闭期间写 WDTE 寄存器，就产生内部复位信号。
5. 如果不给 WDTE 寄存器写 “ACH” 而超过上溢时间，就产生内部复位信号。
   以下情况下会产生内部复位信号：
   - 当对 WDTE 寄存器执行 1 位操作指令时
   - 当给 WDTE 寄存器写 “ACH” 以外的数据时

注意 1. 在解除复位后第 1 次写看门狗定时器允许寄存器（WDTE）时，与窗口打开期间无关，只要在上溢时间前的任何时刻写 WDTE，就都清除看门狗定时器，并且重新开始计数。

2. 从给 WDTE 寄存器写 “ACH” 到清除看门狗定时器的计数器，可能产生最大 2 个 f_{IL} 时钟的误差。

3. 在计数值发生上溢前，都能清除看门狗定时器。

4. 如下所示，看门狗定时器在 HALT 模式、 STOP 模式或者 SNOOZE 模式中的运行因选项字节 （000C0H）的 bit0 （WDSTBYON）的设定值而不同。

	WDSTBYON=0	WDSTBYON=1
HALT 模式	停止看门狗定时器运行。	继续看门狗定时器运行。
STOP 模式		
SNOOZE 模式		

当 WDSTBYON 位为 “0” 时，在解除 HALT 模式或者 STOP 模式后重新开始看门狗定时器的计数。此时，将计数器清 “0”，开始计数。

当解除 STOP 模式后以 X1 振荡时钟运行时， CPU 在经过振荡稳定时间后开始运行。

如果从解除 STOP 模式到看门狗定时器发生上溢的时间较短，就会在振荡稳定时间内发生看门狗上溢而产生复位。

因此，在通过间隔中断解除 STOP 模式后，如果要以 X1 振荡时钟运行并且要清除看门狗定时器，因为在经过振荡稳定时间后才清除看门狗定时器，所以必须考虑这种情况进行上溢时间的设定。

10.4.2 看门狗定时器上溢时间的设定

通过选项字节 （000C0H）的 bit3 ～ 1 （WDCS2 ～ WDCS0）设定看门狗定时器的上溢时间。

在发生上溢时，产生内部复位信号。在上溢时间前的窗口打开期间，通过给看门狗定时器允许寄存器（WDTE）写 “ACH”，清除计数并且重新开始计数。

能设定的上溢时间如下所示。

表 10-3 看门狗定时器上溢时间的设定

WDCS2	WDCS1	WDCS0	看门狗定时器的上溢时间 （f_{IL}=17.25kHz （MAX.）的情况）
0	0	0	$2^6/f_{IL}$ （3.71ms）
0	0	1	$2^7/f_{IL}$ （7.42ms）
0	1	0	$2^8/f_{IL}$ （14.84ms）
0	1	1	$2^9/f_{IL}$ （29.68ms）
1	0	0	$2^{11}/f_{IL}$ （118.72ms）
1	0	1	$2^{13}/f_{IL}$ （474.89ms）
1	1	0	$2^{14}/f_{IL}$ （949.79ms）
1	1	1	$2^{16}/f_{IL}$ （3799.18ms）

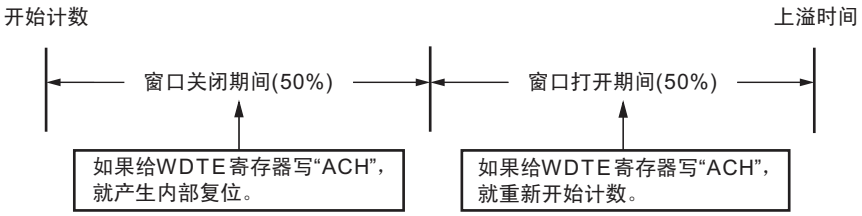
备注 f_{IL}：低速内部振荡器时钟频率

10.4.3 看门狗定时器窗口打开期间的设定

通过选项字节 （000C0H）的 bit6 和 bit5 （WINDOW1、 WINDOW0）设定看门狗定时器的窗口打开期间。窗口概要如下：

- 如果在窗口打开期间给看门狗定时器允许寄存器 （WDTE）写“ACH”，就清除看门狗定时器，并且重新开始计数。
- 在窗口关闭期间，即使给WDTE寄存器写“ACH”，也会检测到异常并且产生内部复位信号。

例 窗口打开期间为 50% 的情况



注意 在解除复位后第 1 次写看门狗定时器允许寄存器 （WDTE）时，与窗口打开期间无关，只要在上溢时间前的任何时刻写 WDTE，就都清除看门狗定时器，并且重新开始计数。

能设定的窗口打开期间如下所示。

表 10-4 看门狗定时器窗口打开期间的设定

WINDOW1	WINDOW0	看门狗定时器的窗口打开期间
0	0	禁止设定
0	1	50%
1	0	75%
1	1	100%

注意 当选项字节 （000C0H）的 bit0 （WDSTBYON）为 “0” 时，与 WINDOW1 位和 WINDOW0 位的值无关，窗口打开期间为 100%。

备注 当将上溢时间设定为 $2^9/f_{IL}$ 时，窗口关闭时间和打开时间如下所示。

	窗口打开期间的设定		
	50%	75%	100%
窗口关闭时间	0 ～ 20.08ms	0 ～ 10.04ms	无
窗口打开时间	20.08 ～ 29.68ms	10.04 ～ 29.68ms	0 ～ 29.68ms

＜当窗口打开期间为50%时＞

- 上溢时间：
  $2^9/f_{IL}$(MAX.)=2^9/17.25kHz=29.68ms
- 窗口关闭时间：
  0～$2^9/f_{IL}$(MIN.)×(1–0.5)=0～2^9/12.75kHz×0.5=0～20.08ms
- 窗口打开时间：
  $2^9/f_{IL}$(MIN.)×(1–0.5)～$2^9/f_{IL}$(MAX.)=2^9/12.75kHz×0.5～2^9/17.25kHz=20.08～29.68ms

10.4.4 看门狗定时器间隔中断的设定

能通过设定选项字节 （000C0H）的 bit7 （WDTINT），在达到上溢时间的 75%+1/2f_{IL} 时产生间隔中断（INTWDTI）。

表 10-5 看门狗定时器间隔中断的设定

WDTINT	看门狗定时器间隔中断的使用 / 不使用
0	不使用间隔中断。
1	在达到上溢时间的 75%+1/2f_{IL} 时，产生间隔中断。

注意 当解除 STOP 模式后以 X1 振荡时钟运行时， CPU 在经过振荡稳定时间后开始运行。
如果从解除STOP模式到看门狗定时器发生上溢的时间较短，就会在振荡稳定时间内发生看门狗上溢而产生复位。因此，在通过间隔中断解除STOP模式后，如果要以X1振荡时钟运行并且要清除看门狗定时器，因为在经过振荡稳定时间后才清除看门狗定时器，所以必须考虑这种情况进行上溢时间的设定。

备注 即使在产生 INTWDTI 后也继续计数 （继续到给看门狗定时器允许寄存器 （WDTE）写 “ACH” 为止）。如果在上溢时间前不给 WDTE 寄存器写 “ACH”，就产生内部复位信号。

第 11 章 A/D 转换器

A/D 转换器的模拟输入通道数因产品而不同。

	48 引脚	64 引脚
模拟输入通道	9ch （ANI0、 ANI1、 ANI16 ～ ANI22）	10ch （ANI0、 ANI1、 ANI16 ～ ANI23）

注意 本章的下述内容主要针对 64 引脚产品进行说明。

11.1 A/D 转换器的功能

A/D 转换器将模拟输入转换为数字值，最多能控制 10 个通道的 A/D 转换器模拟输入（ANI0、ANI1、ANI16 ～ ANI23）。能通过 A/D 转换器模式寄存器 2 （ADM2）的 ADTYP 位，选择 10 位或者 8 位分辨率。

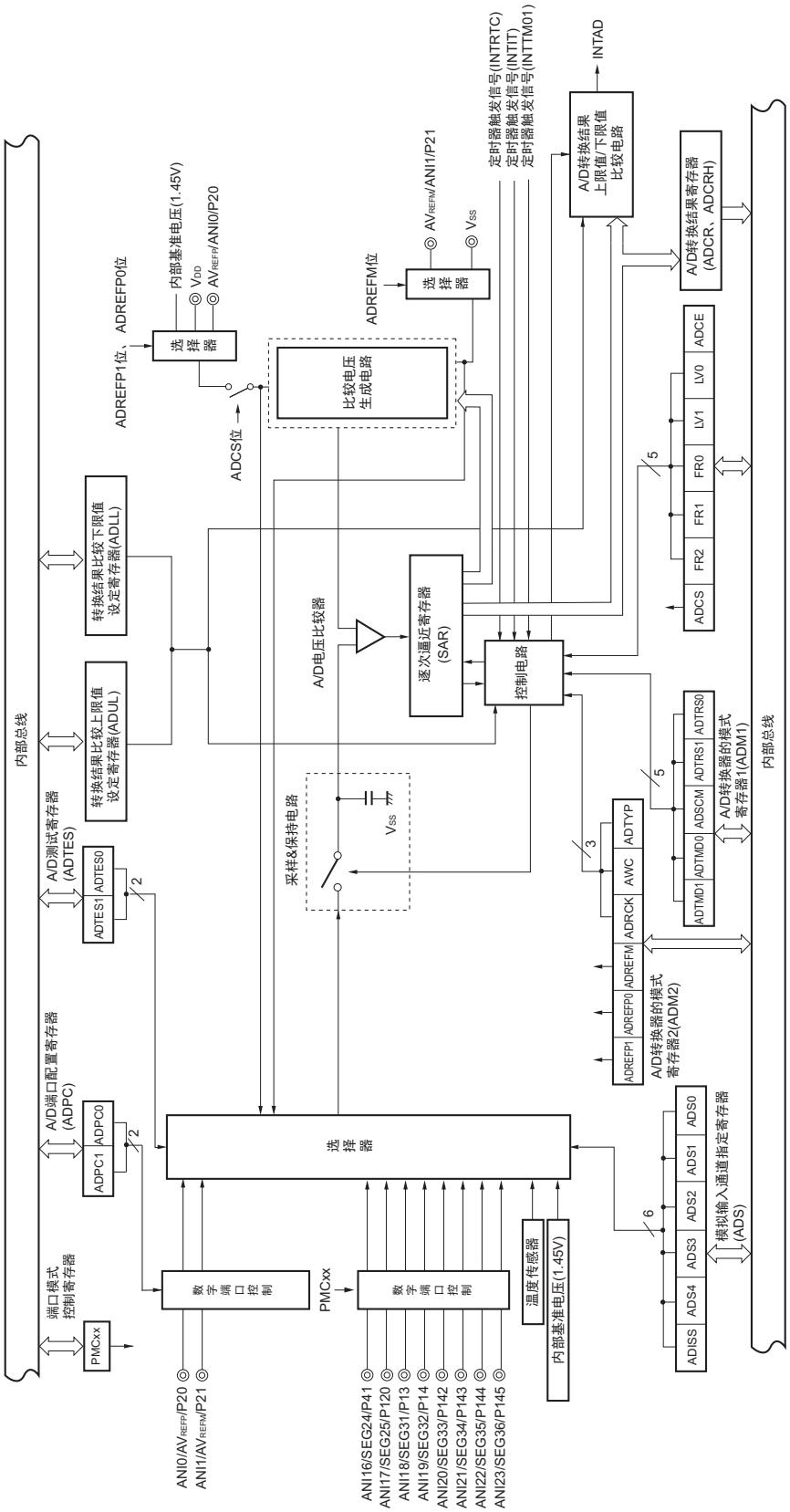
A/D 转换器有以下功能。

- 10位/8位分辨率的A/D转换
  从ANI0、 ANI1、 ANI16～ANI23中选择1个通道的模拟输入，重复进行10位或者8位分辨率的A/D转换。每结束1次A/D转换，就产生中断请求 （INTAD）。

能通过下述的模式组合设定各种 A/D 转换模式。

触发模式	软件触发	通过软件操作，开始转换运行。
	硬件触发无等待模式	通过检测到硬件触发，开始转换运行。
	硬件触发等待模式	在切断电源的转换待机状态下，通过检测到硬件触发，接通电源，并且在经过 A/D 电源稳定等待时间后自动开始转换运行。在使用 SNOOZE 模式功能时，必须选择硬件触发等待模式。
转换运行模式	单次转换模式	对所选通道进行 1 次 A/D 转换。
	连续转换模式	对所选通道进行连续的 A/D 转换，直到通过软件停止为止。
工作电压模式	标准 1/ 标准 2 模式	在 2.7V ≤ V_{DD} ≤ 5.5V 的工作电压范围内进行转换运行时选择此模式。
	低电压 1/ 低电压 2 模式	能在 1.6V ≤ V_{DD} ≤ 5.5V 的工作电压范围内进行转换运行。 在低电压下进行转换运行时选择此模式。因为是以低电压运行，所以在转换时内部门会进行升压。
采样时间的选择	采样时钟数：7 个 f_{AD}	标准 1/ 低电压 1 模式的采样时间为 7 个转换时钟 （f_{AD}）。在模拟输入源的输出阻抗高并且需要采样时间长的情况下选择此采样时钟数。
	采样时钟数：5 个 f_{AD}	标准 2/ 低电压 2 模式的采样时间为 5 个转换时钟 （f_{AD}）。在模拟输入源的输出阻抗低等能确保足够的采样时间时选择此采样时钟数。

图 11-1 A/D 转换器的框图



备注 此图的模拟输入引脚是 64 引脚产品的情况。

11.2 A/D 转换器的结构

A/D 转换器由以下硬件构成。

(1) ANI0、 ANI1、 ANI16 ～ ANI23 引脚

这些是 A/D 转换器的 10 个通道的模拟输入引脚，输入要进行 A/D 转换的模拟信号。没有被选择为模拟输入的引脚能用作输入 / 输出端口。

(2) 采样 & 保持电路

采样 & 保持电路依次对来自输入电路的模拟输入电压进行采样并且送给 A/D 电压比较器。在 A/D 转换过程中，保持采样到的模拟输入电压。

(3) A/D 电压比较器

通过 A/D 电压比较器将比较电压生成电路的电压分接头产生的电压和模拟输入电压进行比较。如果比较结果是模拟输入电压大于基准电压 （$1/2AV_{REF}$），就将逐次逼近寄存器 （SAR）的最高位 （MSB）置位。如果模拟输入电压小于基准电压 （$1/2AV_{REF}$），就对 SAR 寄存器的 MSB 位进行复位。

然后，自动将 SAR 寄存器的 bit8 置位并且进行下一次比较。在此，根据 bit9 被设定的结果值，选择比较电压生成电路的电压分接头。

bit9=0：（$1/4AV_{REF}$）
bit9=1：（$3/4AV_{REF}$）

将比较电压生成电路的分接头电压和模拟输入电压进行比较，根据比较结果操作 SAR 寄存器的 bit8。

模拟输入电压≥比较电压生成电路的分接头电压：bit8=1
模拟输入电压≤比较电压生成电路的分接头电压：bit8=0

将此比较继续进行到 SAR 寄存器的 bit0 为止。

当以 8 位分辨率进行 A/D 转换时，比较继续进行到 SAR 寄存器的 bit2 为止。

备注 AV_{REF} 是 A/D 转换器的正 （+）基准电压，可选择 AV_{REFP}、内部基准电压 （1.45V）或者 V_{DD}。

(4) 比较电压生成电路

比较电压生成电路生成模拟输入电压的比较电压。

(5) 逐次逼近寄存器 （SAR：Successive Approximation Register）

SAR 寄存器从最高位（MSB）按位设定比较电压生成电路的分接头电压值和模拟输入引脚的电压值相同的数据。

如果设定到 SAR 寄存器的最低位（LSB）（A/D 转换结束），就将 SAR 寄存器的内容（转换结果）保持到 A/D 转换结果寄存器 （ADCR）。而且，如果指定的全部 A/D 转换都结束，就产生 A/D 转换结束中断请求信号（INTAD）。

(6) 10 位 A/D 转换结果寄存器 （ADCR）

每当 A/D 转换结束时，就将逐次逼近寄存器的转换结果装入寄存器， A/D 转换结果保持在高 10 位 （低 6 位固定为 “0”）。

(7) 8 位 A/D 转换结果寄存器 （ADCRH）

每当 A/D 转换结束时，就将逐次逼近寄存器的转换结果装入 ADCRH 寄存器，保存 A/D 转换结果的高 8 位。

(8) 控制电路

此电路控制要进行 A/D 转换的模拟输入的转换时间、转换的开始或者停止等。当 A/D 转换结束时，经过 A/D 转换结果上限值 / 下限值比较电路，产生 INTAD 信号。

(9) AV_{REFP} 引脚

这是从外部输入基准电压 （AV_{REFP}）的引脚。

要将 AV_{REFP} 用作 A/D 转换器的正 （+）基准电压时，必须将 A/D 转换器的模式寄存器 2 （ADM2）的 ADREFP1 位置 “0” 并且将 ADREFP0 位置 “1”。

根据加载的 AV_{REFP} 和负 （–）基准电压 （AV_{REFM}/V_{SS}）之间的电压，将 ANI16 ～ ANI23 输入的模拟信号转换为数字信号。

除了 AV_{REFP} 以外，可选择 V_{DD} 或者内部基准电压 （1.45V）作为 A/D 转换器的正 （+）基准电压。

(10) AV_{REFM} 引脚

这是从外部输入基准电压 （AV_{REFM}）的引脚。要将 AV_{REFM} 用作 A/D 转换器的负 （–）基准电压时，必须将 ADM2 寄存器的 ADREFM 位置 “1”。

除了 AV_{REFM} 以外，可选择 V_{SS} 作为 A/D 转换器的负 （–）基准电压。

11.3 A/D 转换器使用的寄存器

A/D 转换器使用以下寄存器：

- 外围允许寄存器0 （PER0）
- A/D转换器的模式寄存器0 （ADM0）
- A/D转换器的模式寄存器1 （ADM1）
- A/D转换器的模式寄存器2 （ADM2）
- 10位A/D转换结果寄存器 （ADCR）
- 8位A/D转换结果寄存器 （ADCRH）
- 模拟输入通道指定寄存器 （ADS）
- 转换结果比较上限值设定寄存器 （ADUL）
- 转换结果比较下限值设定寄存器 （ADLL）
- A/D测试寄存器 （ADTES）
- A/D端口配置寄存器 （ADPC）
- 端口模式控制寄存器1、 4、 12、 14 （PMC1、 PMC4、 PMC12、 PMC14）
- 端口模式寄存器1、 2、 4、 12、 14 （PM1、 PM2、 PM4、 PM12、 PM14）

11.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

要使用 A/D 转换器时，必须将 bit5 （ADCEN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-2 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

ADCEN	A/D 转换器的输入时钟的控制
0	停止提供输入时钟。 • 不能写 A/D 转换器使用的 SFR。 • A/D 转换器处于复位状态。
1	提供输入时钟。 • 能读写 A/D 转换器使用的 SFR。

注意 1. 在设定 A/D 转换器时，必须先在 ADCEN 位为 “1” 的状态下设定以下寄存器。如果 ADCEN 位为 “0”，就忽视 A/D 转换器的控制寄存器的写操作，而且读取值都为初始值 （端口模式寄存器 1、 2、 4、 12、 14 （PM1、 PM2、 PM4、 PM12、 PM14）、端口模式控制寄存器 1、4、12、14（PMC1、PMC4、PMC12、PMC14）以及 A/D 端口配置寄存器 （ADPC）除外）。

- A/D 转换器的模式寄存器 0 （ADM0）
- A/D 转换器的模式寄存器 1 （ADM1）
- A/D 转换器的模式寄存器 2 （ADM2）
- 10 位 A/D 转换结果寄存器 （ADCR）
- 8 位 A/D 转换结果寄存器 （ADCRH）
- 模拟输入通道指定寄存器 （ADS）
- 转换结果比较上限值设定寄存器 （ADUL）
- 转换结果比较下限值设定寄存器 （ADLL）
- A/D 测试寄存器 （ADTES）

2. 必须将 bit1、 3、 4、 6 置 “0”。

11.3.2 A/D 转换器的模式寄存器 0 （ADM0）

这是设定要进行 A/D 转换的模拟输入的转换时间、转换开始或者停止的寄存器。
通过 1 位或者 8 位存储器操作指令设定 ADM0 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 11-3 A/D 转换器的模式寄存器 0 （ADM0）的格式

地址：FFF30H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADM0	ADCS	0	FR2 注 1	FR1 注 1	FR0 注 1	LV1 注 1	LV0 注 1	ADCE

ADCS	A/D 转换运行的控制
0	停止转换运行。 [读时] 停止转换运行 / 待机状态
1	允许转换运行。 [读时] 软件触发模式时：转换运行状态 硬件触发等待模式时：等待稳定状态 + 转换运行状态

ADCE	A/D 电压比较器的运行控制注 2
0	停止 A/D 电压比较器的运行。
1	允许 A/D 电压比较器的运行。

注 1. 有关于 FR2 ～ FR0 位、 LV1 位、 LV0 位和 A/D 转换的详细内容，请参照 “ 表 11-3 A/D 转换时间的选择 ”。

2. 在软件触发模式或者硬件触发无等待模式中， ADCS 位和 ADCE 位控制 A/D 电压比较器的运行，从开始运行到稳定需要稳定等待时间 （1.0μs）。因此，在将 ADCE 位置 “1” 后至少经过稳定等待时间 （1.0μs），然后将 ADCS 位置 “1”，从而最初的转换数据开始有效。如果不等待稳定时间 （1.0μs）而将 ADCS 位置 “1”，就必须忽视最初的转换数据。

注意 1. 必须在转换停止状态 （ADCS=0、 ADCE=0）下更改 FR2 ～ FR0 位、 LV1 位和 LV0 位。

2. 禁止进行 ADCS=1、 ADCE=0 的设定。

3. 禁止用 8 位操作指令将 ADCS=0、 ADCE=0 的状态设定为 ADCS=1、 ADCE=1。必须按照 “11.7 A/D 转换器的设定流程图 ” 的步骤进行设定。

4. 必须将 bit6 置 “0”。

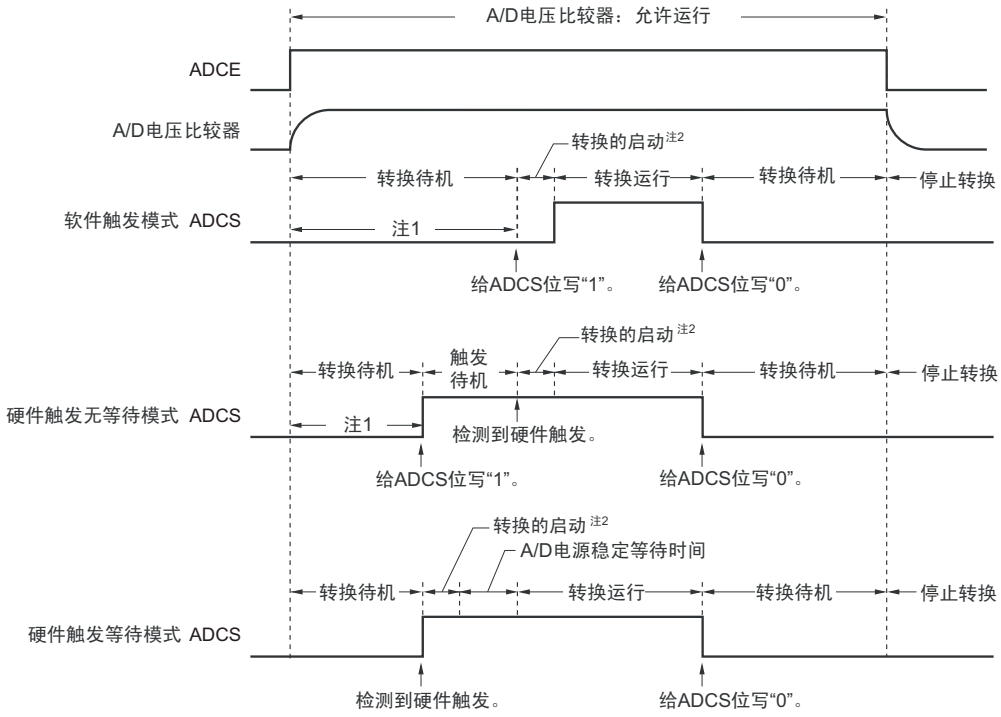
表 11-1 ADCS 位和 ADCE 位的设定

ADCS	ADCE	A/D 转换运行
0	0	停止状态
0	1	转换待机模式
1	0	禁止设定
1	1	转换模式

表 11-2 ADCS 位的置位和清除条件

A/D 转换模式		置位条件	清除条件
软件触发模式	连续转换模式	当给 ADCS 位写 “1” 时	当给 ADCS 位写 “0” 时
	单次转换模式		• 当给 ADCS 位写 “0” 时 • 在 A/D 转换结束时自动清 “0”。
硬件触发无等待模式	连续转换模式		当给 ADCS 位写 “0” 时
	单次转换模式		当给 ADCS 位写 “0” 时
硬件触发等待模式	连续转换模式	当输入硬件触发时	当给 ADCS 位写 “0” 时
	单次转换模式		• 当给 ADCS 位写 “0” 时 • 在 A/D 转换结束时自动清 “0”。

图 11-4 使用 A/D 电压比较器时的时序图



注 1. 在软件触发模式或者硬件触发无等待模式中，为了稳定内部电路，从 ADCE 位上升到 ADCS 位上升的时间至少需要 1μs。

2. 转换的启动时间最长需要以下的时间。

ADM0			转换时钟（f_{AD}）	转换启动时间 （f_{CLK} 时钟数）	
FR2	FR1	FR0		软件触发模式 / 硬件触发无等待模式	硬件触发等待模式
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

但是，在连续转换模式的第 2 次以后的转换 （包括第 2 次）中，即使检测到硬件触发也不产生转换启动时间和 A/D 电源稳定等待时间。

备注 f_{CLK}：CPU/ 外围硬件时钟频率

注意 1. 要使用硬件触发等待模式时，禁止将 ADCS 位置 “1”（当检测到硬件触发信号时，自动切换为 “1”）。但是，为了设定为 A/D 转换待机状态，能将 ADCS 位置 “0”。

2. 在硬件触发无等待模式的单次转换模式中， ADCS 标志在 A/D 转换结束时不自动清 “0”，而保持 “1” 的状态。

3 必须在 ADCS 位为 “0” （停止转换 / 转换待机状态）时改写 ADCE 位。

4 为了结束 A/D 转换，必须至少将硬件触发间隔设定为以下时间：
硬件触发无等待模式时：2 个 f_{CLK} 时钟 + 转换启动时间 +A/D 转换时间
硬件触发等待模式时：2 个 f_{CLK} 时钟 + 转换启动时间 +A/D 电源稳定等待时间 +A/D 转换时间

表 11-3 A/D 转换时间的选择 (1/4)

(1) 无稳定等待时间 标准模式 1、 2 （软件触发模式 / 硬件触发无等待模式）

A/D 转换器的模式寄存器 0（ADM0）					模式	转换时钟（f_{AD}）	转换时钟数 注 3	转换时间	转换时间的选择				
									2.7V ≤ V_{DD} ≤ 5.5V				
FR2	FR1	FR0	LV1	LV0					f_{CLK}= 1MHz	f_{CLK}= 4MHz	f_{CLK}= 8MHz	f_{CLK}= 16MHz	f_{CLK}= 24MHz
0	0	0	0	0	标准 1	f_{CLK}/64	19 个 f_{AD}（采样时钟数：7 个 f_{AD}）	1216/f_{CLK}	禁止设定	禁止设定	禁止设定	76μs	50.6667μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76μs	38μs	25.3333μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76μs	38μs	19μs	12.6667μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38μs	19μs	9.5μs	6.3333μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5μs	14.25μs	7.125μs	4.75μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95μs	23.75μs	11.875μs	5.938μs	3.9583μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76μs	19μs	9.5μs	4.75μs	3.1667μs 注 1
1	1	1				f_{CLK}/2		38/f_{CLK}	38μs	9.5μs	4.75μs	2.375μs 注 1、2	禁止设定
0	0	0	0	1	标准 2	f_{CLK}/64	17 个 f_{AD}（采样时钟数：5 个 f_{AD}）	1088/f_{CLK}	禁止设定	禁止设定	禁止设定	68μs	45.3333μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68μs	34μs	22.6667μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68μs	34μs	17μs	11.3333μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34μs	17μs	8.5μs	5.6667μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5μs	12.75μs	6.375μs	4.25μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85μs	21.25μs	10.625μs	5.3125μs	3.5417μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68μs	17μs	8.5μs	4.25μs	2.8333μs 注 1、2
1	1	1				f_{CLK}/2		34/f_{CLK}	34μs	8.5μs	4.25μs	2.125μs 注 1、2	禁止设定

注 1. 当 V_{DD} ＜ 3.6V 时，禁止设定。

2. 当使用温度传感器时，禁止使用。

3. 这是 10 位分辨率时的转换时钟数。如果选择 8 位分辨率，转换时钟数就会减少 2 个转换时钟 （f_{AD}）。

注意 1. 必须在 “27.6.1 A/D 转换器特性 ” 中所示的转换时间 （t_{CONV}）范围内使用 A/D 转换时间。

2. 要将 FR2 ～ FR0 位、LV1 位和 LV0 位改写为不同数据时，必须在停止转换的状态下（ADCS=0、ADCE=0）进行。

3. 上述转换时间不包含转换启动时间，因此第 1 次转换必须加上转换启动时间。另外，转换时间不包含时钟频率的误差，因此在选择转换时间时必须考虑时钟频率的误差。

备注 f_{CLK}：CPU/ 外围硬件时钟频率

表 11-3 A/D 转换时间的选择 (2/4)

(2) 无稳定等待时间 低电压模式 1、 2 注 1 （软件触发模式 / 硬件触发无等待模式）

A/D 转换器的模式寄存器 0（ADM0）					模式	转换时钟（f_{AD}）	转换时钟数 注 8	转换时间	转换时间的选择				
									1.6V ≤ V_{DD} ≤ 5.5V		注 2	注 3	注 4
FR2	FR1	FR0	LV1	LV0					f_{CLK}= 1MHz	f_{CLK}= 4MHz	f_{CLK}= 8MHz	f_{CLK}= 16MHz	f_{CLK}= 24MHz
0	0	0	1	0	低电压1	f_{CLK}/64	19 个 f_{AD}（采样时钟数：7 个 f_{AD}）	1216/f_{CLK}	禁止设定	禁止设定	禁止设定	76μs	50.6667μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76μs	38μs	25.3333μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76μs	38μs	19μs	12.6667μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38μs 注 7	19μs	9.5μs 注 6	6.3333μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5μs 注 7	14.25μs 注 6	7.125μs 注 6	4.75μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95μs	23.75μs 注 7	11.875μs 注 6	5.938μs 注 6	3.9587μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76μs	19μs 注 7	9.5μs 注 6	4.75μs 注 6	3.1667μs 注 5
1	1	1				f_{CLK}/2		38/f_{CLK}	38μs 注 7	9.5μs 注 6	4.75μs 注 6	2.375μs 注 5	禁止设定
0	0	0	1	1	低电压2	f_{CLK}/64	17 个 f_{AD}（采样时钟数：5 个 f_{AD}）	1088/f_{CLK}	禁止设定	禁止设定	禁止设定	68μs	45.3333μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68μs	34μs	22.6667μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68μs	34μs	17μs	11.3333μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34μs 注 7	17μs	8.5μs 注 6	5.6667μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5μs 注 7	12.75μs 注 6	6.375μs 注 6	4.25μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85μs	21.25μs 注 7	10.625μs 注 6	5.3125μs 注 6	3.5417μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68μs	17μs 注 7	8.5μs 注 6	4.25μs 注 6	2.8333μs 注 5
1	1	1				f_{CLK}/2		34/f_{CLK}	34μs 注 7	8.5μs 注 6	4.25μs 注 6	2.125μs 注 5	禁止设定

注 1. 当使用温度传感器时，禁止使用。

2. 1.8V ≤ V_{DD} ≤ 5.5V

3. 2.4V ≤ V_{DD} ≤ 5.5V

4. 2.7V ≤ V_{DD} ≤ 5.5V

5. 当 V_{DD} < 3.6V 时，禁止设定。

6. 当 V_{DD} < 2.7V 时，禁止设定。

7. 当 V_{DD} < 1.8V 时，禁止设定。

8. 这是 10 位分辨率时的转换时钟数。如果选择 8 位分辨率，转换时钟数就会减少 2 个转换时钟 （f_{AD}）。

注意 1. 必须在 “27.6.1 A/D 转换器特性 ” 中所示的转换时间 （t_{CONV}）范围内使用 A/D 转换时间。

2. 要将 FR2 ～ FR0 位、LV1 位和 LV0 位改写为不同数据时，必须在停止转换的状态下（ADCS=0、ADCE=0）进行。

3. 上述转换时间不包含转换启动时间，因此第 1 次转换必须加上转换启动时间。另外，转换时间不包含时钟频率的误差，因此在选择转换时间时必须考虑时钟频率的误差。

备注 f_{CLK}：CPU/ 外围硬件时钟频率

表 11-3 A/D 转换时间的选择 (3/4)

(3) 有稳定等待时间 标准模式 1、 2 （硬件触发等待模式注 1）

A/D 转换器的模式寄存器 0（ADM0）					模式	转换时钟（f_{AD}）	稳定等待时钟数	转换时钟数 注 4	稳定等待时间 + 转换时间	稳定等待时间 + 转换时间的选择 2.7V ≤ V_{DD} ≤ 5.5V				
FR2	FR1	FR0	LV1	LV0						f_{CLK}= 1MHz	f_{CLK}= 4MHz	f_{CLK}= 8MHz	f_{CLK}= 16MHz	f_{CLK}= 24MHz
0	0	0	0	0	标准 1	f_{CLK}/64	8 个 f_{AD}	19 个 f_{AD}（采样时钟数：7 个 f_{AD}）	1728/f_{CLK}	禁止设定	禁止设定	禁止设定	108μs	72μs
0	0	1				f_{CLK}/32			864/f_{CLK}			108μs	54μs	36μs
0	1	0				f_{CLK}/16			432/f_{CLK}		108μs	54μs	27μs	18μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54μs	27μs	13.5μs	9μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5μs	20.25μs	10.125μs	6.75μs
1	0	1				f_{CLK}/5			135/f_{CLK}	135μs	33.75μs	16.875μs	8.4375μs	5.625μs
1	1	0				f_{CLK}/4			108/f_{CLK}	108μs	27μs	13.5μs	6.75μs	4.5μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54μs	13.5μs	6.75μs	3.375μs 注3	禁止设定
0	0	0	0	1	标准 2	f_{CLK}/64	8 个 f_{AD}	17 个 f_{AD}（采样时钟数：5 个 f_{AD}）	1600/f_{CLK}	禁止设定	禁止设定	禁止设定	100μs	66.6667μs
0	0	1				f_{CLK}/32			800/f_{CLK}			100μs	50μs	33.3333μs
0	1	0				f_{CLK}/16			400/f_{CLK}		100μs	50μs	25μs	16.6667μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50μs	25μs	12.5μs	8.3333μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5μs	18.75μs	9.375μs	6.25μs
1	0	1				f_{CLK}/5			125/f_{CLK}	125μs	31.25μs	15.625μs	7.8125μs	5.2083μs
1	1	0				f_{CLK}/4			100/f_{CLK}	100μs	25μs	12.5μs	6.25μs	4.1667μs 注 2、 3
1	1	1				f_{CLK}/2			50/f_{CLK}	50μs	12.5μs	6.25μs	3.125μs 注 2、 3	禁止设定

注 1. 在连续转换模式的第 2 次开始的转换中，在检测到硬件触发后不发生转换启动时间和 A/D 电源稳定等待时间 （参照表 11-3(1/4)）。

2. 当 V_{DD} ＜ 3.6V 时，禁止设定。

3. 当使用温度传感器时，禁止使用。

4. 这是 10 位分辨率时的转换时钟数。如果选择 8 位分辨率，转换时钟数就会减少 2 个转换时钟 （f_{AD}）。

注意 1. 必须在 “27.6.1 A/D 转换器特性 ” 中所示的转换时间（t_{CONV}）范围内使用 A/D 转换时间。另外，转换时间（t_{CONV}）不包含 A/D 电源稳定等待时间。

2. 要将 FR2 ～ FR0 位、LV1 位和 LV0 位改写为不同数据时，必须在停止转换的状态下（ADCS=0、ADCE=0）进行。

3. 上述转换时间不包含转换启动时间，因此第 1 次转换必须加上转换启动时间。另外，转换时间不包含时钟频率的误差，因此在选择转换时间时必须考虑时钟频率的误差。

4. 硬件触发等待模式中的转换时间包含检测到硬件触发后的稳定等待时间。

备注 f_{CLK}：CPU/ 外围硬件时钟频率

表 11-3 A/D 转换时间的选择 (4/4)

(4) 有稳定等待时间 低电压模式 1、 2 注 1 （硬件触发等待模式注 2）

A/D 转换器的模式寄存器 0（ADM0）					模式	转换时钟（f_{AD}）	稳定等待时钟数	转换时钟数 注 9	稳定等待时间 + 转换时间	稳定等待时间 + 转换时间的选择				
										1.6V ≤ V_{DD} ≤ 5.5V		注 3	注 4	注 5
FR2	FR1	FR0	LV1	LV0						f_{CLK}= 1MHz	f_{CLK}= 4MHz	f_{CLK}= 8MHz	f_{CLK}= 16MHz	f_{CLK}= 24MHz
0	0	0	1	0	低电压1	f_{CLK}/64	2 个 f_{AD}	19 个 f_{AD}（采样时钟数：7 个 f_{AD}）	1344/f_{CLK}	禁止设定	禁止设定	禁止设定	84μs	56μs
0	0	1				f_{CLK}/32			672/f_{CLK}			84μs	42μs	28μs
0	1	0				f_{CLK}/16			336/f_{CLK}		84μs	42μs	21μs	14μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42μs 注 8	21μs	10.5μs 注 7	7μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.25μs注8	15.75μs注7	7.875μs注7	5.25μs
1	0	1				f_{CLK}/5			105/f_{CLK}	105μs	26.25μs注8	13.125μs注7	6.5625μs注7	4.375μs
1	1	0				f_{CLK}/4			84/f_{CLK}	84μs	21μs 注 8	10.5μs 注 7	5.25μs 注 7	3.5μs 注 6
1	1	1				f_{CLK}/2			42/f_{CLK}	42μs 注 8	10.5μs 注 7	5.25μs 注 7	2.625μs 注 6	禁止设定
0	0	0	1	1	低电压2	f_{CLK}/64	2 个 f_{AD}	17 个 f_{AD}（采样时钟数：5 个 f_{AD}）	1216/f_{CLK}	禁止设定	禁止设定	禁止设定	76μs	50.6667μs
0	0	1				f_{CLK}/32			608/f_{CLK}			76μs	38μs	25.3333μs
0	1	0				f_{CLK}/16			304/f_{CLK}		76μs	38μs	19μs	12.6667μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38μs 注 8	19μs	9.5μs 注 7	6.3333μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5μs 注 8	14.25μs注7	7.125μs注7	4.75μs
1	0	1				f_{CLK}/5			96/f_{CLK}	96μs	23.75μs 注 8	12μs 注 7	5.938μs注7	4.0μs
1	1	0				f_{CLK}/4			76/f_{CLK}	76μs	19μs 注 8	9.5μs 注 7	4.75μs 注 7	3.1667μs注6
1	1	1				f_{CLK}/2			38/f_{CLK}	38μs 注 8	9.5μs 注 7	4.75μs 注 7	2.375μs 注 6	禁止设定

注 1. 当使用温度传感器时，禁止使用。

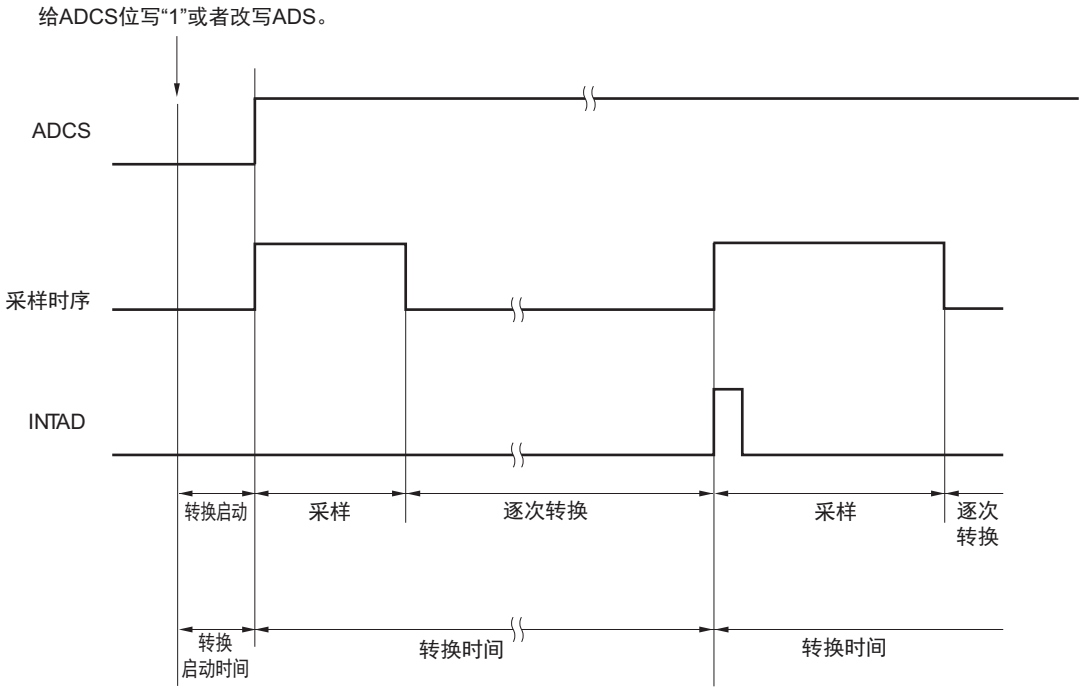
2. 在连续转换模式的第 2 次开始的转换中，在检测到硬件触发后不发生转换启动时间和 A/D 电源稳定等待时间 （参照表 11-3(2/4)）。
3. 1.8V ≤ V_{DD} ≤ 5.5V
4. 2.4V ≤ V_{DD} ≤ 5.5V
5. 2.7V ≤ V_{DD} ≤ 5.5V
6. 当 V_{DD} < 3.6V 时，禁止设定。
7. 当 V_{DD} < 2.7V 时，禁止设定。
8. 当 V_{DD} < 1.8V 时，禁止设定。
9. 这是 10 位分辨率时的转换时钟数。如果选择 8 位分辨率，转换时钟数就会减少 2 个转换时钟 （f_{AD}）。

注意 1. 必须在 “27.6.1 A/D 转换器特性 ” 中所示的转换时间（t_{CONV}）范围内使用 A/D 转换时间。另外，转换时间（t_{CONV}）不包含 A/D 电源稳定等待时间。

2. 要将 FR2 ～ FR0 位、LV1 位和 LV0 位改写为不同数据时，必须在停止转换的状态下（ADCS=0、ADCE=0）进行。
3. 上述转换时间不包含转换启动时间，因此第 1 次转换必须加上转换启动时间。另外，转换时间不包含时钟频率的误差，因此在选择转换时间时必须考虑时钟频率的误差。
4. 硬件触发等待模式中的转换时间包含检测到硬件触发后的稳定等待时间。

备注 f_{CLK}：CPU/ 外围硬件时钟频率

图 11-5 A/D 转换器的采样和 A/D 转换时序 （以软件触发模式为例的情况）



11.3.3 A/D 转换器的模式寄存器 1 （ADM1）

这是设定 A/D 转换触发、转换模式和硬件触发信号的寄存器。

通过 1 位或者 8 位存储器操作指令设定 ADM1 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-6 A/D 转换器的模式寄存器 1 （ADM1）的格式

地址：FFF32H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D 转换触发模式的选择
0	×	软件触发模式
1	0	硬件触发无等待模式
1	1	硬件触发等待模式

ADSCM	A/D 转换模式的设定
0	连续转换模式
1	单次转换模式

ADTRS1	ADTRS0	硬件触发信号的选择
0	0	定时器通道 01 的计数结束或者捕捉结束中断信号 （INTTM01）
0	1	禁止设定
1	0	实时时钟中断信号 （INTRTC）
1	1	12 位间隔定时器中断信号 （INTIT）

注意 1. 要改写 ADM1 寄存器时，必须在处于转换停止状态 （ADCS=0、 ADCE=0）时进行。

2. 为了结束 A/D 转换，必须至少将硬件触发间隔设定为以下时间：

硬件触发无等待模式时：2 个 f_{CLK} 时钟 + 转换启动时间 +A/D 转换时间

硬件触发等待模式时：2 个 f_{CLK} 时钟 + 转换启动时间 +A/D 电源稳定等待时间 +A/D 转换时间

3. 在 SNOOZE 功能以外的模式中，在输入 INTRTC 和 INTIT 后的最多 4 个 f_{CLK} 时钟期间，下一个 INTRTC 和 INTIT 的输入触发无效。

备注 1. ×：忽略

2. f_{CLK}：CPU/ 外围硬件时钟频率

11.3.4 A/D 转换器的模式寄存器 2 （ADM2）

这是选择 A/D 转换器的正 （+）基准电压或者负 （–）基准电压、分辨率，检查 A/D 转换结果的上限值和下限值以及设定 SNOOZE 模式的寄存器。

通过 1 位或者 8 位存储器操作指令设定 ADM2 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-7 A/D 转换器的模式寄存器 2 （ADM2）的格式 (1/2)

地址：F0010H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/D 转换器的正 （+）基准电压源的选择
0	0	由 V_{DD} 提供。
0	1	由 P20/AV_{REFP}/ANI0 提供。
1	0	由内部基准电压 （1.45V）提供注。
1	1	禁止设定

- 要改写 ADREFP1 位和 ADREFP0 位时，必须按照以下步骤设定：
  ①将 ADCE 位置 “0”。
  ②更改 ADREFP1 位和 ADREFP0 位的值。
  ③等待基准电压稳定等待时间 （A）。
  ④将 ADCE 位置 “1”。
  ⑤等待基准电压稳定等待时间 （B）。
  当将 ADREFP1 位和 ADREFP0 位改为 “1” 和 “0” 时， A=5μs， B=1μs。
  当将 ADREFP1 位和 ADREFP0 位改为 “0” 和 “0” 或者 “0” 和 “1” 时， A 不需等待， B=1μs。
  必须在等待⑤的稳定时间后开始 A/D 转换。
- 当将ADREFP1位和ADREFP0位置“1”和“0”时，不能对温度传感器输出电压和内部基准电压进行A/D转换。必须在 ADISS 位为 “0” 时进行 A/D 转换。

ADREFM	A/D 转换器的负 （–）基准电压源的选择
0	由 V_{SS} 提供。
1	由 P21/AV_{REFM}/ANI1 提供。

注 只有在 HS （高速主）模式中才能选择。

注意 1. 要改写 ADM2 寄存器时，必须在处于转换停止状态 （ADCS=0、 ADCE=0）时进行。

2. 要转移到 STOP 模式时或者要在 CPU 以副系统时钟运行中转移到 HALT 模式时，不能将 ADREFP1 位置 “1”。如果选择内部基准电压 （ADREFP1、ADREFP0=1、0），就加上 “27.3.2 电源电流特性 ” 所示的 A/D 转换器基准电压电流 （I_{ADREF}）的电流值。

3. 当使用AV_{REFP}和AV_{REFM}时，必须将ANI0和ANI1设定为模拟输入通道，并且通过端口模式寄存器设定为输入模式。

图 11-7 A/D 转换器的模式寄存器 2 （ADM2）的格式 (2/2)

地址：F0010H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	转换结果上限值和下限值的检查
0	当 ADLL 寄存器≤ ADCR 寄存器≤ ADUL 寄存器 （AREA1）时，产生中断信号 （INTAD）。
1	当 ADCR 寄存器＜ ADLL 寄存器 （AREA2）或者 ADUL 寄存器＜ ADCR 寄存器 （AREA3）时，产生中断信号 （INTAD）。
AREA1 ～ AREA3 的中断信号 （INTAD）的产生范围如图 11-8 所示。	

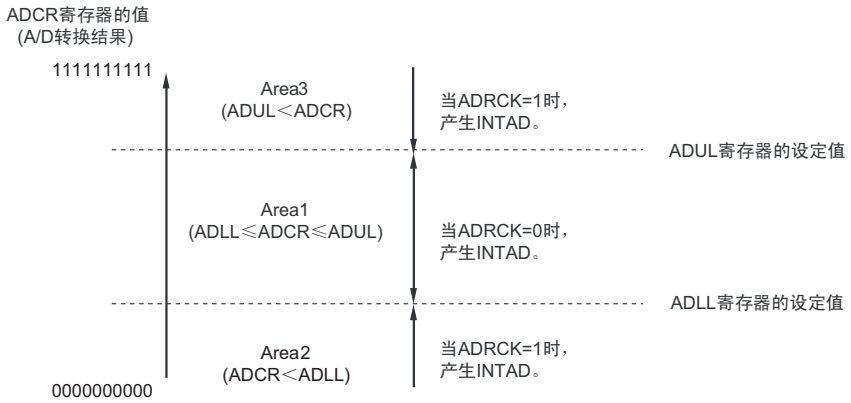
AWC	SNOOZE 模式的设定
0	不使用 SNOOZE 模式功能。
1	使用 SNOOZE 模式功能。
通过 STOP 模式中的硬件触发信号来解除 STOP 模式，并且在 CPU 不运行的情况下进行 A/D 转换（SNOOZE 模式）。 • 只有在选择高速内部振荡器时钟作为 CPU/ 外围硬件的时钟 （f_{CLK}）的情况下才能设定 SNOOZE 模式功能。在选择高速内部振荡器以外的时钟的情况下，禁止设定。 • 在软件触发模式或者硬件触发无等待模式中，禁止使用 SNOOZE 模式功能。 • 在连续转换模式中，禁止使用 SNOOZE 模式功能。 • 在使用 SNOOZE 模式功能时，必须至少将硬件触发间隔设定为 “SNOOZE 模式的转移时间注 + 转换启动时间 +A/D 电源稳定等待时间 +A/D 转换时间 +2 个 f_{CLK} 时钟 ”。 • 即使使用 SNOOZE 模式，也必须在通常运行模式中将 AWC 位置 “0”，并且在转移到 STOP 模式前将 AWC 位更改为 “1”。 另外，必须在从 STOP 模式返回到通常运行模式后将 AWC 位改为 “0”。 如果 AWC 位保持 “1” 的状态，就无法正常开始 A/D 转换，而与 SNOOZE 模式和通常运行模式无关。	

ADTYP	A/D 转换分辨率的选择
0	10 位分辨率
1	8 位分辨率

注 请参照 “16.3.3 SNOOZE 模式 ” 的 “STOP→SNOOZE 的转移时间 ”。

注意 要改写 ADM2 寄存器时，必须在处于转换停止状态 （ADCS=0、 ADCE=0）时进行。

图 11-8 ADRCK 位的中断信号产生范围



备注 当不发生 INTAD 时， A/D 转换结果不保存到 ADCR 寄存器和 ADCRH 寄存器。

11.3.5 10 位 A/D 转换结果寄存器 （ADCR）

这是在选择模式中保存 A/D 转换结果的 16 位寄存器，低 6 位固定为 “0”。每当 A/D 转换结束时，就从逐次逼近寄存器 （SAR）将转换结果装入此寄存器。转换结果的高 8 位保存到 FFF1FH，低 2 位保存到 FFF1EH 的高 2 位注。

通过 16 位存储器操作指令读 ADCR 寄存器。

通过产生复位信号，此寄存器的值变为 “0000H”。

注 如果 A/D 转换结果的值超出 A/D 转换结果比较功能 （通过 ADRCK 位和 ADUL/ADLL 寄存器进行设定 （参照图 11-8））的设定值范围，就不保存 A/D 转换结果。

图 11-9 10 位 A/D 转换结果寄存器 （ADCR）的格式

地址：FFF1FH、 FFF1EH 复位后：0000H R

符号	FFF1FH								FFF1EH							
ADCR											0	0	0	0	0	0

注意 1. 当写 A/D 转换器的模式寄存器 0 （ADM0）、模拟输入通道指定寄存器 （ADS）和 A/D 端口配置寄存器 （ADPC）时，ADCR 寄存器的内容可能不定。必须在转换结束后并且在写 ADM0、ADS、ADPC 寄存器前读转换结果。否则，就可能读不到正确的转换结果。

2. 在选择 8 位分辨率 A/D 转换 （A/D 转换器的模式寄存器 2 （ADM2）的 ADTYP=1）的情况下读 ADCR 寄存器时，低 2 位 （ADCR1、 ADCR0）的读取值为 “0”。

3. 当对 ADCR 寄存器进行 16 位存取时，能从 bit15 依次读转换结果的高 10 位。

11.3.6 8 位 A/D 转换结果寄存器 （ADCRH）

这是保存 A/D 转换结果的 8 位寄存器，保存 10 位分辨率的高 8 位注。

通过 8 位存储器操作指令读 ADCRH 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

注 如果 A/D 转换结果的值超出 A/D 转换结果比较功能 （通过 ADRCK 位和 ADUL/ADLL 寄存器进行设定 （参照图 11-8））的设定值范围，就不保存 A/D 转换结果。

图 11-10 8 位 A/D 转换结果寄存器 （ADCRH）的格式

地址：FFF1FH 复位后：00H R

符号	7	6	5	4	3	2	1	0
ADCRH								

注意 当写 A/D 转换器的模式寄存器 0 （ADM0）、模拟输入通道指定寄存器 （ADS）和 A/D 端口配置寄存器 （ADPC）时，ADCRH 寄存器的内容可能不定。必须在转换结束后并且在写 ADM0、ADS、ADPC 寄存器前读转换结果。否则，就可能读不到正确的转换结果。

11.3.7 模拟输入通道指定寄存器 （ADS）

这是指定要进行 A/D 转换的模拟电压输入通道的寄存器。

通过 1 位或者 8 位存储器操作指令设定 ADS 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-11 模拟输入通道指定寄存器 （ADS）的格式

地址：FFF31H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	模拟输入通道	输入源
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP} 引脚
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM} 引脚
0	1	0	0	0	0	ANI16	P41/ANI16 引脚
0	1	0	0	0	1	ANI17	P120/ANI17 引脚
0	1	0	0	1	0	ANI18	P13/ANI18 引脚
0	1	0	0	1	1	ANI19	P14/ANI19 引脚
0	1	0	1	0	0	ANI20	P142/ANI20 引脚
0	1	0	1	0	1	ANI21	P143/ANI21 引脚
0	1	0	1	1	0	ANI22	P144/ANI22 引脚
0	1	0	1	1	1	ANI23	P145/ANI23 引脚
1	0	0	0	0	0	—	温度传感器输出电压注
1	0	0	0	0	1	—	内部基准电压 （1.45V）注
上述以外						禁止设定	

注 只有在 HS （高速主）模式中才能使用。

注意 1. 必须将 bit5 和 bit6 置 “0”。

2 对于通过 ADPC 寄存器和 PMC 寄存器设定为模拟输入的端口，必须通过端口模式寄存器 1、2、4、12、14（PM1、PM2、 PM4、 PM12、 PM14、）将其设定为输入模式。

3. 不能通过 ADS 寄存器对由 A/D 端口配置寄存器 （ADPC）设定为数字输入 / 输出的引脚进行设定。

4. 不能通过 ADS 寄存器对由端口模式控制寄存器 1、4、12、14（PMC1、PMC4、PMC12、PMC14）设定为数字输入 / 输出的引脚进行设定。

5. 要改写 ADISS 位时，必须处于转换停止状态 （ADCS=0、 ADCE=0）时进行。

6. 当将 AV_{REFP} 用作 A/D 转换器的正 （+）基准电压源时，不能选择 ANI0 作为 A/D 转换通道。

7. 当将 AV_{REFM} 用作 A/D 转换器的负 （–）基准电压源时，不能选择 ANI1 作为 A/D 转换通道。

8. 在将 ADISS 位置 “1” 的情况下，不能将内部基准电压 （1.45V）用作正 （+）基准电压源。

另外，在将 ADISS 位置 “1” 后，不能使用第一次转换的转换结果。详细内容请参照 “11.7.4 选择温度传感器输出电压 / 内部基准电压时的设定 ”。

9. 要转移到 STOP 模式时或者要在 CPU 以副系统时钟运行中转移到 HALT 模式时，不能将 ADISS 位置 “1”。如果将 ADISS 位置 “1”，就加上 “27.3.2 电源电流特性 ” 所示的 A/D 转换器基准电压电流 （I_{ADREF}）的电流值。

11.3.8 转换结果比较上限值设定寄存器 （ADUL）

这是对 A/D 转换结果检查上限值的设定寄存器。

将 A/D 转换结果和 ADUL 寄存器的值进行比较，并且在 A/D 转换器的模式寄存器 2 （ADM2）的 ADRCK 位的设定范围内 （参照图 11-8）控制中断信号 （INTAD）的产生。

通过 8 位存储器操作指令设定 ADUL 寄存器。

通过产生复位信号，此寄存器的值变为 “FFH”。

注意 当选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器 （ADCR）的高 8 位和 ADUL 寄存器进行比较。

图 11-12 转换结果比较上限值设定寄存器 （ADUL）的格式

地址：F0011H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

11.3.9 转换结果比较下限值设定寄存器 （ADLL）

这是对 A/D 转换结果检查下限值的设定寄存器。

将 A/D 转换结果和 ADLL 寄存器的值进行比较，并且在 A/D 转换器的模式寄存器 2 （ADM2）的 ADRCK 位的设定范围内 （参照图 11-8）控制中断信号 （INTAD）的产生。

通过 8 位存储器操作指令设定 ADLL 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-13 转换结果比较下限值设定寄存器 （ADLL）的格式

地址：F0012H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意 1. 当选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器 （ADCR）的高 8 位和 ADLL 寄存器进行比较。

2. 必须在停止转换的状态 （ADCS=0、 ADCE=0）下改写 ADUL 寄存器和 ADLL 寄存器。

3. ADUL 寄存器和 ADLL 寄存器必须设定为 ADUL ＞ ADLL。

11.3.10 A/D 测试寄存器 （ADTES）

这是选择 A/D 转换器的正 （+）基准电压、负 （–）基准电压、模拟输入通道 （ANIxx）、温度传感器输出电压和内部基准电压 （1.45V）作为 A/D 转换对象的寄存器。

用作 A/D 测试功能时，必须如下设定。

- 测量零刻度时，选择负 （–）基准电压作为A/D转换对象
- 测量满刻度时，选择正 （+）基准电压作为A/D转换对象

通过 8 位存储器操作指令设定 ADTES 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 11-14 A/D 测试寄存器 （ADTES）的格式

地址：F0013H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 转换对象
0	0	ANIxx/ 温度传感器输出电压注 / 内部基准电压 （1.45V）注 （通过模拟输入通道指定寄存器 （ADS）进行设定）
1	0	负 （–）基准电压 （通过 ADM2 寄存器的 ADREFM 位选择）
1	1	正 （+）基准电压 （通过 ADM2 寄存器的 ADREFP1 和 ADREFP0 位选择）
上述以外		禁止设定

注 只有在 HS （高速主）模式中才能选择温度传感器输出电压和内部基准电压 （1.45V）。

11.3.11 模拟输入引脚的端口功能控制寄存器

必须设定与 A/D 转换器的模拟输入复用的端口功能的控制寄存器 （端口模式寄存器 （PMxx）、端口模式控制寄存器 （PMCxx）、 A/D 端口配置寄存器 （ADPC））。详细内容请参照 “4.3.1 端口模式寄存器 （PMxx） ”、 “4.3.6 端口模式控制寄存器 （PMCxx） ”、 “4.3.7 A/D 端口配置寄存器 （ADPC） ”。

将 ANI0、 ANI1 引脚用作 A/D 转换器的模拟输入时，必须将各端口对应的端口模式寄存器 （PMxx）的位置 “1”，并且通过 A/D 端口配置寄存器 （ADPC）设定为模拟输入。

将 ANI16 ～ ANI23 引脚用作 A/D 转换器的模拟输入时，必须将各端口对应的端口模式寄存器 （PMxx）和端口模式控制寄存器 （PMCxx）的位置 “1”。

11.4 A/D 转换器的转换运行

A/D 转换器的转换运行如下所示。

① 通过采样&保持电路对所选模拟输入通道的输入电压进行采样。
② 如果进行了一定时间的采样，采样 & 保持电路就为保持状态，并且保持采样电压，直到 A/D 转换结束为止。
③ 将逐次逼近寄存器 （SAR）的bit9置位，并且通过分接头选择器将串联电阻串的分接头电压设定为 $(1/2)AV_{REF}$。
④ 通过A/D电压比较器将串联电阻串的分接头电压和采样电压的电压差进行比较。如果模拟输入大于 $(1/2)AV_{REF}$， SAR寄存器的MSB位就保持被置位的状态。如果模拟输入小于 $(1/2)AV_{REF}$，就对MSB位进行复位。
⑤ 然后，自动将SAR寄存器的bit8置位并且进行下一次比较。在此，根据bit9被设定的结果值，选择比较电压生成电路的电压分接头。
- bit9=1：$(3/4)AV_{REF}$
- bit9=0：$(1/4)AV_{REF}$

将此分接头电压和采样电压进行比较，根据比较结果操作SAR寄存器的bit8。
- 采样电压≥分接头电压：bit8=1
- 采样电压＜分接头电压：bit8=0

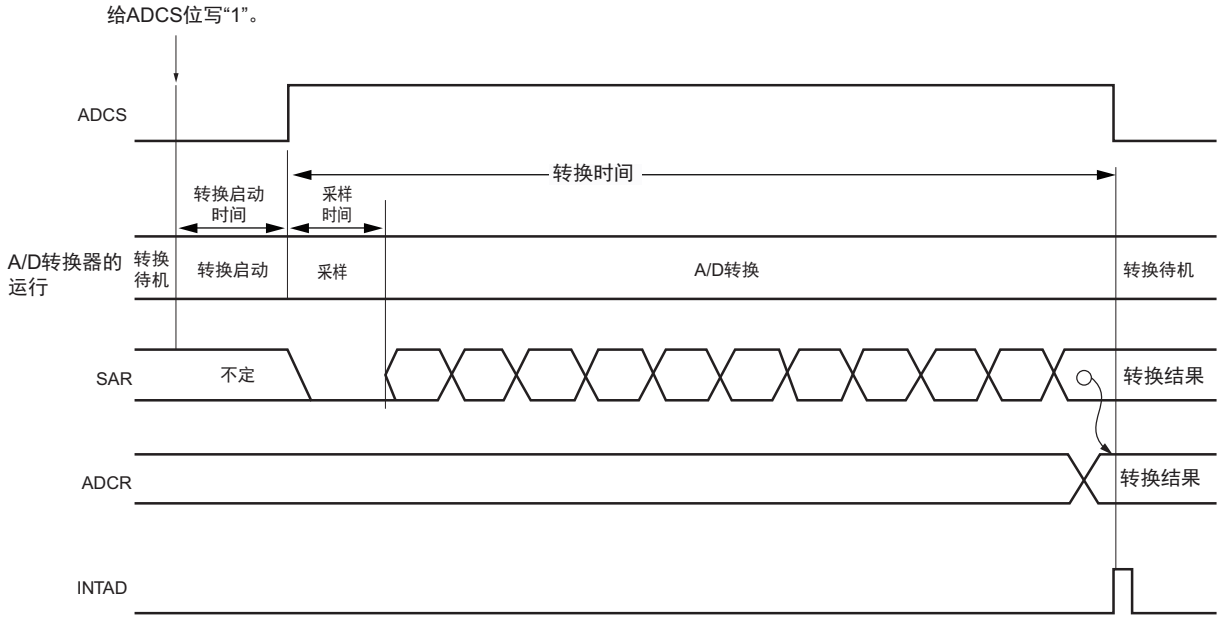
⑥ 将此比较继续进行到SAR寄存器的bit0为止。
⑦ 当10位比较结束时，SAR寄存器保存了有效的数字结果，并且将其值传送到A/D转换结果寄存器（ADCR、ADCRH），而且被锁存注1。
同时，能产生A/D转换结束中断请求 （INTAD）注1。
⑧ 重复①～⑦的运行，直到ADCS位变为“0”为止注2。
要停止A/D转换器时，必须将ADCS位置“0”。

注 1. 如果 A/D 转换结果的值超出 A/D 转换结果比较功能 （通过 ADRCK 位和 ADUL/ADLL 寄存器进行设定 （参照图 11-8））的设定值范围，就不产生 A/D 转换结束中断请求信号 （INTAD），并且 ADCR 寄存器和 ADCRH 寄存器不保存 A/D 转换结果。
2. 在连续转换模式中， ADCS 标志不自动清 “0”。即使在硬件触发无等待模式的单次转换模式中， ADCS 标志也不自动清 “0” 而保持 “1” 的状态。

备注 1. 有 2 种 A/D 转换结果寄存器。
- ADCR 寄存器 （16 位）：保存 10 位的 A/D 转换值。
- ADCRH 寄存器 （8 位）：保存 8 位的 A/D 转换值。

2. AV_{REF} 是 A/D 转换器的正 （+）基准电压，可选择 AV_{REFP}、内部基准电压 （1.45V）或者 V_{DD}。

图 11-15 A/D 转换器的转换运行 （软件触发模式的情况）



在单次转换模式中进行 A/D 转换运行时，如果 A/D 转换结束， ADCS 位就自动清 “0”。

连续进行连续转换模式中的 A/D 转换直到通过软件将 A/D 转换器的模式寄存器 0 （ADM0）的 bit7 （ADCS）置 “0”。

在 A/D 转换过程中，如果改写或者重写模拟输入通道指定寄存器 （ADS），就中止正在执行的 A/D 转换运行，并且执行通过 ADS 寄存器重新指定的模拟输入的 A/D 转换。废弃转换途中的数据。

通过产生复位信号， A/D 转换结果寄存器 （ADCR、 ADCRH）的值变为 “0000H” 和 “00H”。

11.5 输入电压和转换结果

模拟输入引脚（ANI0、ANI1、ANI16 ～ ANI23）的模拟输入电压和理论上的 A/D 转换结果（10 位 A/D 转换结果寄存器 （ADCR））有以下表达式的关系。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

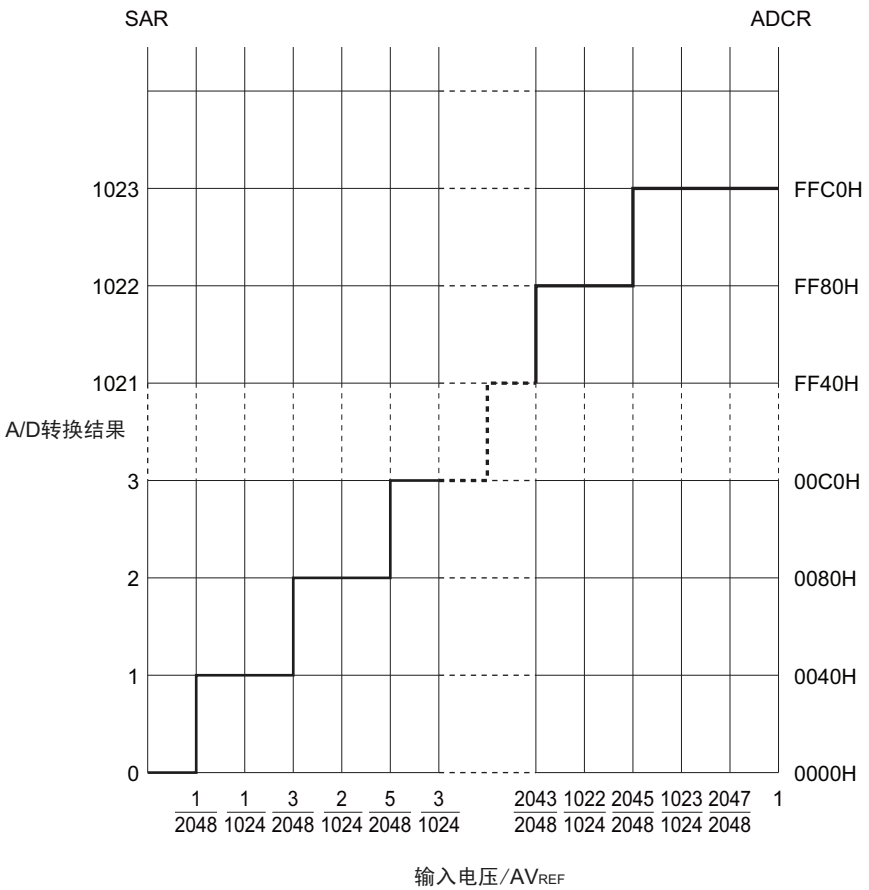
或者

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqslant V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT （）：将括号中的数值的整数部分返回的函数
V_{AIN}： 模拟输入电压
AV_{REF}： AV_{REF} 引脚电压
ADCR： A/D 转换结果寄存器 （ADCR）的值
SAR： 逐次逼近寄存器

模拟输入电压和 A/D 转换结果的关系如图 11-16 所示。

图 11-16 模拟输入电压和 A/D 转换结果的关系



备注 AV_{REF} 是 A/D 转换器的正 （+）基准电压，可选择 AV_{REFP}、内部基准电压 （1.45V）或者 V_{DD}。

11.6 A/D 转换器的运行模式

A/D 转换器的各模式的运行如下所示。有关各模式的设定步骤，请参照 “11.7 A/D 转换器的设定流程图 ”。

11.6.1 软件触发模式 （连续转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入A/D转换待机状态。

② 在通过软件对稳定等待时间 （1.0μs）进行计数后，将 ADM0 寄存器的 ADCS 位置 “1”，对模拟输入通道指定寄存器 （ADS）指定的模拟输入进行A/D转换。

③ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。在A/D转换结束后立即开始下一次的A/D转换。

④ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

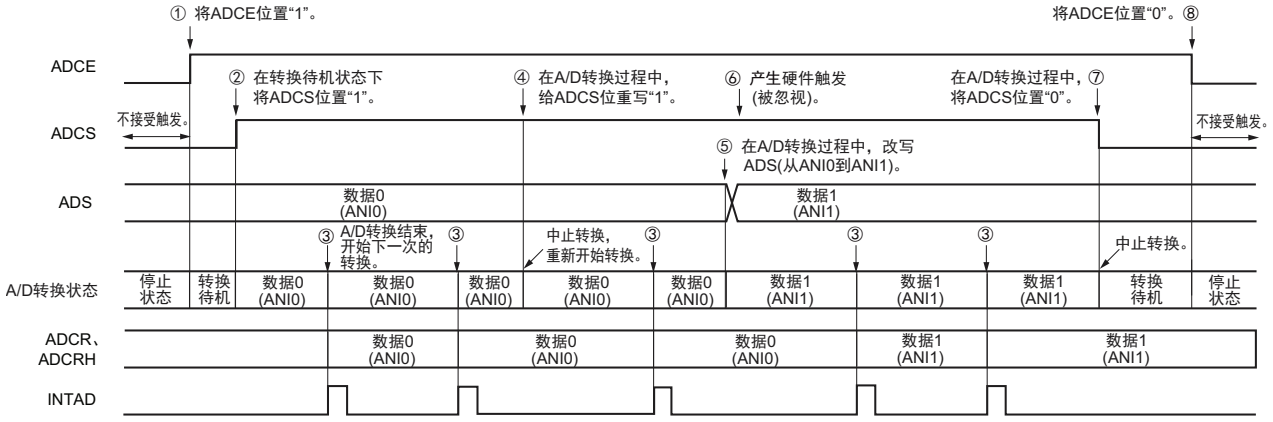
⑤ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。

⑥ 即使在转换过程中输入硬件触发也不开始A/D转换。

⑦ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入A/D转换待机状态。

⑧ 如果在A/D转换待机状态下将ADCE位置“0”，A/D转换器就进入停止状态。当ADCE位为“0”时，即使将ADCS位置“1”也被忽视，不开始A/D转换。

图 11-17 软件触发模式 （连续转换模式）的运行时序例子



11.6.2 软件触发模式 （单次转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入A/D转换待机状态。

② 在通过软件对稳定等待时间 （1.0μs）进行计数后，将 ADM0 寄存器的 ADCS 位置“1”，对模拟输入通道指定寄存器 （ADS）指定的模拟输入进行A/D转换。

③ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。

④ 在A/D转换结束后， ADCS位自动清“0”，进入A/D转换待机状态。

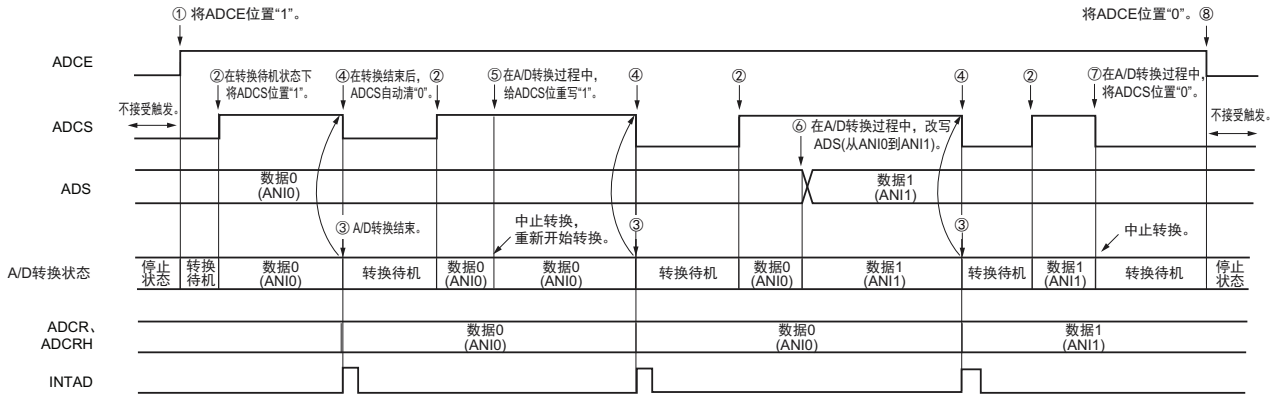
⑤ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑥ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。

⑦ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入A/D转换待机状态。

⑧ 如果在A/D转换待机状态下将ADCE位置“0”，A/D转换器就进入停止状态。当ADCE位为“0”时，即使将ADCS位置“1”也被忽视，不开始A/D转换。即使在A/D转换待机的状态下输入硬件触发也不开始A/D转换。

图 11-18 软件触发模式 （单次转换模式）的运行时序例子



11.6.3 硬件触发无等待模式 （连续转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入A/D转换待机状态。

② 在通过软件对稳定等待时间 （1.0μs）进行计数后，将 ADM0 寄存器的 ADCS 位置“1”，进入硬件触发待机状态 （此阶段不开始转换）。在硬件触发待机状态时，即使将ADCS位置“1”也不开始A/D转换。

③ 如果在ADCS位为“1”的状态下输入硬件触发，就对由模拟输入通道指定寄存器（ADS）指定的模拟输入进行A/D转换。

④ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。在A/D转换结束后立即开始下一次的A/D转换。

⑤ 如果在转换过程中输入硬件触发，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

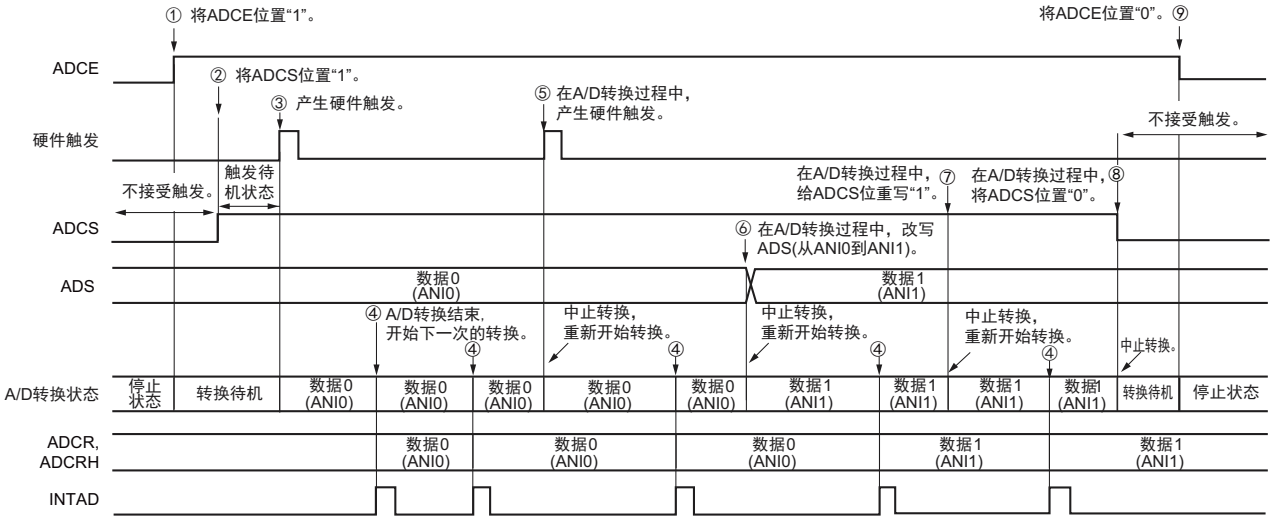
⑥ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。

⑦ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑧ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入A/D转换待机状态。但是，在此状态下A/D转换器不进入停止状态。

⑨ 如果在A/D转换待机状态下将ADCE位置“0”，A/D转换器就进入停止状态。当ADCS位为“0”时，即使输入硬件触发也被忽视，不开始A/D转换。

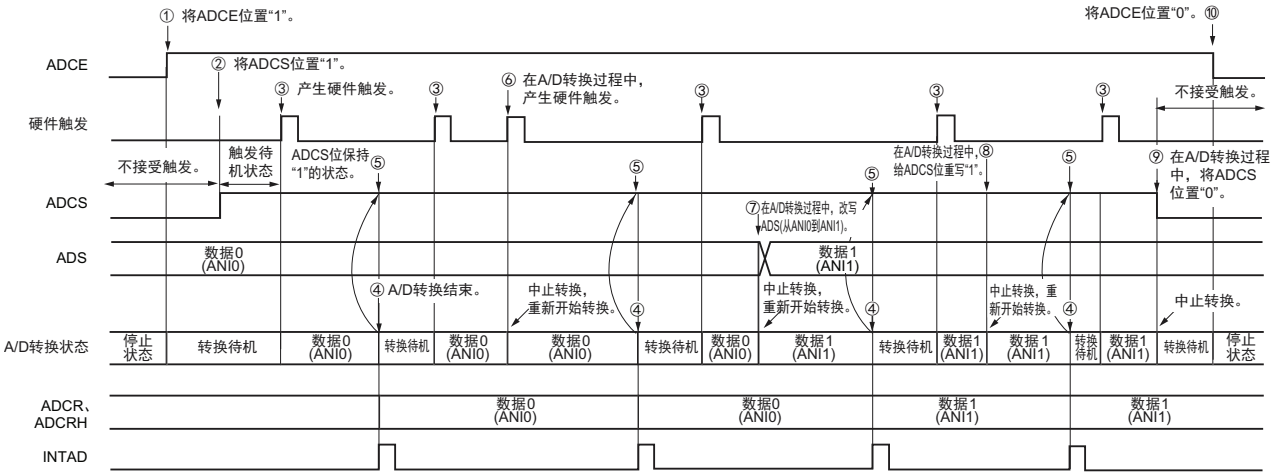
图 11-19 硬件触发无等待模式 （连续转换模式）的运行时序例子



11.6.4 硬件触发无等待模式 （单次转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入A/D转换待机状态。
② 在通过软件对稳定等待时间 （1.0μs）进行计数后，将 ADM0 寄存器的 ADCS 位置“1”，进入硬件触发待机状态 （此阶段不开始转换）。在硬件触发待机状态时，即使将ADCS位置“1”也不开始A/D转换。
③ 如果在ADCS位为“1”的状态下输入硬件触发，就对由模拟输入通道指定寄存器（ADS）指定的模拟输入进行A/D转换。
④ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。
⑤ 在A/D转换结束后， ADCS位保持“1”的状态，进入A/D转换待机状态。
⑥ 如果在转换过程中输入硬件触发，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。
⑦ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。
⑧ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。
⑨ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入A/D转换待机状态。但是，在此状态下A/D转换器不进入停止状态。
⑩ 如果在A/D转换待机状态下将ADCE位置“0”，A/D转换器就进入停止状态。当ADCS位为“0”时，即使输入硬件触发也被忽视，不开始A/D转换。

图 11-20 硬件触发无等待模式 （单次转换模式）的运行时序例子



11.6.5 硬件触发等待模式 （连续转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入硬件触发待机状态。

② 如果在硬件触发待机状态下输入硬件触发，就对由模拟输入通道指定寄存器 （ADS）指定的模拟输入进行A/D转换。在输入硬件触发的同时自动将ADM0寄存器的ADCS位置“1”。

③ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。在A/D转换结束后立即开始下一次的A/D转换 （此时，不需要硬件触发）。

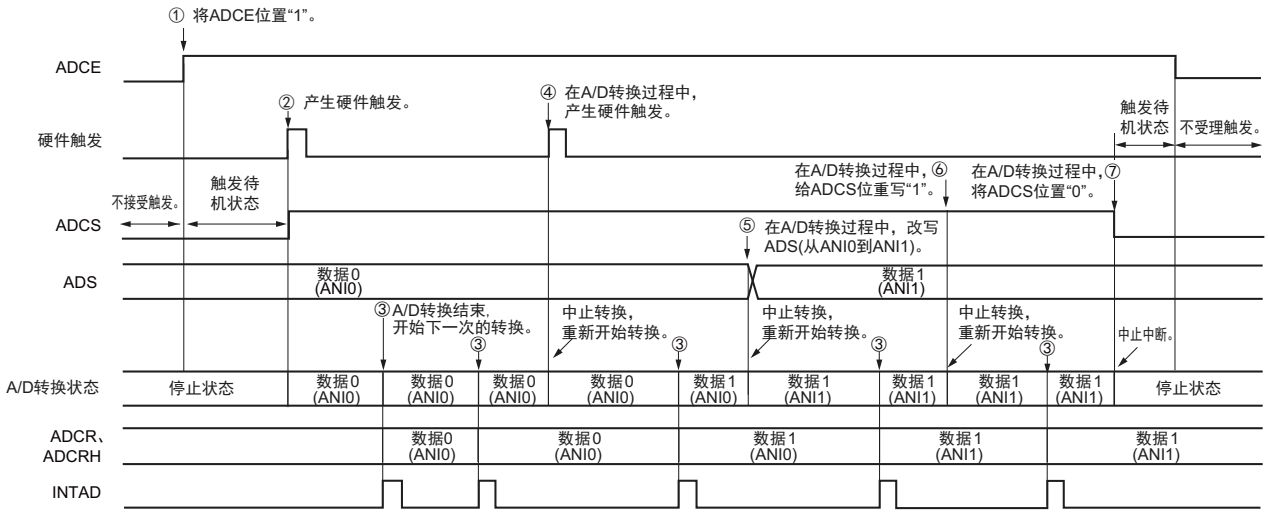
④ 如果在转换过程中输入硬件触发，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑤ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。

⑥ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑦ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入硬件触发待机状态，并且A/D转换器进入停止状态。当ADCE位为“0”时，即使输入硬件触发也被忽视，不开始A/D转换。

图 11-21 硬件触发等待模式 （连续转换模式）的运行时序例子



11.6.6 硬件触发等待模式 （单次转换模式）

① 在停止状态下，将A/D转换器的模式寄存器0 （ADM0）的ADCE位置“1”，进入硬件触发待机状态。

② 如果在硬件触发待机状态下输入硬件触发，就对由模拟输入通道指定寄存器 （ADS）指定的模拟输入进行A/D转换。在输入硬件触发的同时自动将ADM0寄存器的ADCS位置“1”。

③ 如果A/D转换结束，就将转换结果保存到A/D转换结果寄存器 （ADCR、 ADCRH），并且产生A/D转换结束中断请求信号 （INTAD）。

④ 在A/D转换结束后， ADCS位自动清“0”， A/D转换器进入停止状态。

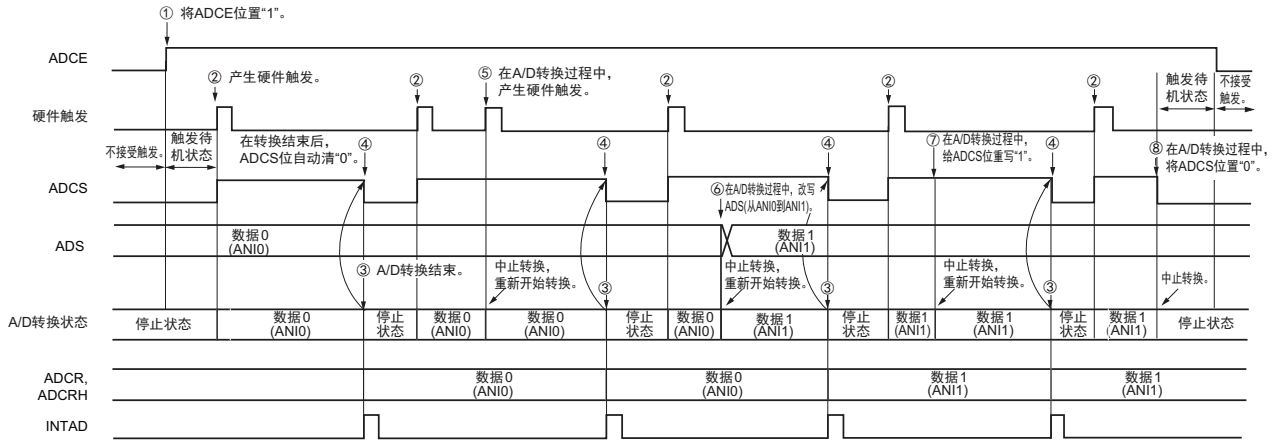
⑤ 如果在转换过程中输入硬件触发，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑥ 如果在转换过程中改写或者重写ADS寄存器，就中止当前的A/D转换而对由ADS寄存器重新指定的模拟输入进行A/D转换。取消转换途中的数据。

⑦ 如果在转换过程中给ADCS位重写“1”，就中止当前的A/D转换而重新开始转换。取消转换途中的数据。

⑧ 如果在转换过程中将ADCS位置“0”，就中止当前的A/D转换而进入硬件触发待机状态，并且A/D转换器进入停止状态。当ADCE位为“0”时，即使输入硬件触发也被忽视，不开始A/D转换。

图 11-22 硬件触发等待模式 （单次转换模式）的运行时序例子

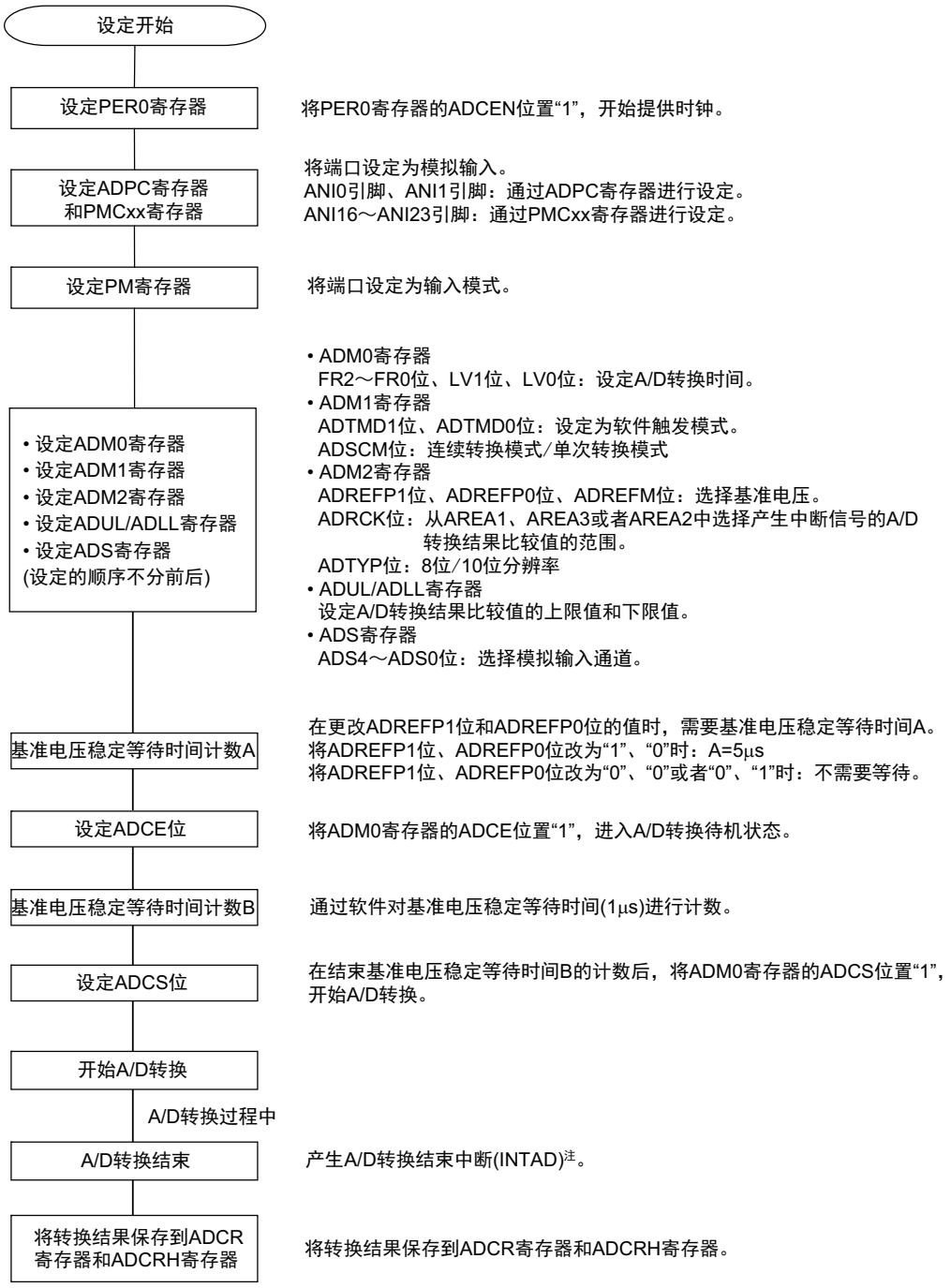


11.7 A/D 转换器的设定流程图

各运行模式的 A/D 转换器的设定流程图如下所示。

11.7.1 软件触发模式的设定

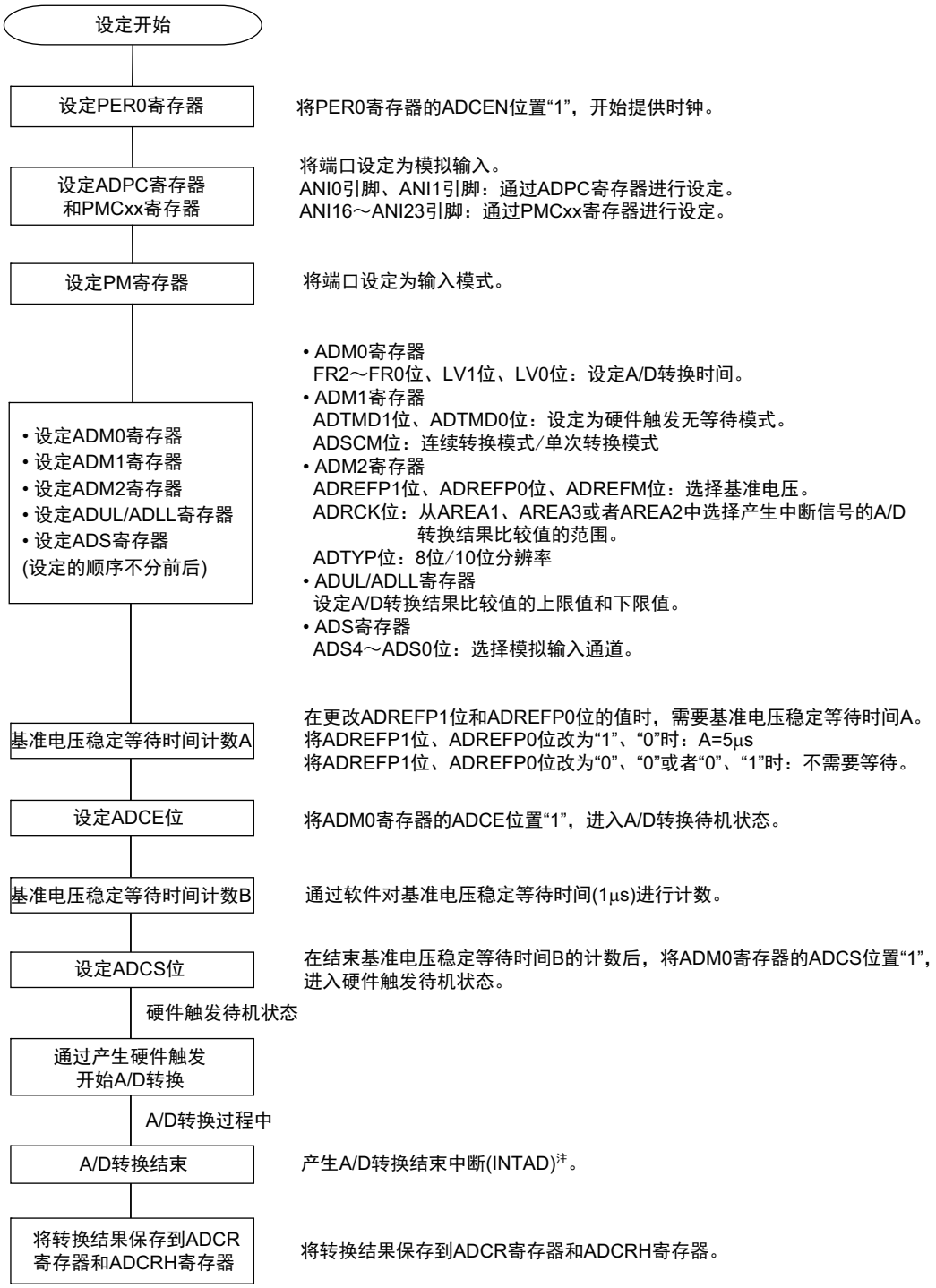
图 11-23 软件触发模式的设定



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设定，有可能不产生中断信号。此时，不将结果保存到 ADCR 寄存器和 ADCRH 寄存器。

11.7.2 硬件触发无等待模式的设定

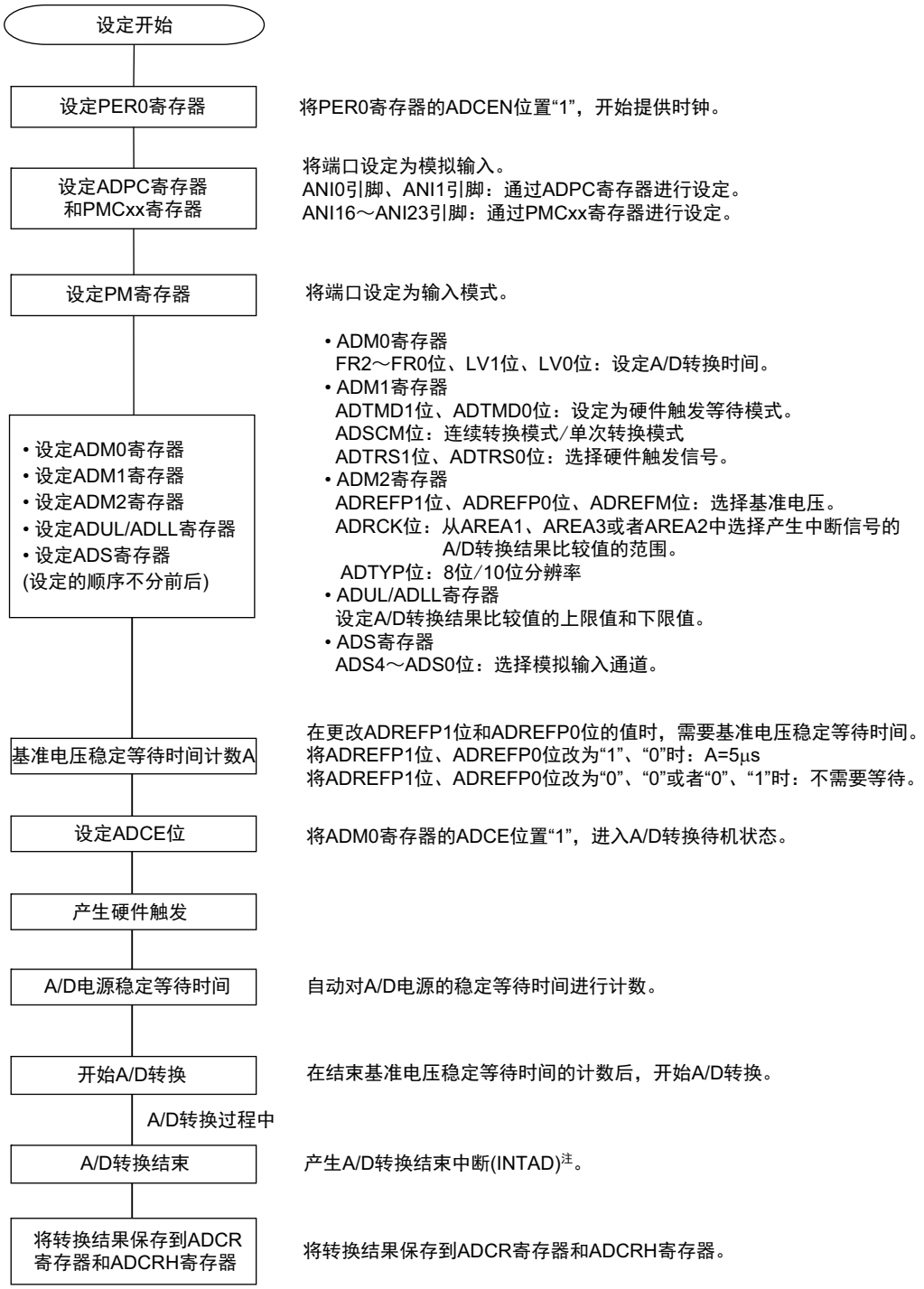
图 11-24 硬件触发无等待模式的设定



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设定，有可能不产生中断信号。此时，不将结果保存到 ADCR 寄存器和 ADCRH 寄存器。

11.7.3 硬件触发等待模式的设定

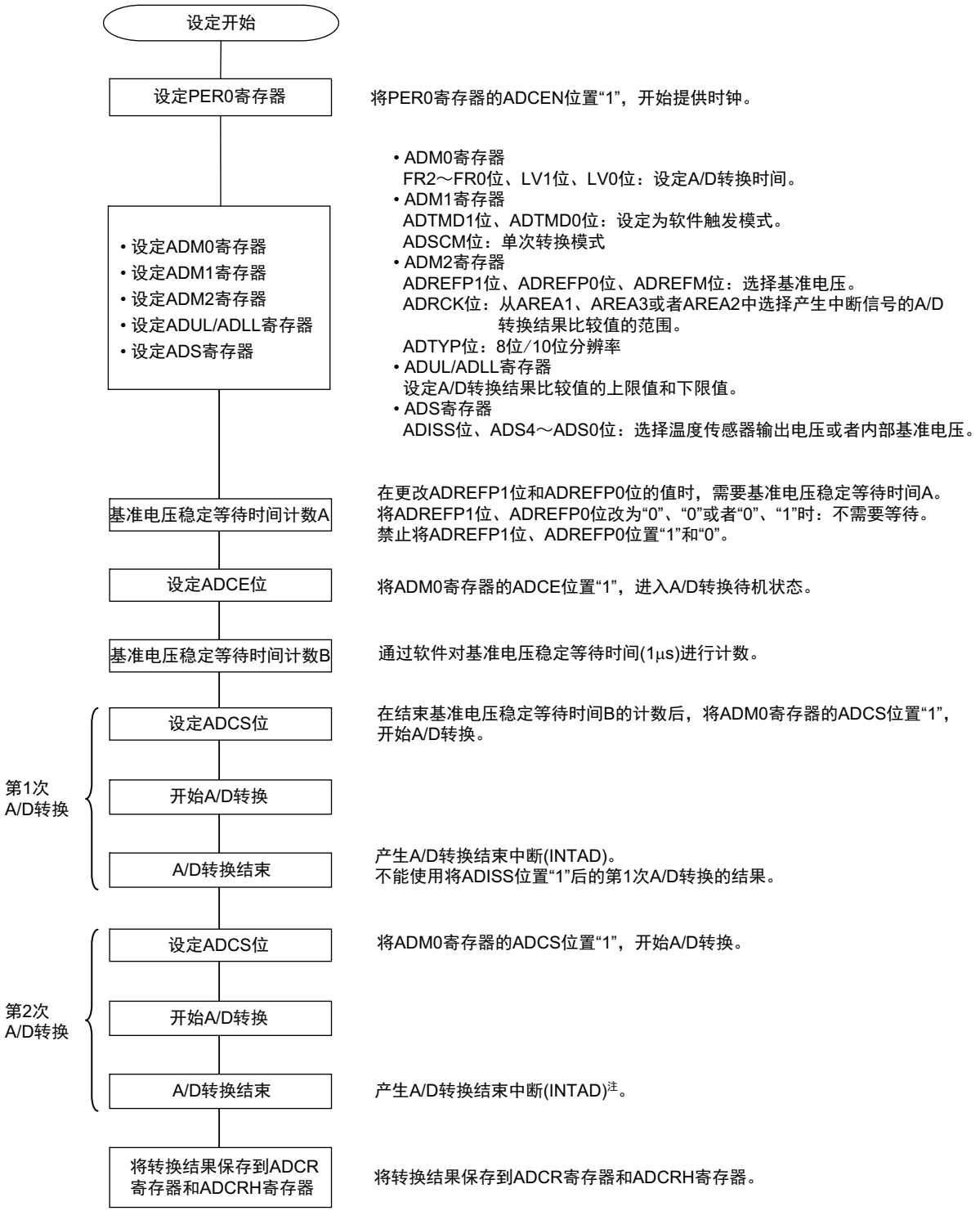
图 11-25 硬件触发等待模式的设定



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设定，有可能不产生中断信号。此时，不将结果保存到 ADCR 寄存器和 ADCRH 寄存器。

11.7.4 选择温度传感器输出电压 / 内部基准电压时的设定 （以软件触发模式、单次转换模式为例）

图 11-26 选择温度传感器输出电压 / 内部基准电压时的设定

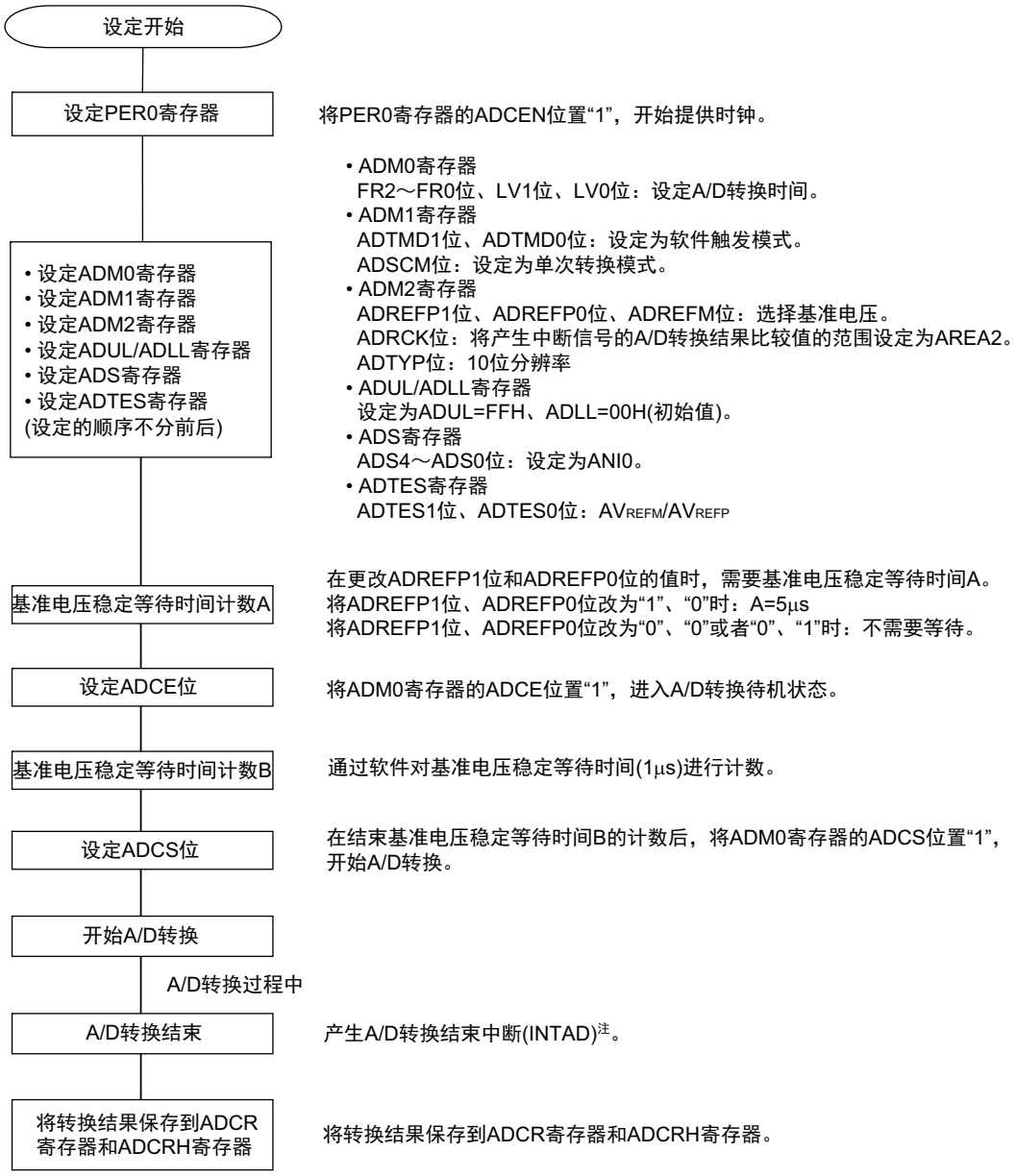


注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设定，有可能不产生中断信号。此时，不将结果保存到 ADCR 寄存器和 ADCRH 寄存器。

注意 只有在 HS （高速主）模式中才能使用。

11.7.5 测试模式的设定

图 11-27 测试触发模式的设定



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设定，有可能不产生中断信号。此时，不将结果保存到 ADCR 寄存器和 ADCRH 寄存器。

注意 有关 A/D 转换器的测试方法，请参照 “20.3.8 A/D 测试功能 ”。

11.8 SNOOZE 模式功能

这是在 STOP 模式中通过输入硬件触发进行 A/D 转换的模式。在通常的 STOP 模式中停止 A/D 转换，但是如果使用此模式，就能在 CPU 不运行的状态下通过输入硬件触发进行 A/D 转换，减少工作电流。

在 SNOOZE 模式中，如果通过 ADUL 寄存器和 ADLL 寄存器指定转换结果的范围，就能每隔一段时间判断 A/D 转换结果。从而能判断电源电压监视或者通过 A/D 输入进行的键输入。

在 SNOOZE 模式中，只能使用以下 2 种转换模式：

- 硬件触发等待模式 （单次转换模式）

注意 只有在选择高速内部振荡器时钟作为 f_{CLK} 时才能设定 SNOOZE 模式。

图 11-28 使用 SNOOZE 模式功能时的框图

当使用 SNOOZE 模式功能时，在转移到 STOP 模式前进行各寄存器的初始设定 （参照 “**11.7.3 硬件触发等待模式的设定** ” 注 2）。在转移到 STOP 模式前，将 A/D 转换器的模式寄存器 2 （ADM2）的 bit2 （AWC）置 “1”。在初始设定结束后，将 A/D 转换器的模式寄存器 0 （ADM0）的 bit0 （ADCE）置 “1”。

如果在转移到 STOP 模式后输入硬件触发，就给 A/D 转换器提供高速内部振荡器时钟。在提供高速内部振荡器时钟后，自动对 A/D 电源稳定等待时间进行计数，开始 A/D 转换。

A/D 转换结束后的 SNOOZE 模式的运行因是否产生中断信号而不同注 1。

注 1. 根据 A/D 转换结果比较功能的设定 （ADRCK 位、 ADUL/ADLL 寄存器），有可能不产生中断请求信号。

2. 必须将 ADM1 寄存器置 “E2H” 或者 “E3H”。

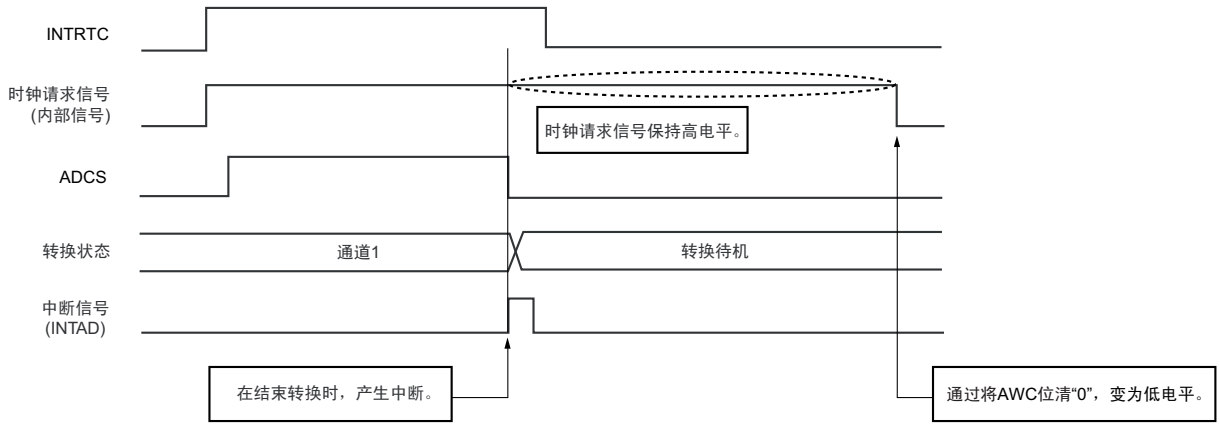
备注 硬件触发为 INTRTC 或者 INTIT。
必须通过A/D转换器的模式寄存器1 （ADM1）设定硬件触发。

(1) 在 A/D 转换结束后发生中断的情况

如果 A/D 转换结果的值不超出 A/D 转换结果比较功能（通过 ADRCK 位和 ADUL/ADLL 寄存器进行设定）的设定值范围，就产生 A/D 转换结束中断请求信号 （INTAD）。

如果在 A/D 转换结束后产生 A/D 转换结束中断请求信号 （INTAD）， A/D 转换器就从 SNOOZE 模式转移到通常运行模式。在此，必须清除 A/D 转换器的模式寄存器 2 （ADM2）的 bit2 （AWC=0：解除 SNOOZE 模式）。如果 AWC 位保持 “1” 的状态，就无法正常开始 A/D 转换，而与之后的 SNOOZE 模式、通常运行模式无关。

图 11-29 在 A/D 转换结束后发生中断时的运行例子

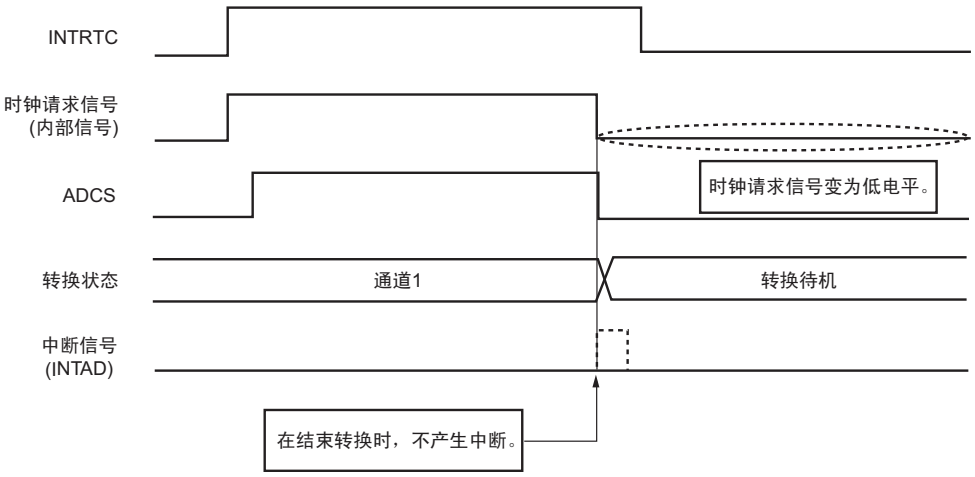


(2) 在 A/D 转换结束后不发生中断的情况

如果 A/D 转换结果的值不超出 A/D 转换结果比较功能（通过 ADRCK 位和 ADUL/ADLL 寄存器进行设定）的设定值范围，就不产生 A/D 转换结束中断请求信号 （INTAD）。

如果不发生 A/D 转换结束中断请求信号 （INTAD），时钟请求信号 （内部信号）就在 A/D 转换结束后自动变为低电平，并且停止提供高速内部振荡器时钟。此后，如果输入硬件触发，就再次在 SNOOZE 模式中进行 A/D 转换。

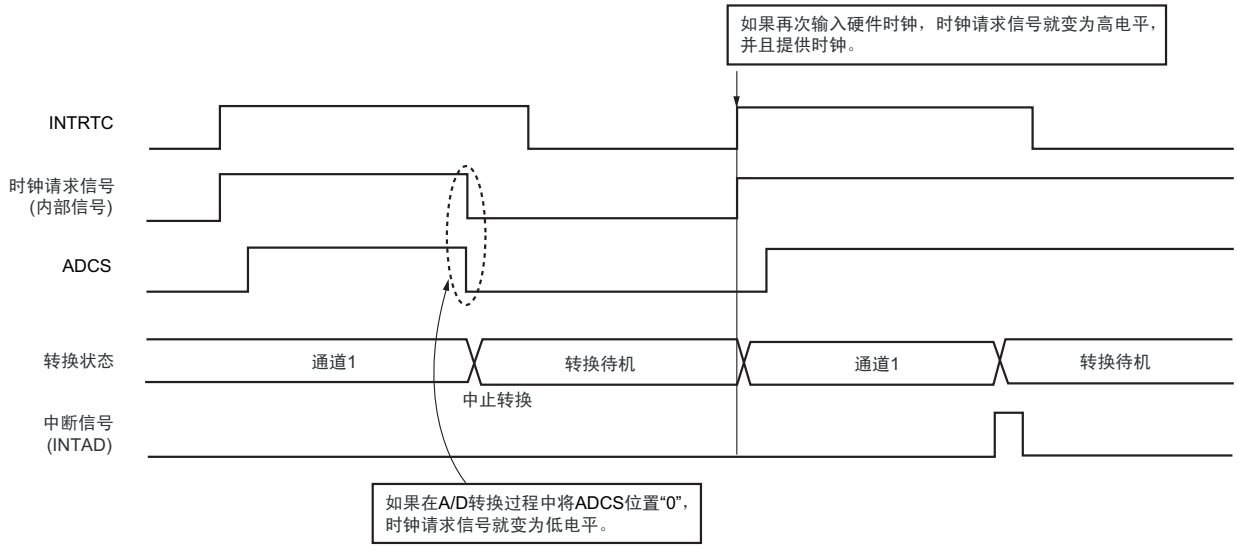
图 11-30 在 A/D 转换结束后不发生中断时的运行例子



(3) 中止 A/D 转换 / 重新开始 A/D 转换时的运行

如果在 A/D 转换运行中途中止转换（将 A/D 转换器的模式寄存器 0（ADM0）的 bit7（ADCS）清 “0”），时钟请求信号（内部信号）就变为低电平，并且停止提供高速内部振荡器时钟。通过再次输入硬件触发，时钟请求信号变为高电平，重新开始提供高速内部振荡器时钟，开始 SNOOZE 模式的 A/D 转换。

图 11-31 中止 A/D 转换 / 重新开始 A/D 转换时的运行例子



11.9 A/D 转换器特性表的阅读方法

以下说明 A/D 转换器特有的专业术语。

(1) 分辨率

分辨率是能分辨的最小模拟输入电压。也就是说，数字输出的每 1 位与模拟输入电压的比率称为 1 LSB（Least Significant Bit）。将对 1 LSB 满刻度的比率表示为 %FSR （Full Scale Range）。

当分辨率为 10 位时，

$1\ LSB=1/2^{10}=1/1024$

$=0.098\%FSR$

精度与分辨率无关而取决于综合误差。

(2) 综合误差

综合误差是指实际测量值和理论值的差的最大值，是将零刻度误差、满刻度误差、积分线性误差、微分线性误差以及这些组合所产生的误差综合起来的误差。

特性表中的综合误差不包含量化误差。

(3) 量化误差

在将模拟值转换为数字值时，必然会出现 ±1/2LSB 的误差。A/D 转换器将 ±1/2 LSB 范围内的模拟输入电压转换为相同的数字码，因此不能避免量化误差。

特性表中的综合误差、零刻度误差、满刻度误差、积分线性误差和微分线性误差不包含量化误差。

图 11-32 综合误差

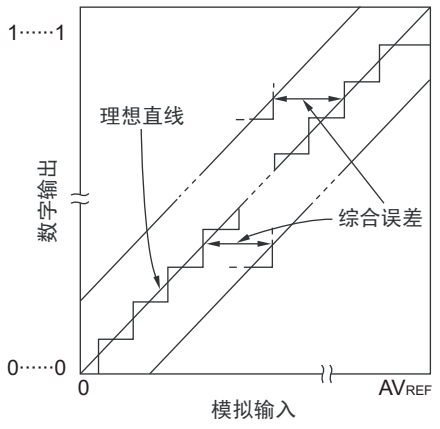
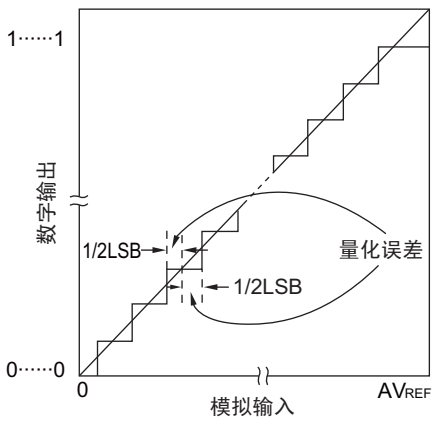


图 11-33 量化误差



(4) 零刻度误差

零刻度误差是指数字输出从 0……000 变为 0……001 时的模拟输入电压的实际测量值和理论值（1/2 LSB）的差。如果实际测量值大于理论值，零刻度误差就是指数字输出从 0……001 变为 0……010 时的模拟输入电压的实际测量值和理论值 （3/2 LSB）的差。

(5) 满刻度误差

满刻度误差是指数字输出从 1……110 变为 1……111 时的模拟输入电压的实际测量值和理论值 （满刻度 - 3/2 LSB）的差。

(6) 积分线性误差

积分线性误差是指转换特性从理想线性关系偏离的程度，是零刻度误差和满刻度误差为 0 时的实际测量值和理想直线的差的最大值。

(7) 微分线性误差

微分线性误差是指在输出代码的理想宽度为 1LSB 时某个代码输出宽度的实际测量值和理想值的差值。

图 11-34 零刻度误差

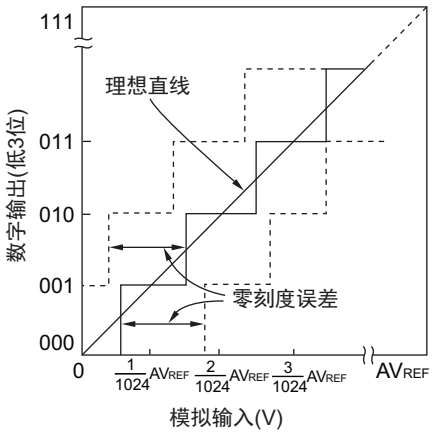


图 11-35 满刻度误差

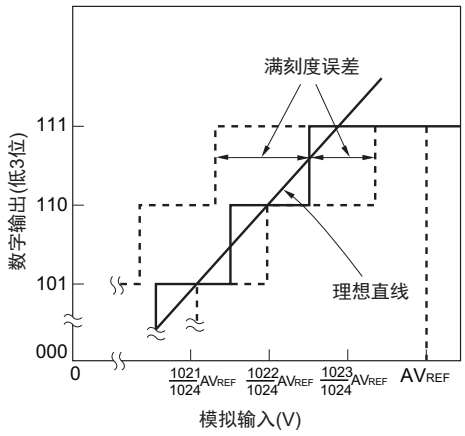


图 11-36 积分线性误差

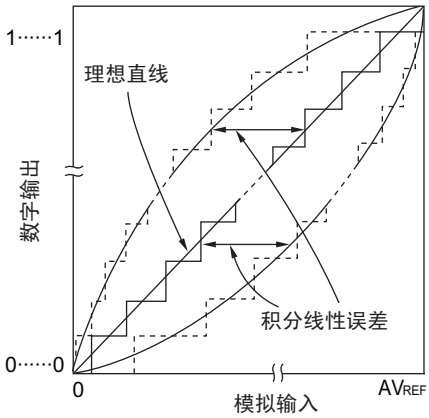
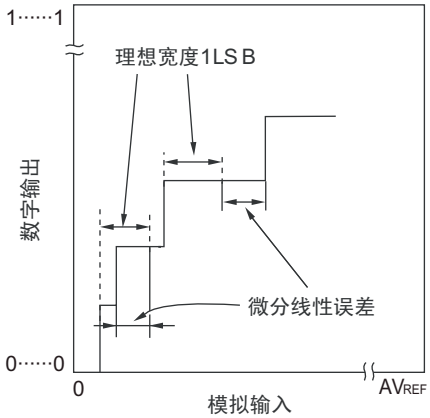


图 11-37 微分线性误差

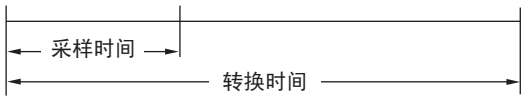


(8) 转换时间

转换时间是指从开始采样到取得数字输出的时间。
特性表中的转换时间包含采样时间。

(9) 采样时间

采样时间是指为了将模拟电压取入采样 & 保持电路而使模拟开关 ON 的时间。



11.10 A/D 转换器的注意事项

(1) 有关 STOP 模式中的工作电流

要转移到 STOP 模式时，必须在停止 A/D 转换器（将 A/D 转换器的模式寄存器 0（ADM0）的 bit7（ADCS）置 “0”）后进行。此时，还能通过将 ADM0 寄存器的 bit0 （ADCE）置 “0” 来减少工作电流。

要从待机状态重新运行时，必须在将中断请求标志寄存器 1H （IF1H）的 bit0 （ADIF）清 “0” 后开始运行。

(2) 有关 ANI0、 ANI1、 ANI16 ～ ANI23 引脚的输入范围

必须在规格范围内使用 ANI0、 ANI1、 ANI16 ～ ANI23 引脚的输入电压。如果输入大于等于 V_{DD} 和 AV_{REFP} 或者小于等于 V_{SS} 和 AV_{REFM} （即使在绝对最大额定范围内）的电压，该通道的转换值就为不定值，并且还可能影响其他通道的转换值。

当选择内部基准电压 （1.45V）作为 A/D 转换器的正 （+）基准电压源时，不能给 ADS 寄存器选择的引脚输入大于等于内部基准电压 （1.45V）的电压。但是，能给 ADS 寄存器没有选择的引脚输入大于等于内部基准电压的电压。

注意 只有在 HS （高速主）模式中才能选择内部基准电压 （1.45V）。

(3) 有关竞争

① 转换结束时的A/D转换结果寄存器 （ADCR、 ADCRH）的写操作与ADCR寄存器和ADCRH寄存器的指令读操作的竞争
优先读ADCR寄存器和ADCRH寄存器。在读后，将新的转换结果写到ADCR寄存器和ADCRH寄存器。

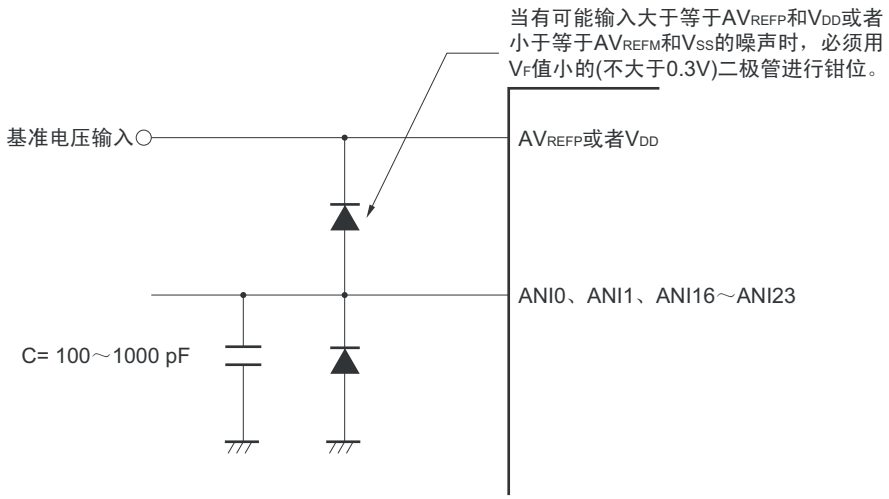
② 转换结束时的ADCR寄存器和ADCRH寄存器的写操作与A/D转换器的模式寄存器0 （ADM0）、模拟输入通道指定寄存器 （ADS）或者A/D端口配置寄存器 （ADPC）的写操作的竞争
优先写ADM0、 ADS、 ADPC寄存器。不写ADCR寄存器和ADCRH寄存器，也不产生转换结束中断信号 （INTAD）。

(4) 有关噪声对策

为了维持 10 位分辨率，必须注意对 AV_{REFP}、 V_{DD}、 ANI0、 ANI1、 ANI16 ～ ANI23 引脚的噪声。

① 连接电源的电容器必须使用等效电阻小并且频率响应好的电容器。
② 模拟输入源的输出阻抗越高影响就越大，因此为了降低噪声，建议按照图 11-38 的方法外接电容器。
③ 不能在转换过程中切换其他引脚。
④ 如果在转换开始后立即设定为HALT模式，就会提高精度。

图 11-38 模拟输入引脚的处理



(5) 模拟输入 （ANIn）引脚

① 模拟输入 （ANI0、 ANI1）引脚和输入端口 （P20、 P21）引脚复用。
要选择ANI0引脚或者ANI1引脚进行A/D转换时，不能在转换过程中对P20、 P21更改输出值。否则，可能降低转换精度。

② 如果将正在进行A/D转换的引脚的相邻引脚用作数字输入/输出端口，就可能因耦合噪声而取得与期待值不同的 A/D 转换值。因此，在 A/D 转换过程中，不能输入或者输出会发生急剧变化 （如数字信号）的脉冲。

(6) 有关模拟输入 （ANIn）引脚的输入阻抗

此 A/D 转换器在采样时间内给内部的采样电容充电并且进行采样。

因此，在不采样时只有漏电流流过，而在采样时还有电容充电的电流流过。所以输入阻抗根据是否采样而发生变动。

但是，为了充分进行采样，必须将模拟输入源的输出阻抗保持在 1kΩ 以下。如果不能将输出阻抗保持在 1kΩ 以下，建议加长采样时间，或者给 ANI0、 ANI1、 ANI16 ～ ANI23 引脚外接 0.1μF 左右的电容器 （参照图 11-38）。另外，在转换运行过程中将 ADCS 置 “0” 以及重新开始转换时，采样电容器的充电电压为不定值。因此，在将 ADCS 置 “0” 时，下一个转换从不定状态开始充电；在重新转换时，该转换从不定状态开始充电。为了确保足够的充电，与模拟信号变化的大小无关，必须将模拟输入源的输出阻抗降低或者确保充分的采样时间。

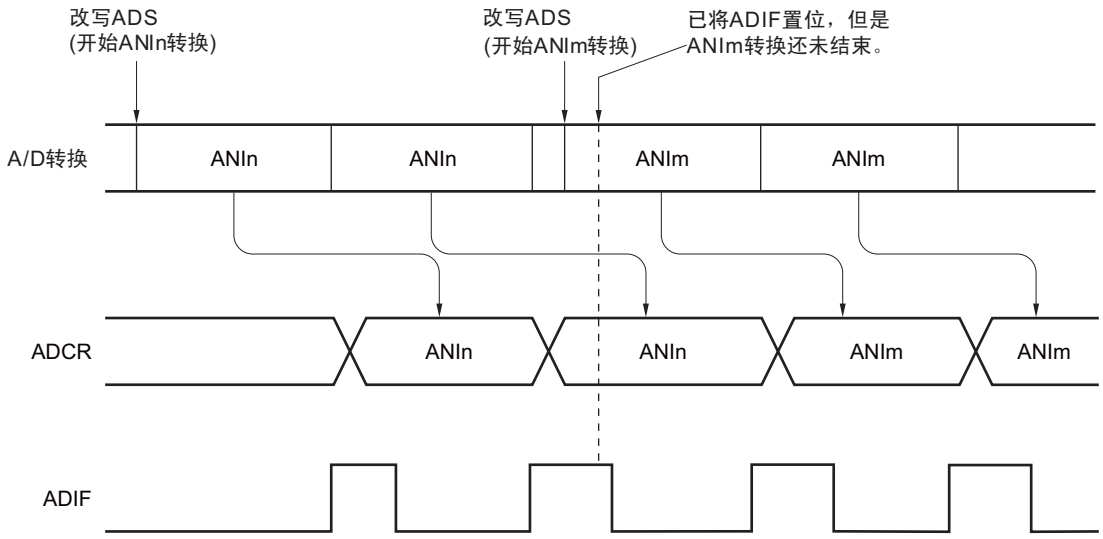
(7) 有关中断请求标志 （ADIF）

即使更改模拟输入通道指定寄存器 （ADS），也不将中断请求标志 （ADIF）清 “0”。

因此，如果在 A/D 转换过程中更改模拟输入引脚，就可能在改写 ADS 寄存器前，更改前的模拟输入的 A/D 转换结果和 ADIF 标志被设定。必须注意：如果在改写 ADS 寄存器后立即读 ADIF 标志，尽管转换后的模拟输入的 A/D 转换还未结束，也会将 ADIF 标志置位。

另外，在暂停后重新开始 A/D 转换时，必须在重新开始前将 ADIF 标志清 “0”。

图 11-39 A/D 转换结束中断请求的产生时序



(8) 有关 A/D 转换开始后的转换结果

在软件触发模式或者硬件触发无等待模式中，如果在将 ADCE 位置 “1” 后的 1.0μs 内将 ADCS 位置 “1”，开始 A/D 转换后的 A/D 转换值就可能不满足额定值。必须采取轮询 A/D 转换结束中断请求 （INTAD）并且取消最初的转换结果等对策。

(9) 有关 A/D 转换结果寄存器 （ADCR、 ADCRH）的读操作

当写 A/D 转换器的模式寄存器 0 （ADM0）、模拟输入通道指定寄存器 （ADS）、 A/D 端口配置寄存器（ADPC）和端口模式控制寄存器 （PMC）时， ADCR 寄存器和 ADCRH 寄存器的内容可能不定。必须在转换结束后并且在写 ADM0、 ADS、 ADPC、 PMC 寄存器前读转换结果。否则，就可能读不到正确的转换结果。

(10) 有关内部等效电路

模拟输入部的等效电路如下所示。

图 11-40 ANIn 引脚的内部等效电路

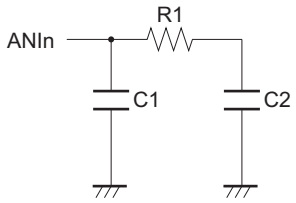


表 11-4 等效电路的各电阻和电容值 （参考值）

AV_{REFP}、 V_{DD}	ANIn 引脚	R1[kΩ]	C1[pF]	C2[pF]
3.6V ≤ V_{DD} ≤ 5.5V	ANI0、 ANI1	14	8	2.5
	ANI16 ～ ANI23	18	8	7.0
2.7V ≤ V_{DD} ≤ 3.6V	ANI0、 ANI1	39	8	2.5
	ANI16 ～ ANI23	53	8	7.0
1.8V ≤ V_{DD} ≤ 2.7V	ANI0、 ANI1	231	8	2.5
	ANI16 ～ ANI23	321	8	7.0
1.6V ≤ V_{DD} < 2.7V	ANI0、 ANI1	632	8	2.5
	ANI16 ～ ANI23	902	8	7.0

注意 在 SNOOZE 模式中，不能使用 A/D 转换器的内部电压。

备注 表 11-4 的各电阻和电容值不是保证值。

(11) 有关 A/D 转换器的运行开始

必须在 AV_{REFP} 和 V_{DD} 的电压稳定后开始 A/D 转换器的运行。

第 12 章 串行阵列单元

串行阵列单元有 2 个串行通道，各通道能实现 3 线串行 （CSI）和 UART 的通信功能。

R7F0C001G/L、 R7F0C002G/L 支持的各通道的功能分配如下：

通道	用作 CSI	用作 UART
0	CSI00	UART0
1	CSI01	

12.1 串行阵列单元的功能

R7F0C001G/L、 R7F0C002G/L 支持的各串行接口的特征如下所示。

12.1.1 3 线串行 I/O （CSI00、 CSI01）

与主控设备输出的串行时钟 （$\overline{SCK}$）同步进行数据的发送和接收。

这是使用 1 条串行时钟 （$\overline{SCK}$）、 1 条发送串行数据 （SO）和 1 条接收串行数据 （SI）共 3 条通信线进行通信的时钟同步通信功能。

有关具体的设定例子，请参照 “12.5 3 线串行 I/O （CSI00、 CSI01）通信的运行 ”。

[数据的发送和接收]

- 7位或者8位的数据长度
- 发送和接收数据的相位控制
- MSB/LSB优先的选择

[时钟控制]

- 主控或者从属的选择
- 输入/输出时钟的相位控制
- 设定由预分频器和通道内部计数器产生的传送周期。
- 最大传送速率

  主控通信 （CSI00）： Max. $f_{MCK}/2$ 注1、2

  主控通信 （CSI01）： Max. $f_{MCK}/4$ 注2

  从属通信： Max. $f_{MCK}/6$ 注2

[中断功能]

- 传送结束中断、缓冲器空中断

[错误检测标志]

- 溢出错误

CSI00 支持 SNOOZE 模式。 SNOOZE 模式功能是指：如果在 STOP 模式的状态下检测到 $\overline{SCK}$ 的输入，就不需要 CPU 运行而接收数据。

注 1. 在主控通信 （CSI00）时，如果满足以下条件，就为 Max. $f_{MCK}/2$。否则，为 Max. $f_{MCK}/4$。

- $2.7V \leqslant EV_{DD}=V_{DD} \leqslant 5.5V$
- $f_{MCK} \leqslant 12MHz$

2. 必须在满足 $\overline{SCK}$ 周期时间 （t_{KCY}）特性的范围内使用 （参照 “ 第 27 章 电特性 ”）。

12.1.2 UART （UART0）

这是通过串行数据发送 （TxD）和串行数据接收 （RxD）共 2 条线进行异步通信的功能。使用这 2 条通信线，按数据帧 （由起始位、数据、奇偶校验位和停止位构成）与其他通信方进行异步 （使用内部波特率）的数据发送和接收。能通过使用发送专用（偶数通道）和接收专用（奇数通道）共 2 个通道来实现全双工 UART 通信。

有关具体的设定例子，请参照 “12.6 UART （UART0）通信的运行 ”。

[数据的发送和接收]

- 7 位、 8 位或者 9 位的数据长度
- MSB/LSB 优先的选择
- 发送和接收数据的电平设定、反相的选择
- 奇偶校验位的附加、奇偶校验功能
- 停止位的附加

[中断功能]

- 传送结束中断、缓冲器空中断
- 帧错误、奇偶校验错误或者溢出错误引起的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误、溢出错误

UART0 的接收支持 SNOOZE 模式。SNOOZE 模式功能是指：如果在 STOP 模式的状态下检测到 RxD 的输入，就不需要 CPU 运行而接收数据。

12.2 串行阵列单元的结构

串行阵列单元由以下硬件构成。

表 12-1 串行阵列单元的结构

项目	结构
移位寄存器	9 位
缓冲寄存器	串行数据寄存器 mn （SDRmn）的低 9 位注
串行时钟输入 / 输出	$\overline{SCK00}$ 引脚和 $\overline{SCK01}$ 引脚 （用于 3 线串行 I/O）
串行数据输入	SI00 引脚和 SI01 引脚 （用于 3 线串行 I/O）、 RxD0 引脚 （用于 UART）
串行数据输出	SO00 引脚和 SO01 引脚 （用于 3 线串行 I/O）、 TxD0 引脚 （用于 UART）、输出控制电路
控制寄存器	＜单元设定部的寄存器＞ • 外围允许寄存器 0 （PER0） • 串行时钟选择寄存器 m （SPSm） • 串行通道允许状态寄存器 m （SEm） • 串行通道开始寄存器 m （SSm） • 串行通道停止寄存器 m （STm） • 串行输出允许寄存器 m （SOEm） • 串行输出寄存器 m （SOm） • 串行输出电平寄存器 m （SOLm） • 串行待机控制寄存器 m （SSCm） • 噪声滤波器允许寄存器 0 （NFEN0）
	＜各通道部的寄存器＞ • 串行数据寄存器 mn （SDRmn） • 串行模式寄存器 mn （SMRmn） • 串行通信运行设定寄存器 mn （SCRmn） • 串行状态寄存器 mn （SSRmn） • 串行标志清除触发寄存器 mn （SIRmn）
	• 端口输入模式寄存器 1 （PIM1） • 端口输出模式寄存器 1 （POM1） • 端口模式寄存器 1 （PM1） • 端口寄存器 1 （P1）

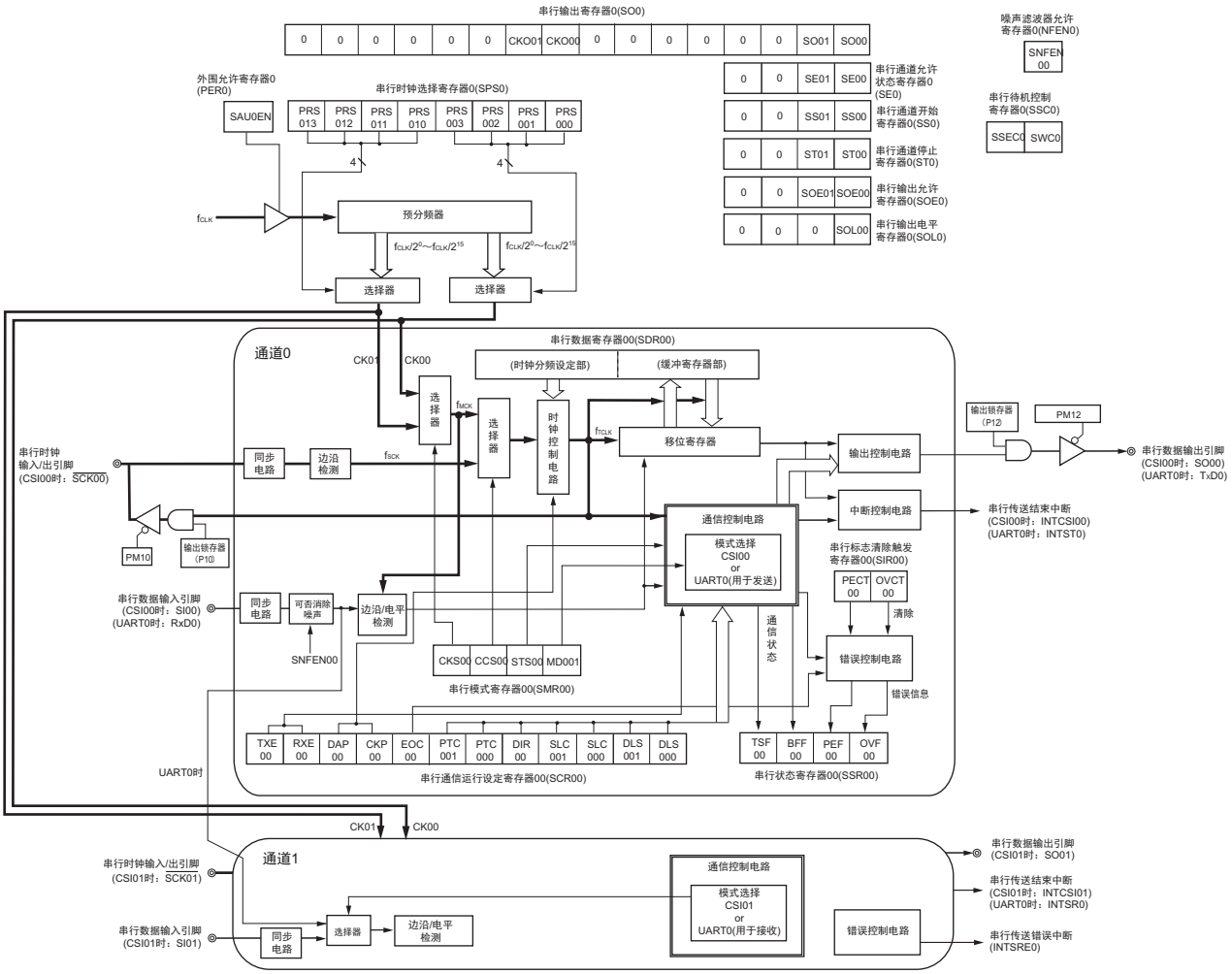
注 根据通信模式，能用以下 SFR 名称读写串行数据寄存器 mn （SDRmn）的低 8 位。

- CSIp通信……SIOp （CSIp数据寄存器）
- UARTq接收……RXDq （UARTq接收数据寄存器）
- UARTq发送……TXDq （UARTq发送数据寄存器）

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） q：UART 号 （q=0）

串行阵列单元的框图如图 12-1 所示。

图 12-1 串行阵列单元的框图



12.2.1 移位寄存器

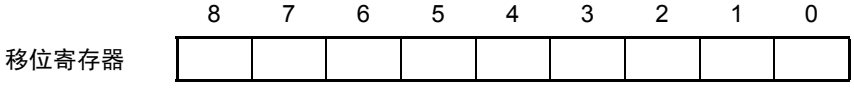
这是进行并行和串行相互转换的 9 位寄存器。

在以 9 位数据长度进行 UART 通信时，使用 9 位 （bit0 ～ 8）。

在接收数据时，将串行输入引脚的输入数据转换为并行数据；在发送数据时，将被传送到此寄存器的值作为串行数据从串行输出引脚输出。

不能通过程序直接操作移位寄存器。

要读写移位寄存器的数据时，使用串行数据寄存器 mn （SDRmn）的低 9 位。



12.2.2 串行数据寄存器 mn （SDRmn）的低 9 位

SDRmn 寄存器是通道 n 的发送和接收数据寄存器 （16 位）。

bit8 ～ 0 （低 9 位）用作发送和接收缓冲寄存器， bit15 ～ 9 用作运行时钟 （f_{MCK}）的分频设定寄存器。

在接收数据时，将由移位寄存器转换的并行数据保存到低 9 位；在发送数据时，将被传送到移位寄存器的发送数据设定到低 9 位。

与数据的输出顺序无关，根据串行通信运行设定寄存器 mn（SCRmn）的 bit0 和 bit1（DLSmn0、DLSmn1）的设定，保存到低 9 位的数据如下所示：

- 7位数据长度 （保存在SDRmn寄存器的bit0～6）
- 8位数据长度 （保存在SDRmn寄存器的bit0～7）
- 9位数据长度 （保存在SDRmn寄存器的bit0～8）（只能在UART0模式中才能设定）

能以 16 位为单位读写 SDRmn 寄存器。

根据通信模式，能用以下 SFR 名称，以 8 位为单位读写 SDRmn 寄存器的低 8 位注。

- CSIp通信……SIOp （CSIp数据寄存器）
- UARTq接收……RXDq （UARTq接收数据寄存器）
- UARTq发送……TXDq （UARTq发送数据寄存器）

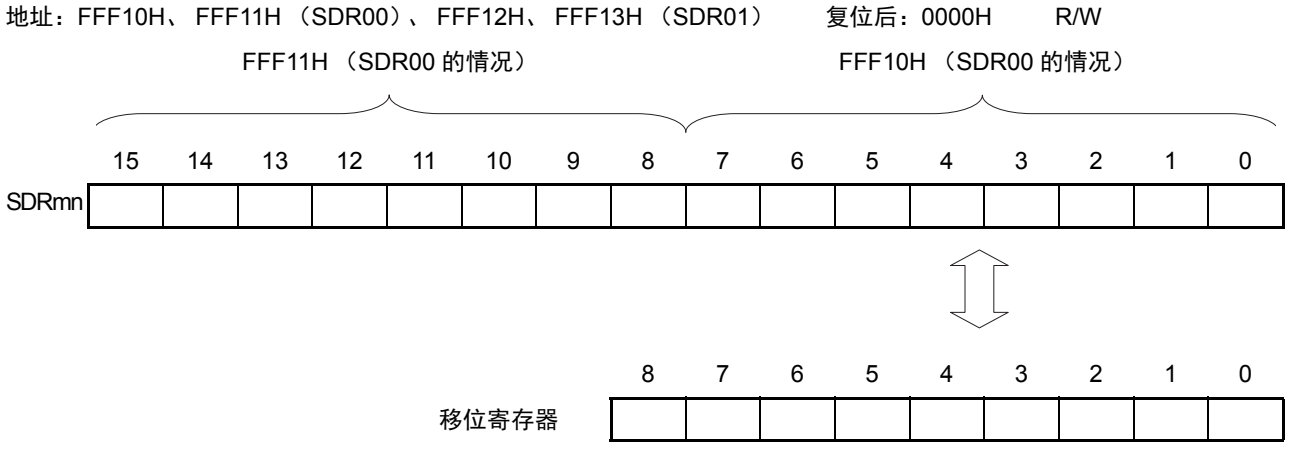
通过产生复位信号， SDRmn 寄存器的值变为 “0000H”。

注 在停止运行 （SEmn=0）时，禁止以 8 位为单位的写操作。

备注 1. 在接收结束后， bit0 ～ 8 中超过数据长度的部分的位为 “0”。

2. m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） q：UART 号 （q=0）

图 12-2 串行数据寄存器 mn （SDRmn）（mn=00、 01）的格式



备注 有关 SDRmn 寄存器的高 7 位的功能，请参照 “12.3 控制串行阵列单元的寄存器 ”。

12.3 控制串行阵列单元的寄存器

控制串行阵列单元的寄存器如下所示。

- 外围允许寄存器0 （PER0）
- 串行时钟选择寄存器m （SPSm）
- 串行模式寄存器mn （SMRmn）
- 串行通信运行设定寄存器mn （SCRmn）
- 串行数据寄存器mn （SDRmn）
- 串行标志清除触发寄存器mn （SIRmn）
- 串行状态寄存器mn （SSRmn）
- 串行通道开始寄存器m （SSm）
- 串行通道停止寄存器m （STm）
- 串行通道允许状态寄存器m （SEm）
- 串行输出允许寄存器m （SOEm）
- 串行输出电平寄存器m （SOLm）
- 串行输出寄存器m （SOm）
- 串行待机控制寄存器m （SSCm）
- 噪声滤波器允许寄存器0 （NFEN0）
- 端口输入模式寄存器1 （PIM1）
- 端口输出模式寄存器1 （POM1）
- LCD端口功能寄存器0、 3 （PFSEG0、 PFSEG3）
- 端口模式寄存器1 （PM1）
- 端口寄存器1 （P1）

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

要使用串行阵列单元时，必须将 bit2 （SAU0EN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号， PER0 寄存器的值变为 “00H”。

图 12-3 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

SAU0EN	提供串行阵列单元的输入时钟的控制
0	停止提供输入时钟。 • 不能写串行阵列单元使用的 SFR。 • 串行阵列单元处于复位状态。
1	允许提供输入时钟。 • 能读写入串行阵列单元使用的 SFR。

注意 1. 在设定串行阵列单元时，必须在 SAU0EN 位为 “1” 的状态下设定以下寄存器。如果 SAU0EN 位为 “0”，串行阵列单元的控制寄存器为初始值，并且忽略写操作 （噪声滤波器允许寄存器 0 （NFEN0）、端口输入模式寄存器 1 （PIM1）、端口输出模式寄存器 1 （POM1）、 LCD 端口功能寄存器 0、 3 （PFSEG0、 PFSEG3）、端口模式寄存器 1 （PM1）以及端口寄存器 1 （P1）除外）。

- 串行时钟选择寄存器 m （SPSm）
- 串行模式寄存器 mn （SMRmn）
- 串行通信运行设定寄存器 mn （SCRmn）
- 串行数据寄存器 mn （SDRmn）
- 串行标志清除触发寄存器 mn （SIRmn）
- 串行状态寄存器 mn （SSRmn）
- 串行通道开始寄存器 m （SSm）
- 串行通道停止寄存器 m （STm）
- 串行通道允许状态寄存器 m （SEm）
- 串行输出允许寄存器 m （SOEm）
- 串行输出电平寄存器 m （SOLm）
- 串行输出寄存器 m （SOm）
- 串行待机控制寄存器 m （SSCm）

2. 必须将 bit1、 3、 4、 6 置 “0”。

12.3.2 串行时钟选择寄存器 m （SPSm）

SPSm 寄存器是 16 位寄存器，选择提供给各通道的 2 种公共运行时钟 （CKm0、 CKm1）。通过 SPSm 寄存器的 bit7 ～ 4 选择 CKm1，通过 bit3 ～ 0 选择 CKm0。

禁止在运行过程中 （SEmn=1）改写 SPSm 寄存器。

通过 16 位存储器操作指令设定 SPSm 寄存器。

能用 SPSmL 并且通过 8 位存储器操作指令设定 SPSm 寄存器的低 8 位。

通过产生复位信号， SPSm 寄存器的值变为 “0000H”。

图 12-4 串行时钟选择寄存器 m （SPSm）的格式

地址：F0126H、 F0127H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		运行时钟 （CKmk）的选择注				
					f_{CLK}=2MHz	f_{CLK}=5MHz	f_{CLK}=10MHz	f_{CLK}=20MHz	f_{CLK}=24MHz
0	0	0	0	f_{CLK}	2MHz	5MHz	10MHz	20MHz	24MHz
0	0	0	1	$f_{CLK}/2$	1MHz	2.5MHz	5MHz	10MHz	12MHz
0	0	1	0	$f_{CLK}/2^2$	500kHz	1.25MHz	2.5MHz	5MHz	6MHz
0	0	1	1	$f_{CLK}/2^3$	250kHz	625kHz	1.25MHz	2.5MHz	3MHz
0	1	0	0	$f_{CLK}/2^4$	125kHz	313kHz	625kHz	1.25MHz	1.5MHz
0	1	0	1	$f_{CLK}/2^5$	62.5kHz	156kHz	313kHz	625kHz	750kHz
0	1	1	0	$f_{CLK}/2^6$	31.3kHz	78.1kHz	156kHz	313kHz	375kHz
0	1	1	1	$f_{CLK}/2^7$	15.6kHz	39.1kHz	78.1kHz	156kHz	187.5kHz
1	0	0	0	$f_{CLK}/2^8$	7.81kHz	19.5kHz	39.1kHz	78.1kHz	93.8kHz
1	0	0	1	$f_{CLK}/2^9$	3.91kHz	9.77kHz	19.5kHz	39.1kHz	46.9kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95kHz	4.88kHz	9.77kHz	19.5kHz	23.4kHz
1	0	1	1	$f_{CLK}/2^{11}$	977Hz	2.44kHz	4.88kHz	9.77kHz	11.7kHz
1	1	0	0	$f_{CLK}/2^{12}$	488Hz	1.22kHz	2.44kHz	4.88kHz	5.86kHz
1	1	0	1	$f_{CLK}/2^{13}$	244Hz	610Hz	1.22kHz	2.44kHz	2.93kHz
1	1	1	0	$f_{CLK}/2^{14}$	122Hz	305Hz	610Hz	1.22kHz	1.46kHz
1	1	1	1	$f_{CLK}/2^{15}$	61Hz	153kHz	305Hz	610Hz	732Hz

注 要在串行阵列单元 （SAU）运行过程中更改 f_{CLK} 选择的时钟 （更改系统时钟控制寄存器 （CKC）的值）时，必须在停止 SAU 的运行 （串行通道停止寄存器 m （STm） =000FH）后进行更改。

注意 必须将 bit15 ～ 8 置 “0”。

备注 1. f_{CLK}：CPU/ 外围硬件时钟频率
f_{SUB}：副系统时钟频率

2. m：单元号 （m=0）

3. k=0、 1

12.3.3 串行模式寄存器 mn （SMRmn）

SMRmn 寄存器是设定通道 n 运行模式的寄存器，进行运行时钟（f_{MCK}）的选择、能否使用串行时钟（f_{SCK}）输入的指定、开始触发的设定、运行模式（CSI、UART）的设定以及中断源的选择。另外，只在 UART 模式中设定接收数据的反相电平。

禁止在运行过程中 （SEmn=1）改写 SMRmn 寄存器，但是能在运行过程中改写 MDmn0 位。

通过 16 位存储器操作指令设定 SMRmn 寄存器。

通过产生复位信号， SMRmn 寄存器的值变为 “0020H”。

图 12-5 串行模式寄存器 mn （SMRmn）的格式 (1/2)

地址：F0110H、 F0111H （SMR00）、 F0112H、 F0113H （SMR01） 复位后：0020H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn 注	0	SISmn0 注	1	0	0	0	MDmn1	MDmn0

CKSmn	通道 n 运行时钟 （f_{MCK}）的选择
0	SPSm 寄存器设定的运行时钟 CKm0
1	SPSm 寄存器设定的运行时钟 CKm1
运行时钟（f_{MCK}）用于边沿检测电路。通过设定 CCSmn 位和 SDRmn 寄存器的高 7 位，生成传送时钟（f_{TCLK}）。	

CCSmn	通道 n 传送时钟 （f_{TCLK}）的选择
0	CKSmn 位指定的运行时钟 f_{MCK} 的分频时钟
1	来自 $\overline{SCKp}$ 引脚的输入时钟 f_{SCK} （CSI 模式的从属传送）
传送时钟 f_{TCLK} 用于移位寄存器、通信控制电路、输出控制器、中断控制电路和错误控制电路。当 CCSmn 位为 “0” 时，通过 SDRmn 寄存器的高 7 位进行运行时钟 （f_{MCK}）的分频设定。	

STSmn 注	开始触发源的选择
0	只有软件触发有效 （在 CSI、 UART 发送时选择）。
1	RxDq 引脚的有效边沿 （在 UART 接收时选择）
在将 SSm 寄存器置 “1” 后满足上述条件时，开始传送。	

注 只限于 SMR01 寄存器。

注意 必须将 bit13 ～ 9、 7、 4 ～ 2 （在 SMR00 寄存器时，为 bit13 ～ 6、 4 ～ 2）置 “0”，并且将 bit5 置 “1”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） q：UART 号 （q=0）

图 12-5 串行模式寄存器 mn （SMRmn）的格式 (2/2)

地址：F0110H、 F0111H （SMR00）、 F0112H、 F0113H （SMR01） 复位后：0020H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn 注	0	SIS mn0 注	1	0	0	0	MD mn1	MD mn0

SIS mn0 注	UART 模式中的通道 n 接收数据的电平反相控制
0	将下降沿检测为起始位。 不将输入的通信数据进行反相。
1	将上升沿检测为起始位。 将输入的通信数据进行反相。

MD mn1	通道 n 运行模式的设定
0	CSI 模式
1	UART 模式

MD mn0	通道 n 中断源的选择
0	传送结束中断
1	缓冲器空中断 (在数据从 SDRmn 寄存器传送到移位寄存器时发生。)
在连续发送时，如果 MDmn0 位为 “1” 并且在 SDRmn 的数据为空，就写下一个发送数据。	

注 只限于 SMR01 寄存器。

注意 必须将 bit13 ～ 9、 7、 4 ～ 2 （在 SMR00 寄存器时，为 bit13 ～ 6、 4 ～ 2）置 “0”，并且将 bit5 置 “1”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） q：UART 号 （q=0）

12.3.4 串行通信运行设定寄存器 mn （SCRmn）

SCRmn 寄存器是通道 n 的通信运行设定寄存器，设定数据发送和接收模式、数据和时钟相位、是否屏蔽错误信号、奇偶检验位、起始位、停止位和数据长度等。

禁止在运行过程中 （SEmn=1）改写 SCRmn 寄存器。

通过 16 位存储器操作指令设定 SCRmn 寄存器。

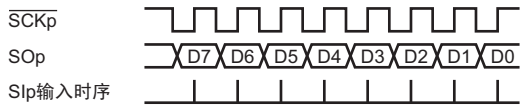
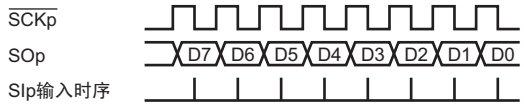
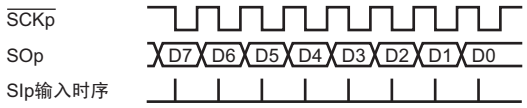
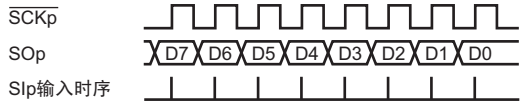
通过产生复位信号， SCRmn 寄存器的值变为 “0087H”。

图 12-6 串行通信运行设定寄存器 mn （SCRmn）的格式 (1/2)

地址：F0118H、 F0119H （SCR00）、 F011AH、 F011BH （SCR01） 复位后：0087H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 注 1	SLC mn0	0	1	DLS mn1	DLS mn0

TXE mn	RXE mn	通道 n 运行模式的设定
0	0	禁止通信
0	1	只接收
1	0	只发送
1	1	发送和接收

DAP mn	CKP mn	CSI 模式中的数据和时钟的相位选择	类型
0	0		1
0	1		2
1	0		3
1	1		4
在 UART 模式中，必须将 DAPmn 位和 CKPmn 位都置 “0”。			

EOC mn	是否屏蔽错误中断信号 （INTSREx （x=0 ～ 3））的选择
0	屏蔽错误中断 INTSREx （不屏蔽 INTSRx）。
1	允许产生错误中断 INTSREx （在发生错误时屏蔽 INTSRx）。
在 CSI 模式中或者在 UART 发送时，必须将 EOCmn 位置 “0” 注 2。	

注 1. 只限于 SCR00 寄存器。

2. 在 EOCmn 位为 “0” 并且不使用 CSIp 时，有可能产生错误中断 INTSRE0。

注意 必须将以下位置 “0”。

SCR00：bit11、 6、 3

SCR01：bit11、 6、 5、 3

必须将bit2置“1”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01）

图 12-6 串行通信运行设定寄存器 mn （SCRmn）的格式 (2/2)

地址：F0118H、 F0119H （SCR00）、 F011AH、 F011BH （SCR01） 复位后：0087H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 注 1	SLC mn0	0	1	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UART 模式中的奇偶校验位的设定	
		发送	接收
0	0	不输出奇偶校验位。	接收时没有奇偶校验。
0	1	输出零校验注 2。	不判断奇偶校验。
1	0	输出偶校验。	判断偶校验。
1	1	输出奇校验。	判断奇校验。
在 CSI 模式中，必须将 PTCmn1 位和 PTCmn0 位都置 “0”。			

DIR mn	CSI 和 UART 模式中的数据传送顺序的选择
0	MSB 优先的输入 / 输出
1	LSB 优先的输入 / 输出

SLCm n1 注 1	SLC mn0	UART 模式中的停止位的设定
0	0	无停止位
0	1	停止位长度 =1 位
1	0	停止位长度 =2 位 （只限于 mn=00、 02、 10、 12）
1	1	禁止设定
如果选择了传送结束中断，就在传送完所有停止位后产生中断。 在 UART 接收时，必须设定为 1 个停止位 （SLCmn1、 SLCmn0=0、 1）。 在 CSI 模式中，必须设定为无停止位 （SLCmn1、 SLCmn0=0、 0）。		

DLS mn1	DLS mn0	CSI 和 UART 模式中的数据长度的设定
0	1	9 位数据长度 （保存到 SDRmn 寄存器的 bit0 ～ 8）（只在 UART0 模式中可选择）
1	0	7 位数据长度 （保存到 SDRmn 寄存器的 bit0 ～ 6）
1	1	8 位数据长度 （保存到 SDRmn 寄存器的 bit0 ～ 7）
其他		禁止设定

注 1. 只限于 SCR00 寄存器。
2. 与数据的内容无关，一定附加 “0”。

注意 必须将以下位置 “0”
SCR00：bit11、 6、 3
SCR01：bit11、 6、 5、 3
必须将bit2置“1”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01）

12.3.5 串行数据寄存器 mn （SDRmn）的高 7 位

SDRmn 寄存器是通道 n 发送和接收的数据寄存器 （16 位）。

bit8 ～ 0 （低 9 位）用作发送和接收缓冲寄存器， bit15 ～ 9 （高 7 位）用作运行时钟 （f_{MCK}）的分频设定寄存器。

如果通过串行模式寄存器 mn （SMRmn）将 CCSmn 位置 “0”，由 SDRmn 寄存器的 bit15 ～ 9 （高 7 位）设定的运行时钟的分频时钟就用作传送时钟。

SDRmn 寄存器的低 9 位用作发送和接收缓冲寄存器。在接收数据时，将移位寄存器转换的并行数据保存到低 9 位；在发送数据时，将被传送到移位寄存器的发送数据设定到低 9 位。

如果将 CCSmn 位置 “1”，就必须将 SDR00、 SDR01、 SDR10、 SDR11 的 bit15 ～ 9 （高 7 位）置 “0000000B”。 SCKp 引脚的输入时钟 f_{SCK} （CSI 模式的从属传送）为传送时钟。

SDRmn 寄存器的低 8 位或者低 9 位用作发送 / 接收缓冲寄存器。在接收数据时，将通过移位寄存器转换的并行数据保存到低 8 位或者低 9 位，在发送数据时，将要传送到移位寄存器的发送数据设定到低 8 位或者低 9 位。

能以 16 位为单位读写 SDRmn 寄存器。但是，只有在运行停止状态 （SEmn=0）时才能读写高 7 位。在运行中 （SEmn=1）只能写 SDRmn 寄存器的低 9 位，而且 SDRmn 寄存器的读取值总是 “0”。

通过产生复位信号， SDRmn 寄存器的值变为 “0000H”。

图 12-7 串行数据寄存器 mn （SDRmn）的格式

地址：FFF10H、 FFF11H （SDR00）、 FFF12H、 FFF13H （SDR01） 复位后：0000H R/W

	FFF11H （SDR00 的情况）								FFF10H （SDR00 的情况）							
符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

SDRmn[15:9]							运行时钟 （f_{MCK}）分频的传送时钟设定
0	0	0	0	0	0	0	f_{MCK}/2
0	0	0	0	0	0	1	f_{MCK}/4
0	0	0	0	0	1	0	f_{MCK}/6
0	0	0	0	0	1	1	f_{MCK}/8
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	0	f_{MCK}/254
1	1	1	1	1	1	1	f_{MCK}/256

注意 1. 在使用 UART01 时，禁止设定为 SDRmn[15:9]= （0000000B、 0000001B）。

2. 在运行停止状态 （SEmn=0）时，不能以 8 位为单位写低 8 位 （否则，高 7 位被清 “0”）。

备注 1. 有关 SDRmn 寄存器的低 9 位的功能，请参照 “12.2 串行阵列单元的结构 ”。

2. m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.6 串行标志清除触发寄存器 mn （SIRmn）

这是用于清除通道 n 各错误标志的触发寄存器。

如果将各位 （FECTmn、 PECTmn、 OVCTmn）置 “1”，就将串行状态寄存器 mn （SSRmn）的对应位（FEFmn、 PEFmn、 OVFmn）清 “0”。因为 SIRmn 寄存器是触发寄存器，所以如果清除 SSRmn 寄存器的对应位，也会立即清除 SIRmn 寄存器。

通过 16 位存储器操作指令设定 SIRmn 寄存器。

能用 SIRmnL 并且通过 8 位存储器操作指令设定 SIRmn 寄存器的低 8 位。

通过产生复位信号， SIRmn 寄存器的值变为 “0000H”。

图 12-8 串行标志清除触发寄存器 mn （SIRmn）的格式

地址：F0108H、 F0109H （SIR00）、 F010AH、 F010BH （SIR01） 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn 注	PECTmn	OVCTmn

FECTmn	通道 n 帧错误标志的清除触发
0	不清除。
1	将 SSRmn 寄存器的 FEFmn 位清 “0”。

PECTmn	通道 n 奇偶校验错误标志的清除触发
0	不清除。
1	将 SSRmn 寄存器的 PEFmn 位清 “0”。

OVCTmn	通道 n 溢出错误标志的清除触发
0	不清除。
1	将 SSRmn 寄存器的 OVFmn 位清 “0”。

注 只限于 SIR01 寄存器。

注意 必须将 bit15 ～ 3 （在 SIR00 寄存器时，为 bit15 ～ 2）置 “0”。

备注 1. m：单元号 （m=0） n：通道号 （n=0、 1）

2. SIRmn 寄存器的读取值总是 “0000H”。

12.3.7 串行状态寄存器 mn （SSRmn）

SSRmn 寄存器表示通道 n 的通信状态和发生错误的情况。表示的错误为帧错误、奇偶校验错误和溢出错误。

通过 16 位存储器操作指令读取 SSRmn 寄存器。

能用 SSRmnL 并且通过 8 位存储器操作指令读取 SSRmn 寄存器的低 8 位。

通过产生复位信号， SSRmn 寄存器的值变为 “0000H”。

图 12-9 串行状态寄存器 mn （SSRmn）的格式 (1/2)

地址：F0100H、 F0101H （SSR00）、 F0102H、 F0103H （SSR01） 复位后：0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn 注	PEFmn	OVFmn

TSFmn	通道 n 通信状态的表示标志
0	通信处于停止或者待机状态。
1	通信处于运行状态。

[清除条件]
- 当将 STm 寄存器的 STmn 位置 “1”（通信停止状态）或者将 SSm 寄存器的 SSmn 位置 “1”（通信待机状态）时
- 当通信结束时

[置位条件]
- 当开始通信时

BFFmn	通道 n 缓冲寄存器的状态表示标志
0	SDRmn 寄存器没有保存有效数据。
1	SDRmn 寄存器保存了有效数据。

[清除条件]
- 在发送过程中将发送数据从 SDRmn 寄存器传送到移位寄存器时
- 在接收过程中从 SDRmn 寄存器读到接收数据时
- 将 STm 寄存器的 STmn 位置 “1” （通信停止状态）或者将 SSm 寄存器的 SSmn 位置 “1” （通信允许状态）。

[置位条件]
- 在 SCRmn 寄存器的 TXEmn 位为 “1”（各通信模式中的发送模式、发送和接收模式）的状态下给 SDRmn 寄存器写发送数据时
- 在 SCRmn 寄存器的 RXEmn 位为 “1” （各通信模式中的接收模式、发送和接收模式）的状态下将接收数据保存到 SDRmn 寄存器时
- 当发生接收错误时

注 只限于 SSR01 寄存器。

注意 如果在 BFFmn 位为 “1” 时写 SDRmn 寄存器，就会破坏被保存的发送或者接收数据，并且检测到溢出错误（OVEmn=1）。

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

图 12-9 串行状态寄存器 mn （SSRmn）的格式 (2/2)

地址：F0100H、 F0101H （SSR00）、 F0102H、 F0103H （SSR01） 复位后：0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn 注	PEFmn	OVFmn

FEFmn 注	通道 n 帧错误的检测标志
0	没有发生错误。
1	发生错误 （UART 接收时）。
[清除条件] • 当给 SIRmn 寄存器的 FECTmn 位写 “1” 时。 [置位条件] • 在 UART 接收结束时没有检测到停止位时	

PEFmn	通道 n 奇偶校验错误的检测标志
0	没有发生错误。
1	发生奇偶校验错误发生 （UART 接收时）。
[清除条件] • 当给 SIRmn 寄存器的 PECTmn 位写 “1” 时。 [置位条件] • 在 UART 接收结束时发送数据的奇偶校验和奇偶校验位不同 （奇偶校验错误）时	

OVFmn	通道 n 溢出错误的检测标志
0	没有发生错误。
1	发生错误。
[清除条件] • 当给 SIRmn 寄存器的 OVCTmn 位写 “1” 时。 [置位条件] • 在 SCRmn 寄存器的 RXEmn 位为 “1” （各通信模式中的接收模式、发送和接收模式）的状态下，虽然接收数据被保存在 SDRmn 寄存器中，但是没有读接收数据而写发送数据或者写下一个接收数据时 • 在 CSI 模式的从属发送或者从属发送和接收过程中未准备好发送数据时	

注 只限于 SSR01 寄存器。

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.8 串行通道开始寄存器 m （SSm）

SSm 寄存器是设定允许各通道的通信 / 开始计数的触发寄存器。

如果给各位 （SSmn）写 “1”，就将串行通道允许状态寄存器 m （SEm）的对应位 （SEmn）置 “1” （运行允许状态）。因为 SSmn 位是触发位，所以如果 SEmn 位为 “1” 就立即清除 SSmn 位。

通过 16 位存储器操作指令设定 SSm 寄存器。

能用 SSmL 并且通过 1 位或者 8 位存储器操作指令设定 SSm 寄存器的低 8 位。

通过产生复位信号， SSm 寄存器的值变为 “0000H”。

图 12-10 串行通道开始寄存器 m （SSm）的格式

地址：F0122H、 F0123H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS01	SS00

SSmn	通道 n 运行开始的触发
0	没有触发。
1	将 SEmn 位置 “1”，转移到通信待机状态注。

注 如果在通信中将 SSmn 位置 “1”，就停止通信进入待机状态。此时，控制寄存器和移位寄存器的值、 $\overline{\text{SCKmn}}$ 引脚和 SOmn 引脚、 FEFmn 标志、 PEFmn 标志和 OVFmn 标志保持状态。

注意 1. 必须将 bit15 ～ 2 置 “0”。

2. 在 UART 接收时，必须在将 SCRmn 寄存器的 RXEmn 位置 “1” 后至少间隔 4 个 f_{MCK} 时钟，然后将 SSmn 置 “1”。

备注 1. m：单元号 （m=0） n：通道号 （n=0、 1）

2. SSm 寄存器的读取值总是 “0000H”。

12.3.9 串行通道停止寄存器 m （STm）

STm 寄存器是设定允许各通道的通信 / 停止计数的触发寄存器。

如果给各位 （STmn）写 “1”，就将串行通道允许状态寄存器 m （SEm）的对应位 （SEmn）清 “0” （运行停止状态）。因为 STmn 位是触发位，所以如果 SEmn 位为 “0” 就立即清除 STmn 位。

通过 16 位存储器操作指令设定 STm 寄存器。

能用 STmL 并且通过 1 位或者 8 位存储器操作指令设定 STm 寄存器的低 8 位。

通过产生复位信号， STm 寄存器的值变为 “0000H”。

图 12-11 串行通道停止寄存器 m （STm）的格式

地址：F0124H、 F0125H 复位后：0000H W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST01	ST00

STmn	通道 n 运行停止的触发
0	没有触发。
1	将 SEmn 位清 “0”，停止通信运行注。

注 控制寄存器和移位寄存器的值、SCKmn 引脚和 SOmn 引脚以及 FEFmn 标志、PEFmn 标志和 OVFmn 标志保持状态而停止。

注意 必须将 bit15 ～ 2 置 “0”。

备注 1. m：单元号 （m=0） n：通道号 （n=0、 1）

2. STm 寄存器的读取值总是 “0000H”。

12.3.10 串行通道允许状态寄存器 m （SEm）

SEm 寄存器用于确认各通道的串行发送和接收的允许或者停止状态。

如果给串行开始允许寄存器 m （SSm）的各位写 “1”，就将其对应的位置 “1”。如果给串行通道停止寄存器 m （STm）的各位写 “1”，就将其对应的位清 “0”。

对于允许运行的通道 n，无法通过软件改写后述的串行输出寄存器 m （SOm）的 CKOmn 位 （通道 n 的串行时钟输出）的值，而从串行时钟引脚输出由通信运行反映的值。

对于停止运行的通道 n，能通过软件设定 SOm 寄存器的 CKOmn 位的值，并且从串行时钟引脚输出该值。从而，能通过软件生成开始条件或者停止条件等的任意波形。

通过 16 位存储器操作指令读取 SEm 寄存器。

能用 SEmL 并且通过 1 位或者 8 位存储器操作指令读取 SEm 寄存器的低 8 位。

通过产生复位信号， SOEm 寄存器的值变为 “0000H”。

图 12-12 串行通道允许状态寄存器 m （SEm）的格式

地址：F0120H、 F0121H （SE0） 复位后：0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE01	SE00

SEmn	通道 n 运行的允许或者停止状态的表示
0	运行停止状态。
1	运行允许状态。

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.11 串行输出允许寄存器 m （SOEm）

SOEm 寄存器设定允许或者停止各通道的串行通信的输出。

对于允许串行输出的通道 n，无法通过软件改写后述的串行输出寄存器 m （SOm）的 SOmn 位的值，而从串行数据输出引脚输出由通信运行反映的值。

对于停止串行输出的通道 n，能通过软件设定 SOm 寄存器的 SOmn 位的值，并且从串行数据输出引脚输出该值。从而，能通过软件生成开始条件或者停止条件等的任意波形。

通过 16 位存储器操作指令设定 SOEm 寄存器。

能用 SOEmL 并且通过 1 位或者 8 位存储器操作指令设定 SOEm 寄存器的低 8 位。

通过产生复位信号， SOEm 寄存器的值变为 “0000H”。

图 12-13 串行输出允许寄存器 m （SOEm）的格式

地址：F012AH、 F012BH （SOE0） 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

SOEmn	通道 n 串行输出的允许或者停止
0	停止串行通信的输出。
1	允许串行通信的输出。

注意 必须将 bit15 ～ 2 置 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.12 串行输出寄存器 m （SOm）

SOm 寄存器是各通道串行输出的缓冲寄存器。

从通道 n 的串行数据输出引脚输出此寄存器的 SOmn 位的值。

从通道 n 的串行时钟输出引脚输出此寄存器的 CKOmn 位的值。

只有在禁止串行输出时（SOEmn=0）才能通过软件改写此寄存器的 SOmn 位。当允许串行输出（SOEmn=1）时，忽视通过软件的改写而只能通过串行通信更改此寄存器的 SOmn 位的值。

只有在停止通道运行时（SEmn=0）才能通过软件改写此寄存器的 CKOmn 位。当允许通道运行（SEmn=1）时，忽视通过软件的改写而只能通过串行通信更改此寄存器的 CKOmn 位的值。

要将串行接口引脚用作端口功能时，必须将相应的 CKOmn 位和 SOmn 位置 “1”。

通过 16 位存储器操作指令设定 SOm 寄存器。

通过产生复位信号， SOm 寄存器的值变为 “0F0FH”。

图 12-14 串行输出寄存器 m （SOm）的格式

地址：F0128H、 F0129H （SO0） 复位后：0303H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO01	CKO00	0	0	0	0	0	0	SO01	SO00

CKOmn	通道 n 的串行时钟输出
0	串行时钟的输出值为 “0”。
1	串行时钟的输出值为 “1”。

SOmn	通道 n 的串行数据输出
0	串行数据的输出值为 “0”。
1	串行数据的输出值为 “1”。

注意 必须将 bit15 ～ 10 和 bit7 ～ 2 置 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0、 1）

12.3.13 串行输出电平寄存器 m （SOLm）

SOLm 寄存器是设定各通道的数据输出电平反相的寄存器。

只有在 UART 模式中才能设定此寄存器。在 CSI 模式中，必须将对应的位置 “0”。

只在允许串行输出时 （SOEmn=1），将此寄存器的各通道 n 反相设定反映到引脚输出。在禁止串行输出时 （SOEmn=0），将 SOmn 位的值直接输出而不反相输出。

禁止在运行过程中 （SEmn=1）改写 SOLm 寄存器。

通过 16 位存储器操作指令设定 SOLm 寄存器。

能用 SOLmL 并且通过 8 位存储器操作指令设定 SOLm 寄存器的低 8 位。

通过产生复位信号， SOLm 寄存器的值变为 “0000H”。

图 12-15 串行输出电平寄存器 m （SOLm）的格式

地址：F0134H、 F0135H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

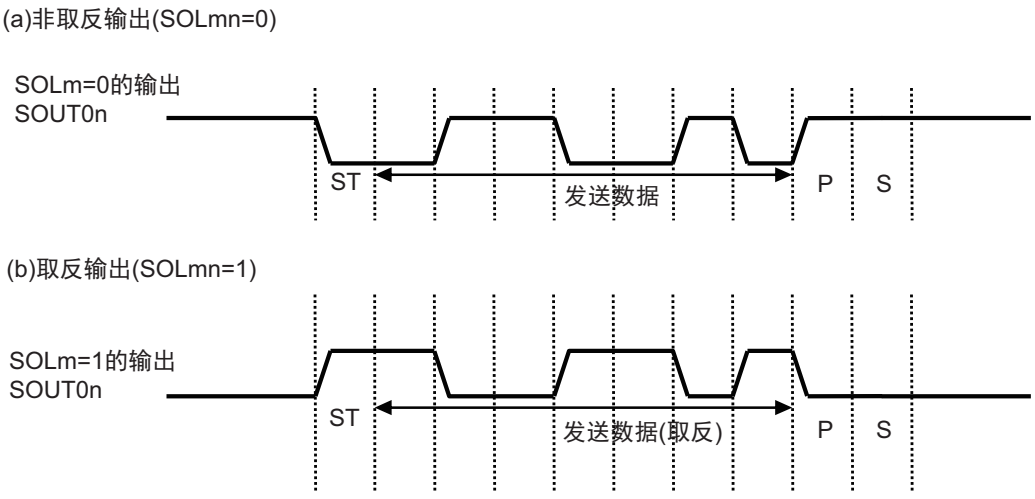
SOLmn	UART 模式中的通道 n 发送数据电平反相的选择
0	将通信数据直接输出。
1	将通信数据反相输出。

注意 必须将 bit15 ～ 1 置 “0”。

备注 m：单元号 （m=0） n：通道号 （n=0）

在进行 UART 发送时，发送数据的电平取反例子如图 12-16 所示。

图 12-16 发送数据的电平取反例子



备注 m：单元号 （m=0、 1） n：通道号 （n=0、 2）

12.3.14 串行待机控制寄存器 m （SSCm）

SSCm 寄存器是控制在 CSI00 或者 UART0 的串行数据接收时从 STOP 模式启动接收运行（SNOOZE 模式）的寄存器。

通过 16 位存储器操作指令设定 SSCm 寄存器。

能用 SSCmL 并且通过 8 位存储器操作指令设定 SSCm 寄存器的低 8 位。

通过产生复位信号， SSCm 寄存器的值变为 “0000H”。

注意 SNOOZE 模式中的最大传送速率如下所示：

- CSI00：～1Mbps
- UART0：只限于4800bps

图 12-17 串行待机控制寄存器 m （SSCm）的格式

地址：F0138H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	传送结束中断的允许或者停止的选择
0	允许发生错误中断 （INTSRE0/INTSRE2）。
1	禁止发生错误中断 （INTSRE0/INTSRE2）。
• 在 SNOOZE 模式中的 UART 接收时，只有在 SWCm=1 并且 EOCmn=1 时，能将 SSECm 位置 “1” 或者 “0”。其他情况下，将 SSECm 位置 “0”。 • 禁止设定为 SSECm、 SWCm=1、 0	

SWCm	SNOOZE 模式的设定
0	不使用 SNOOZE 模式功能。
1	使用 SNOOZE 模式功能。
• 在 STOP 模式中，通过硬件触发信号解除 STOP 模式，并且在 CPU 不运行的状态下进行 CSI/UART 的接收（SNOOZE 模式）。 • 只有在选择高速内部振荡器时钟为 CPU/ 外围硬件时钟 （f_{CLK}）时才能设定 SNOOZE 模式功能，而在选择其他时钟的情况下禁止设定。 • 即使使用 SNOOZE 模式，也必须在通常运行模式中将 SWCm 位置 “0” 并且转移到 STOP 模式前将 SWCm 位置 “1”。 另外，必须在从 STOP 模式恢复到通常运行模式后将 SWCm 位置 “0”。	

备注 m：单元号 （m=0）

图 12-18 在 SNOOZE 模式中进行 UART 接收时的中断

EOCmn 位	SSECm 位	正常接收时	接收错误时
0	0	发生 INTSRx	发生 INTSRx
0	1	发生 INTSRx	发生 INTSRx
1	0	发生 INTSRx	发生 INTSREx
1	1	发生 INTSRx	不发生中断

12.3.15 噪声滤波器允许寄存器 0 （NFEN0）

NFEN0 寄存器设定噪声滤波器是否可用于各通道串行数据输入引脚的输入信号。

对于用于 CSI 的引脚，必须将对应位置 “0”，使噪声滤波器无效。

对于用于 UART 通信的引脚，必须将对应位置 “1”，使噪声滤波器有效。

在噪声滤波器有效时，通过 CPU/ 外围硬件时钟 （f_{CLK}）与 2 个时钟的一致检测进行同步。在噪声滤波器无效时，只通过 CPU/ 外围硬件时钟 （f_{MCK}）进行同步。

通过 1 位或者 8 位存储器操作指令设定 NFEN0 寄存器。

通过产生复位信号， NFEN0 寄存器的值变为 “00H”。

图 12-19 噪声滤波器允许寄存器 0 （NFEN0）的格式

地址：F0070H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0 引脚的噪声滤波器的使用可否
0	噪声滤波器 OFF
1	噪声滤波器 ON
当用作 RxD0 引脚时，必须将 SNFEN00 位置 “1”。 当用作 RxD0 引脚以外的功能时，必须将 SNFEN00 位置 “0”。	

注意 必须将 bit7 ～ 1 置 “0”。

12.3.16 串行输入 / 输出引脚的端口功能控制寄存器

在使用串行阵列单元时，必须设定与对象通道复用的端口相关寄存器 （端口模式寄存器 （PMxx）、端口寄存器 （Pxx）、端口输入模式寄存器 （PIMxx）、端口输出模式寄存器 （POMxx）和端口模式控制寄存器 （PMCxx））。

详细内容请参照 “4.3.1 端口模式寄存器 （PMxx） ”、“4.3.2 端口寄存器 （Pxx） ”、“4.3.4 端口输入模式寄存器 （PIM1） ”、“4.3.5 端口输出模式寄存器 （POM1） ”、“4.3.6 端口模式控制寄存器 （PMCxx） ”。

在将串行数据输出或者串行时钟输出引脚的复用端口 （P12/SO00/TxD0/TOOLTxD/SEG30 等）用作串行数据输出或者串行时钟输出时，必须将与各端口对应的端口模式控制寄存器 （PMCxx）的位和端口模式寄存器 （PMxx）的位置 “0”，将端口寄存器 （Pxx）的位置 “1”。

另外，在用作 N 沟道漏极开路输出 （V_{DD} 耐压 /EV_{DD} 耐压）模式时，必须将与各端口对应的端口输出模式寄存器 （POMxx）的位置 “1”。在连接以不同电位 （1.8V、 2.5V、 3V）运行的外部器件时，请参照 “4.4.5 不同电位 （1.8V、 2.5V、 3V）的输入 / 输出缓冲器对应 ”。

例） P12/SO00/TxD0/TOOLTxD/SEG30 用作串行数据输出的情况
将端口模式控制寄存器 1 的 PMC12 位置 “0”。
将端口模式寄存器 1 的 PM12 位置 “0”。
将端口寄存器 1 的 P12 位置 “1”。

在将串行数据输入引脚或者串行时钟输入引脚的复用端口 （P11/SI00/RxD0/TOOLRxD/SEG29 等）用作串行数据输入或者串行时钟输入时，必须将各端口的端口模式寄存器 （PMxx）的对应位置 “1”，并且将端口模式控制寄存器 （PMCxx）的对应位置 “0”。此时，端口寄存器 （Pxx）的对应位可以是 “0” 或者 “1”。

另外，在用作 TTL 输入缓冲器时，必须将与各端口对应的端口输入模式寄存器 （PIMxx）的位置 “1”。在连接以不同电位 （1.8V、 2.5V、 3V）运行的外部器件时，请参照 “4.4.5 不同电位 （1.8V、 2.5V、 3V）的输入 / 输出缓冲器对应 ”。

例） P11/SI00/RxD0/TOOLRxD/SEG29 用作串行数据输入的情况
将端口模式控制寄存器 1 的 PMC11 位置 “0”。
将端口模式寄存器 1 的 PM11 位置 “1”。
将端口寄存器 1 的 P11 位置 “0” 或者 “1”。

12.4 运行停止模式

串行阵列单元的各串行接口有运行停止模式。

在运行停止模式中不能进行串行通信，因此能降低功耗。

另外，在运行停止模式中能将用于串行接口的引脚用作端口功能。

12.4.1 以单元为单位停止运行的情况

通过外围允许寄存器 0 （PER0）设定以单元为单位的停止运行。

PER0 寄存器是设定允许或者禁止给各外围硬件提供时钟的寄存器。通过给不使用的硬件停止提供时钟，降低功耗和噪声。

要停止串行阵列单元时，必须将 bit2 （SAU0EN）置 “0”。

图 12-20 以单元为单位停止运行时的外围允许寄存器 0 （PER0）的设定

(a) 外围允许寄存器 0 （PER0） …… 只将要停止 SAU 的对应位置 “0”。

	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN
	×		×			0/1		×

SAU 输入时钟的控制
0：停止提供输入时钟
1：提供输入时钟

注意 1. 当 SAU0EN 位为 “0” 时，忽视串行阵列单元的控制寄存器的写操作，而且读取值都为初始值。
但是，以下的寄存器除外：
- 噪声滤波器允许寄存器 0 （NFEN0）
- 串行待机控制寄存器 m （SSCm）
- 端口输入模式寄存器 1 （PIM1）
- 端口输出模式寄存器 1 （POM1）
- LCD 端口功能寄存器 0、 3 （PFSEG0、 PFSEG3）
- 端口模式寄存器 1 （PM1）
- 端口寄存器 1 （P1）

2. 必须将 bit1、 3、 4、 6 置 “0”。

备注 □：不能设定 （设定初始值）。
×： 这是串行阵列单元未使用的位 （取决于其他外围功能的设定）。
0/1：根据用户的用途置“0”或者“1”。

12.4.2 按通道停止运行的情况

通过以下各寄存器设定按通道停止运行。

图 12-21 按通道停止运行时的各寄存器的设定

(a) 串行通道停止寄存器 m （STm） …… 这是设定允许各通道的通信 / 停止计数的寄存器。

STm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STm1 0/1	STm0 0/1

1：将 SEmn 位清 “0” 并且停止通信运行

※ 因为 STmn 位是触发位，所以如果 SEmn 位为 “0” 就立即清除 STmn 位。

(b) 串行通道允许状态寄存器 m （SEm） …… 此寄存器表示各通道的数据发送和接收的运行或者停止状态。

SEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SEm1 0/1	SEm0 0/1

0：停止运行

※SEm 寄存器是只读状态寄存器，通过 STm 寄存器来停止运行。
对于已经停止运行的通道，能通过软件设定 SOm 寄存器的 CKOmn 位的值。

(c) 串行输出允许寄存器 m （SOEm） …… 这是设定允许或者停止各通道串行通信输出的寄存器。

SOEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

0：通过串行通信运行来停止输出

※ 对于已经停止串行输出的通道，能通过软件设定 SOm 寄存器的 SOmn 位的值。

(d) 串行输出寄存器 m （SOm） …… 这是各通道串行输出的缓冲寄存器。

SOm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

1：串行时钟的输出值为 “1”　　1：串行数据的输出值为 “1”

※ 当将各通道对应的引脚用作端口功能时，必须将相应的 CKOmn 位和 SOmn 位置 “1”。

备注 1. m：单元号 （m=0） n：通道号 （n=0、 1）

2. □：不能设定 （设定初始值）。 0/1：根据用户的用途置 “0” 或者 “1”。

12.5 3 线串行 I/O （CSI00、 CSI01）通信的运行

这是通过串行时钟 （$\overline{SCK}$）和串行数据 （SI 和 SO）共 3 条线实现的时钟同步通信功能。

[数据的发送和接收]

- 为7位或者8位的数据长度
- 发送和接收数据的相位控制
- MSB/LSB优先的选择

[时钟控制]

- 主控或者从属的选择
- 输入/输出时钟的相位控制
- 设定由预分频器和通道内部计数器产生的传送周期。
- 最大传送速率

  主控通信 （CSI00）： Max. $f_{MCK}/2$ 注1、 2

  主控通信 （CSI01）： Max. $f_{MCK}/4$ 注2

  从属通信： Max. $f_{MCK}/6$ 注2

[中断功能]

- 传送结束中断、缓冲器空中断

[错误检测标志]

- 溢出错误

CSI00 支持 SNOOZE 模式。 SNOOZE 模式功能是指，如果在 STOP 模式的状态下检测到 $\overline{SCK}$ 的输入，就不需要 CPU 运行而接收数据。

注 1. 在主控通信 （CSI00）时，如果满足以下条件，就为 Max. $f_{MCK}/2$。否则，为 Max. $f_{MCK}/4$。

- $2.7V \leqslant EV_{DD}=V_{DD} \leqslant 5.5V$
- $f_{MCK} \leqslant 12MHz$

2. 必须在满足 $\overline{SCK}$ 周期时间 （t_{KCY}）特性的范围内使用 （参照 “ 第 27 章 电特性 ”）。

支持 3 线串行 I/O （CSI00、 CSI01）的通道为通道 0 和通道 1。

通道	用作 CSI	用作 UART
0	CSI00	UART0
1	CSI01	

3 线串行 I/O （CSI00、 CSI01）有以下 7 种通信运行：

- 主控发送 （参照12.5.1）
- 主控接收 （参照12.5.2）
- 主控发送和接收 （参照12.5.3）
- 从属发送 （参照12.5.4）
- 从属接收 （参照12.5.5）
- 从属发送和接收 （参照12.5.6）
- SNOOZE模式功能 （参照12.5.7）

12.5.1 主控发送

主控发送是指此 R7F0C001G/L、 R7F0C002G/L 输出传送时钟并且将数据发送到其他设备的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{SCK00}$、 SO00	$\overline{SCK01}$、 SO01
中断	INTCSI00	INTCSI01
	可选择传送结束中断 （单次传送模式）或者缓冲器空中断 （连续传送模式）。	
错误检测标志	无	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/2[Hz] （CSI00） f_{MCK}/4[Hz] （CSI01） Min. $f_{MCK}/(2\times2^{15}\times128)$[Hz] 注 f_{CLK}：系统时钟频率	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 （在 $\overline{SCK}$ 的下降沿输出数据，在上升沿输入数据） • CKPmn=1：反相 （在 $\overline{SCK}$ 的上升沿输出数据，在下降沿输入数据）	
数据方向	MSB 优先或者 LSB 优先	

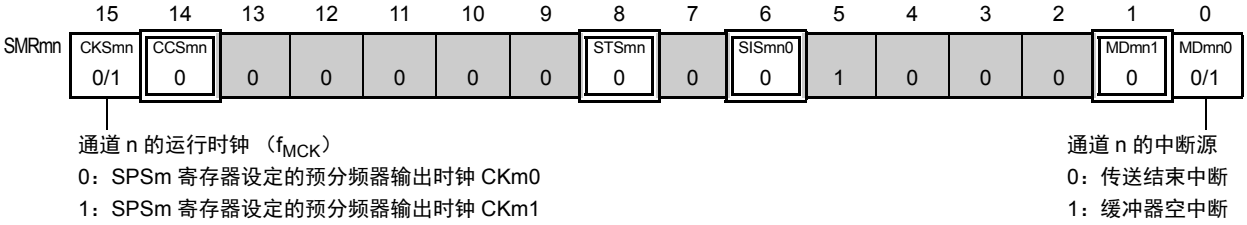
注 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

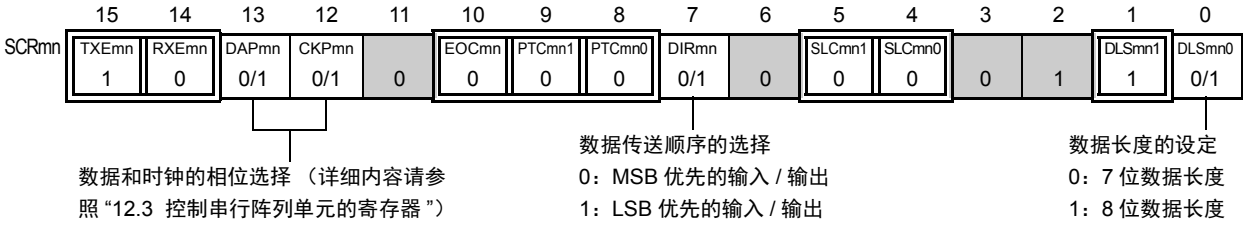
(1) 寄存器的设定

图 12-22 3 线串行 I/O （CSI00、 CSI01）主控发送时的寄存器设定内容例子

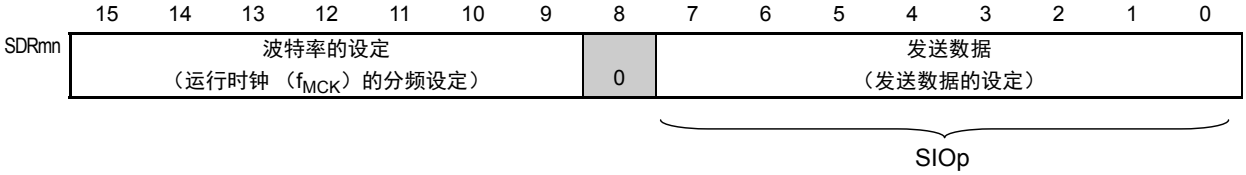
(a) 串行模式寄存器 mn （SMRmn）



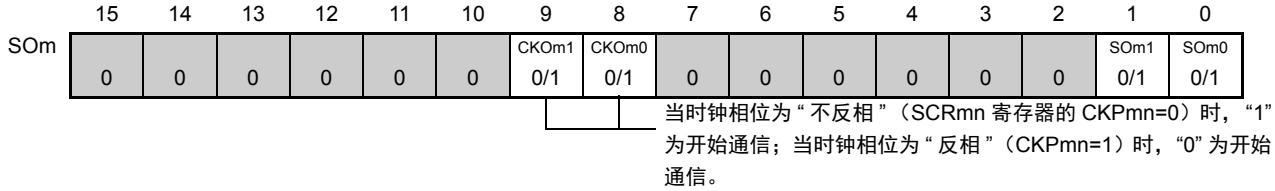
(b) 串行通信运行设定寄存器 mn （SCRmn）



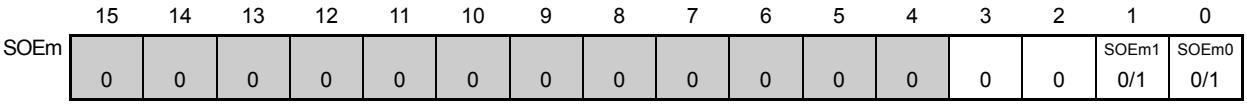
(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）



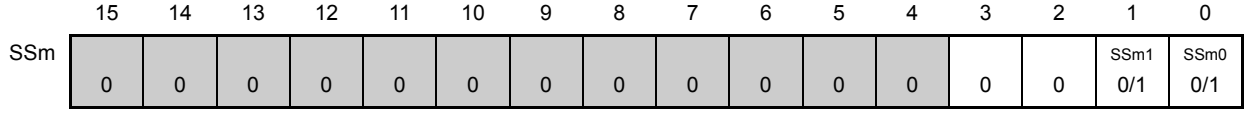
(d) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。



(e) 串行输出允许寄存器 m （SOEm） …… 只将对象通道的位置 “1”。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



备注 1. m ： 单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ： 在 CSI 主控发送模式中为固定设定。■ ： 不能设定 （设定初始值）。
× ： 这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ： 根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-23 主控发送的初始设定步骤

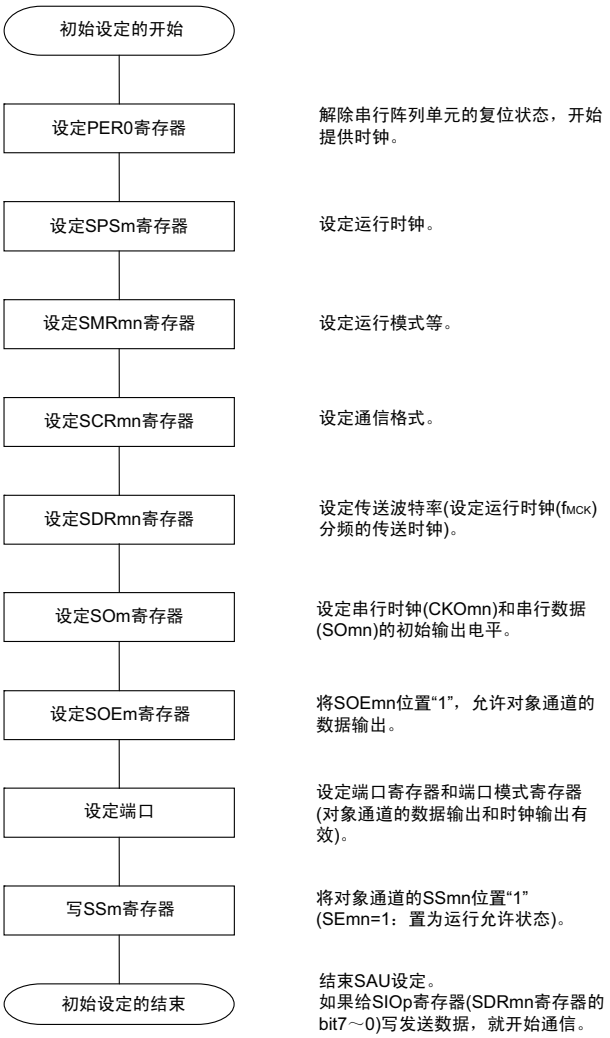


图 12-24 主控发送的中止步骤

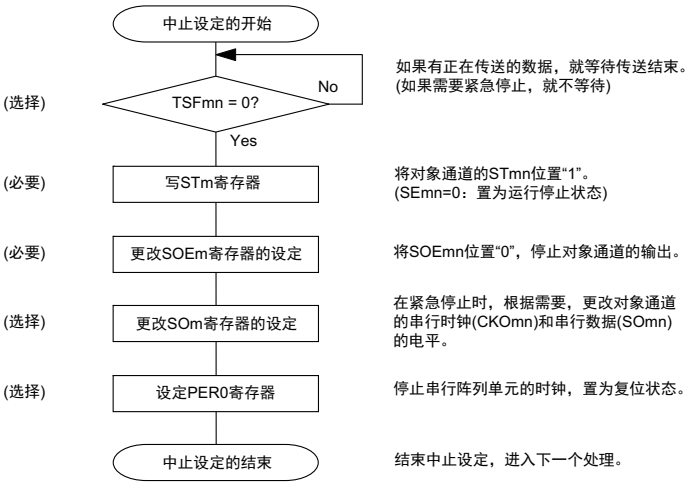
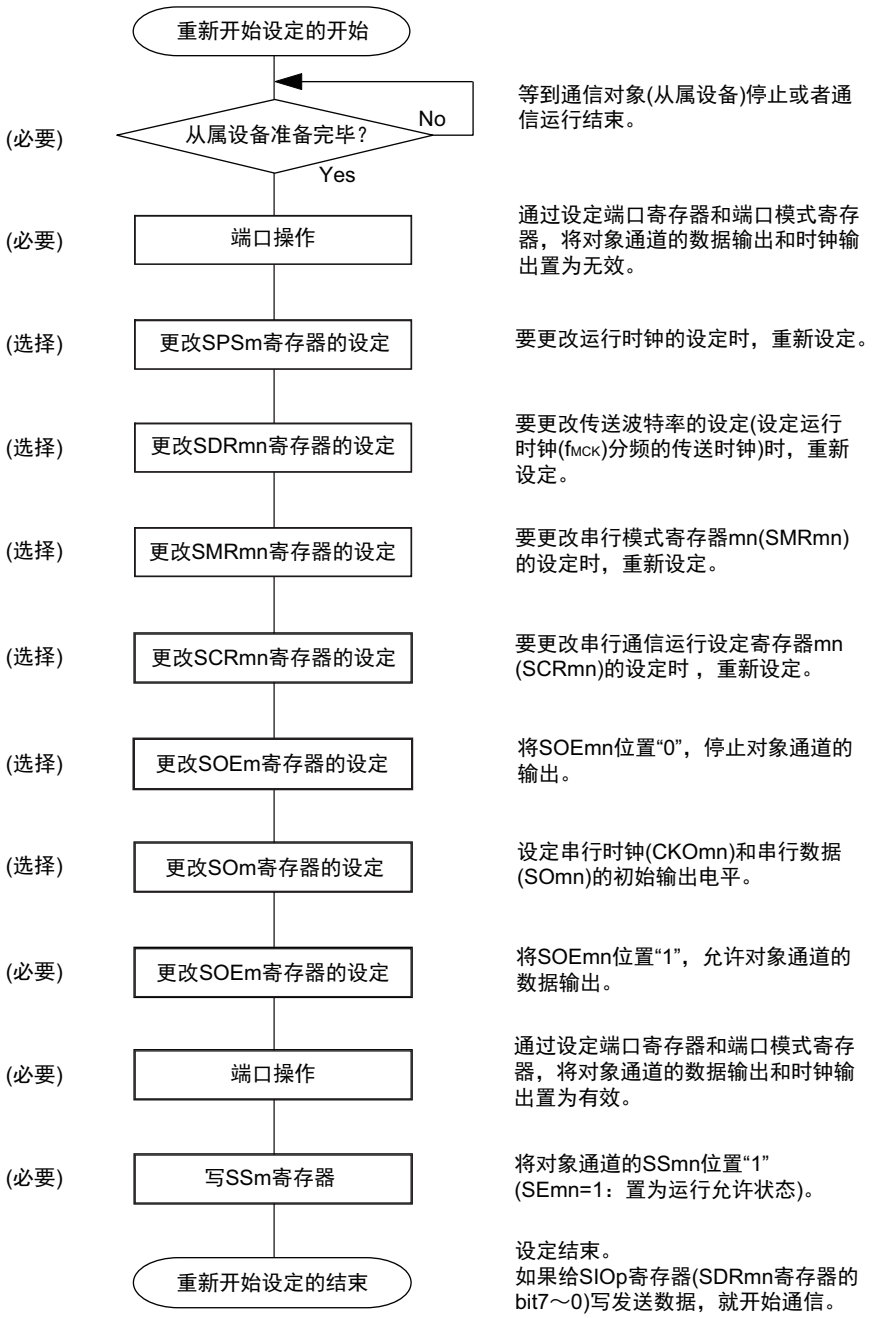


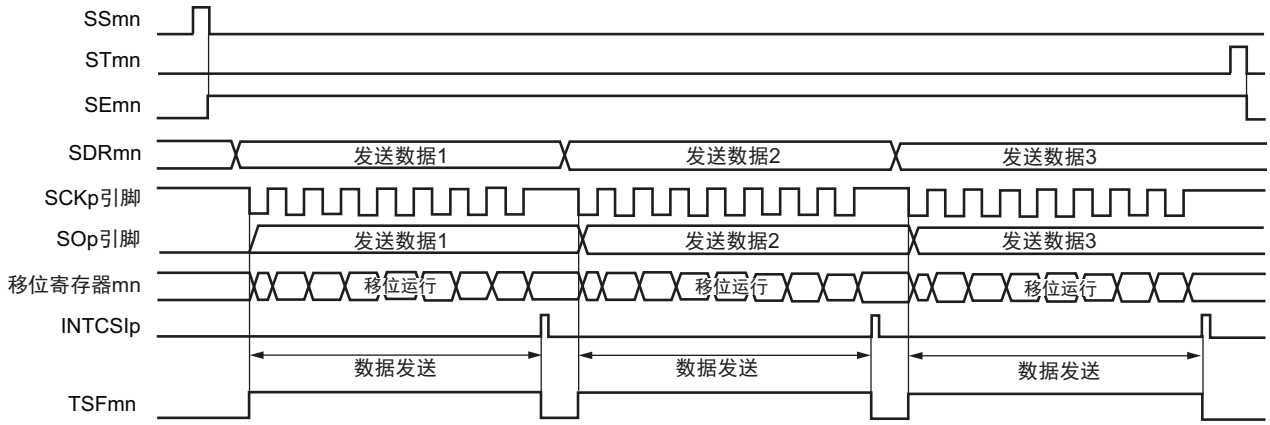
图 12-25 主控发送的重新开始设定步骤



备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象（从属设备）的停止或者通信结束后进行初始设定而不是进行重新开始设定。

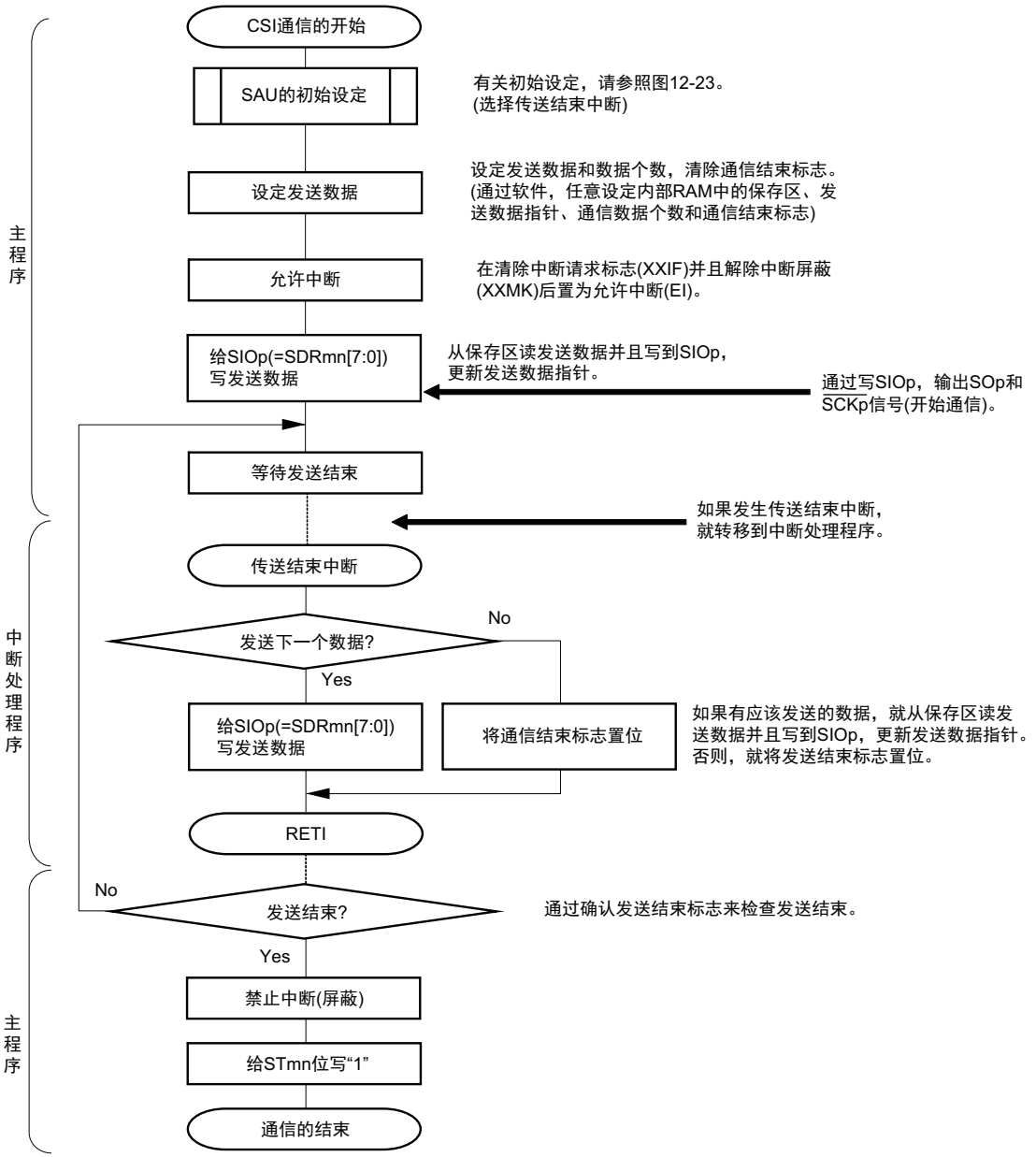
(3) 处理流程 （单次发送模式）

图 12-26 主控发送 （单次发送模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



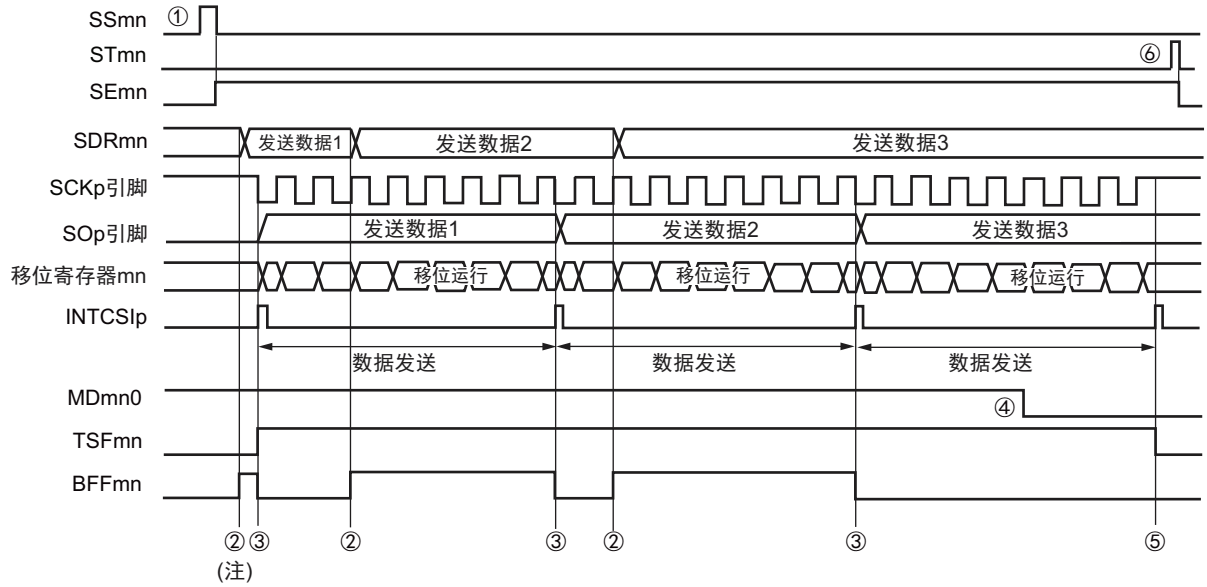
备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-27 主控发送 （单次发送模式）的流程图



(4) 处理流程 （连续发送模式）

图 12-28 主控发送 （连续发送模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）

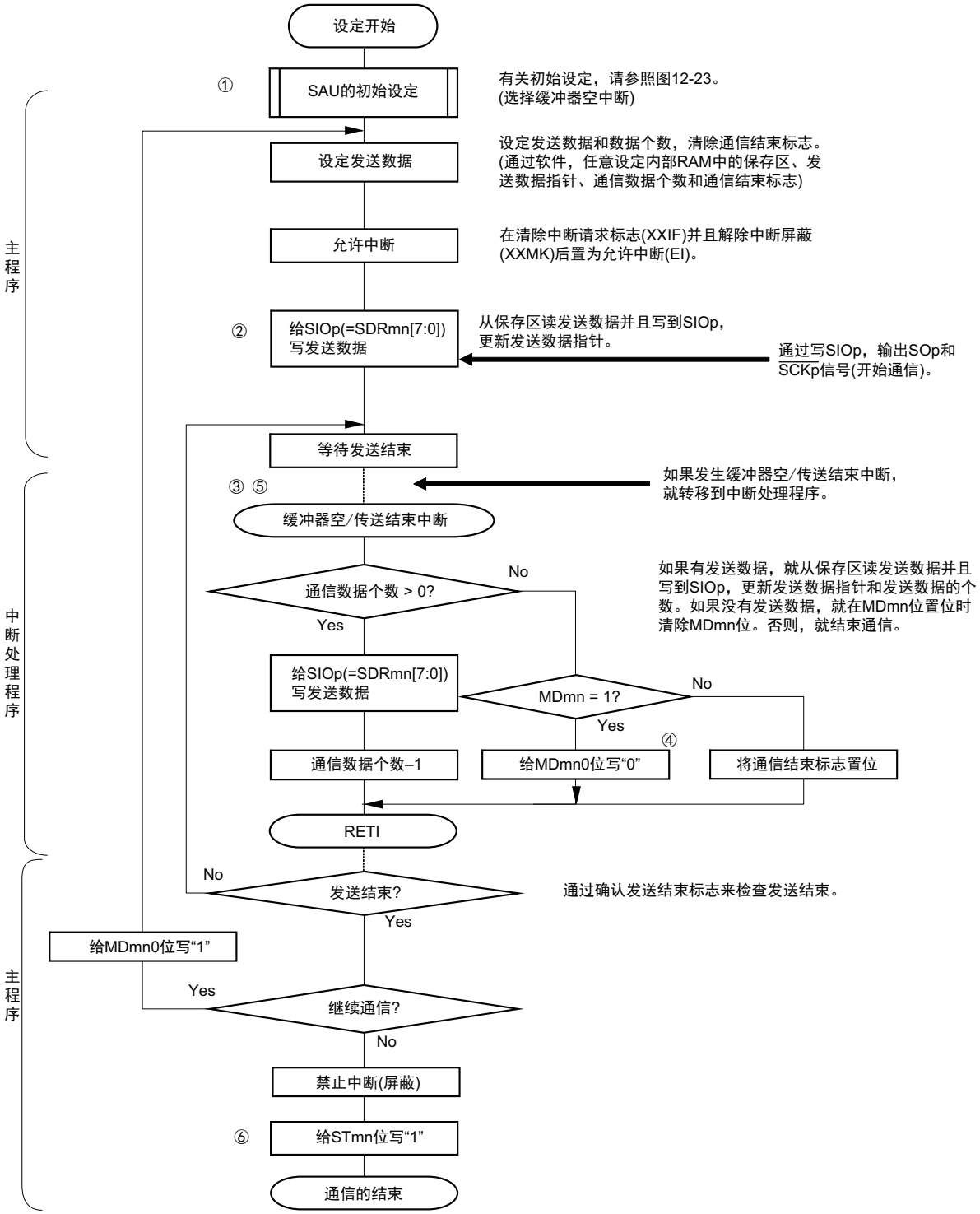


注 如果在串行状态寄存器 mn （SSRmn）的 BFFmn 位为 “1” 期间 （有效数据保存在串行数据寄存器 mn （SDRmn）时）给 SDRmn 寄存器写发送数据，就重写发送数据。

注意 即使在运行中也能改写串行模式寄存器 mn （SMRmn）的 MDmn0 位。但是，为了能赶上最后发送数据的传送结束中断，必须在开始传送最后一位之前进行改写。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-29 主控发送 （连续发送模式）的流程图



备注 图中的①～⑥对应“ 图 12-28 主控发送 （连续发送模式）的时序图 ”中的①～⑥。

12.5.2 主控接收

主控接收是 R7F0C001G/L、 R7F0C002G/L 输出传送时钟并且从其他设备接收数据的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{SCK00}$、 SI00	$\overline{SCK01}$、 SI01
中断	INTCSI00	INTCSI01
	可选择传送结束中断 （单次传送模式）或者缓冲器空中断 （连续传送模式）。	
错误检测标志	只限于溢出错误检测标志 （OVFmn）	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/2[Hz] （CSI00） f_{MCK}/4[Hz] （CSI01） Min. $f_{CLK}/(2\times2^{15}\times128)$[Hz] 注 f_{CLK}：系统时钟频率	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 • CKPmn=1：反相	
数据方向	MSB 优先或者 LSB 优先	

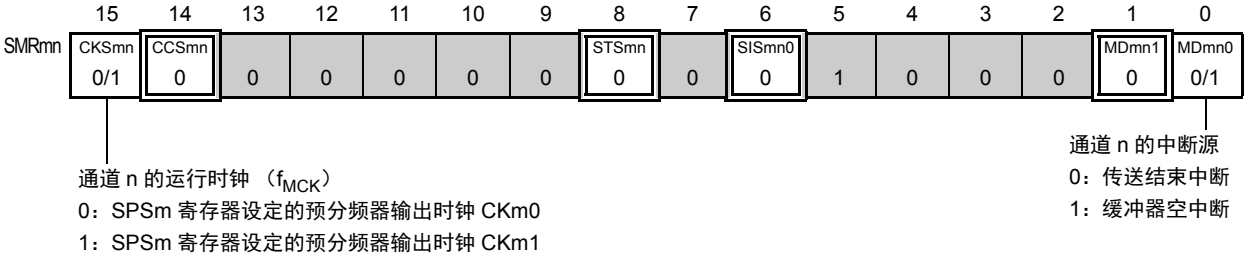
注 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

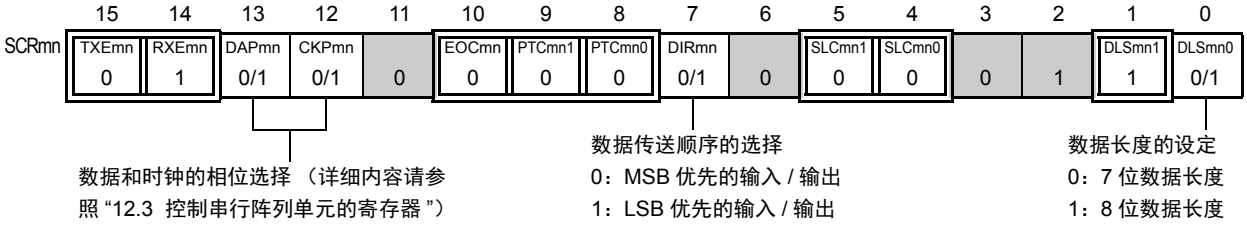
(1) 寄存器的设定

图 12-30 3 线串行 I/O （CSI00、 CSI01）主控接收时的寄存器设定内容例子

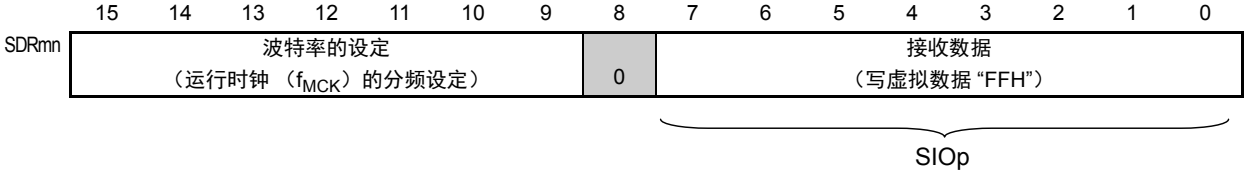
(a) 串行模式寄存器 mn （SMRmn）



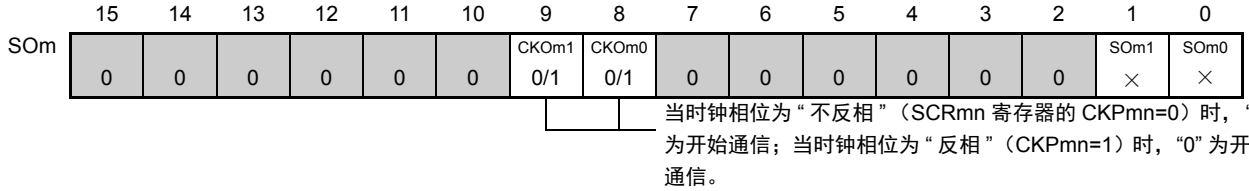
(b) 串行通信运行设定寄存器 mn （SCRmn）



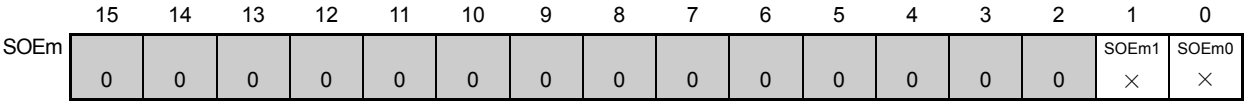
(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）



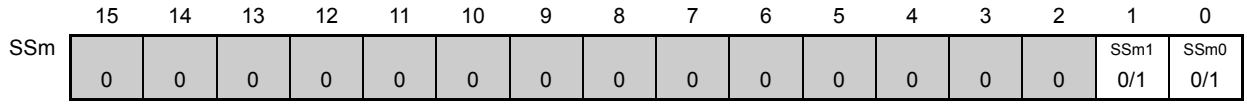
(d) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。



(e) 串行输出允许寄存器 m （SOEm） …… 在此模式中不使用。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



备注 1. m ： 单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ： 在 CSI 主控接收模式中为固定设定。■ ： 不能设定 （设定初始值）。
× ： 这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ： 根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-31 主控接收的初始设定步骤

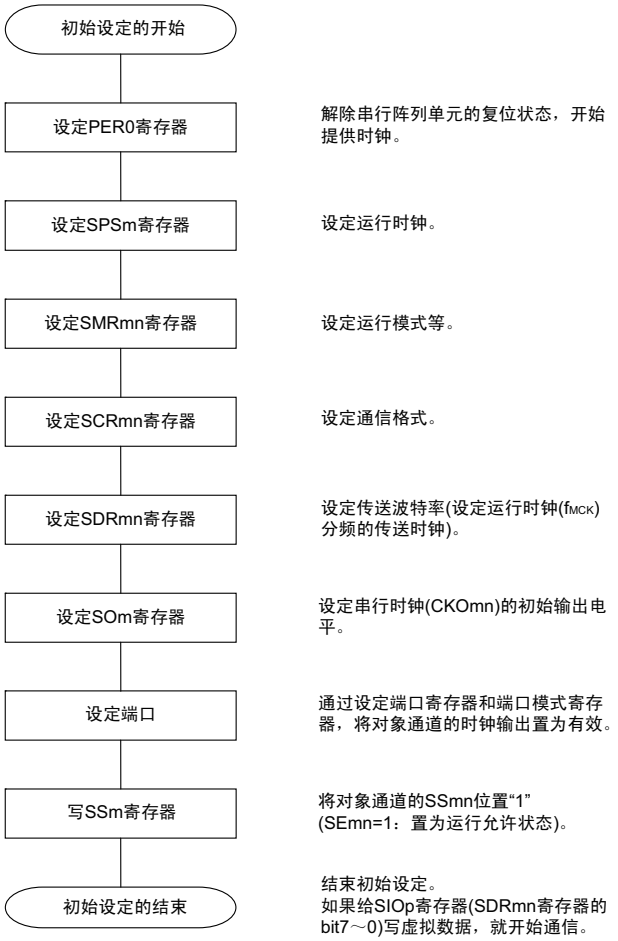


图 12-32 主控接收的中止步骤

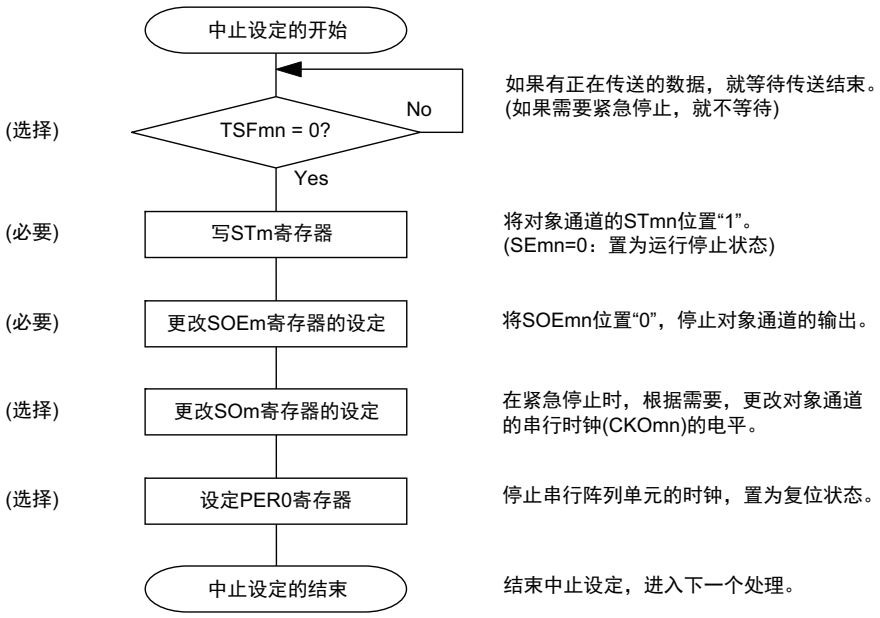
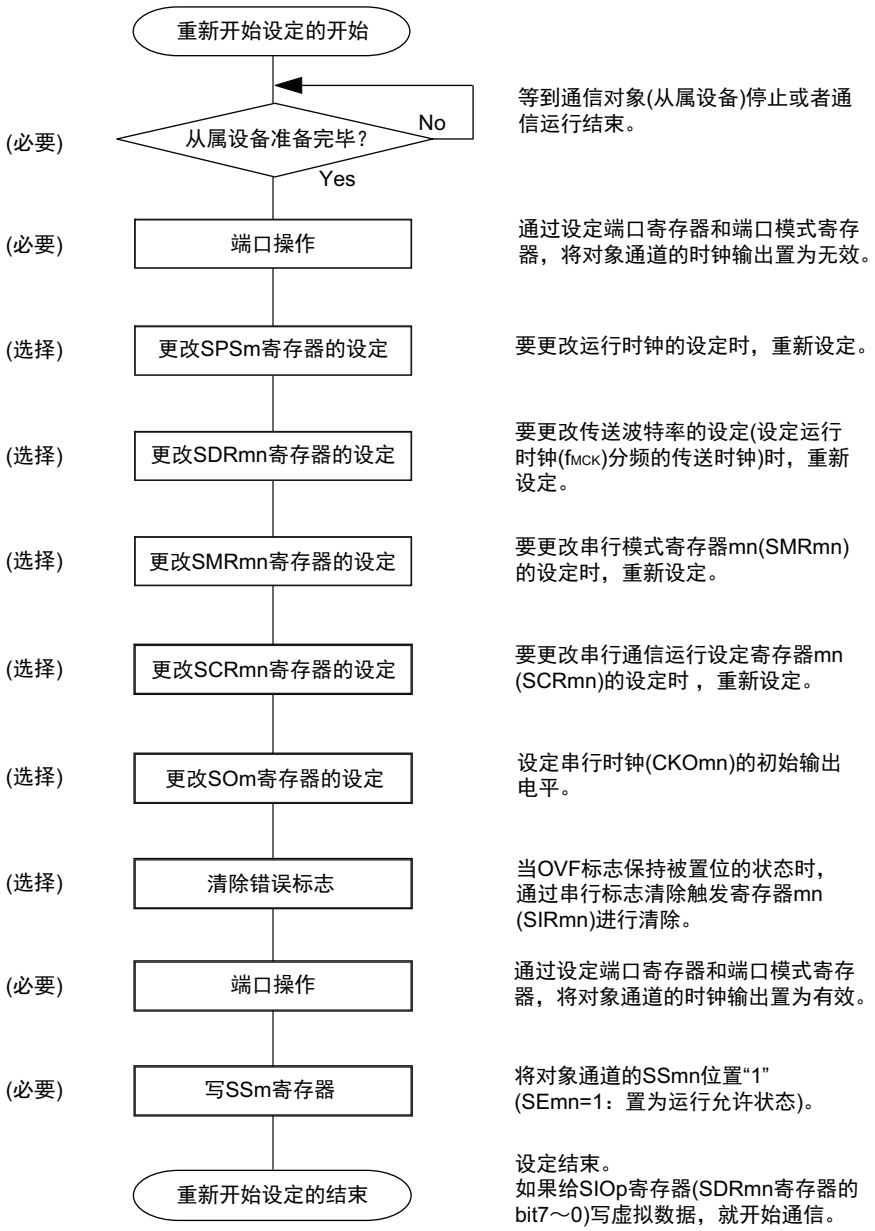


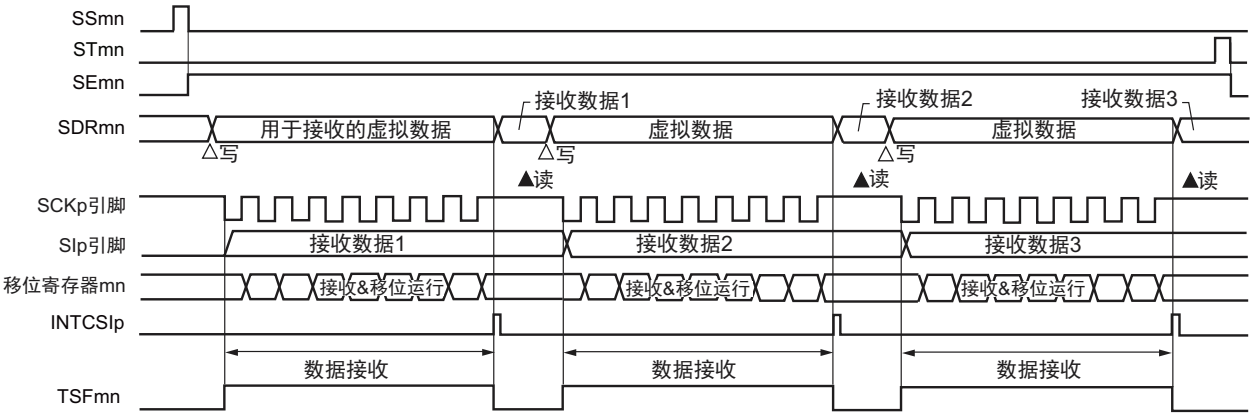
图 12-33 主控接收的重新开始设定步骤



备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象 （从属设备）的停止或者通信结束后进行初始设定而不是进行重新开始设定。

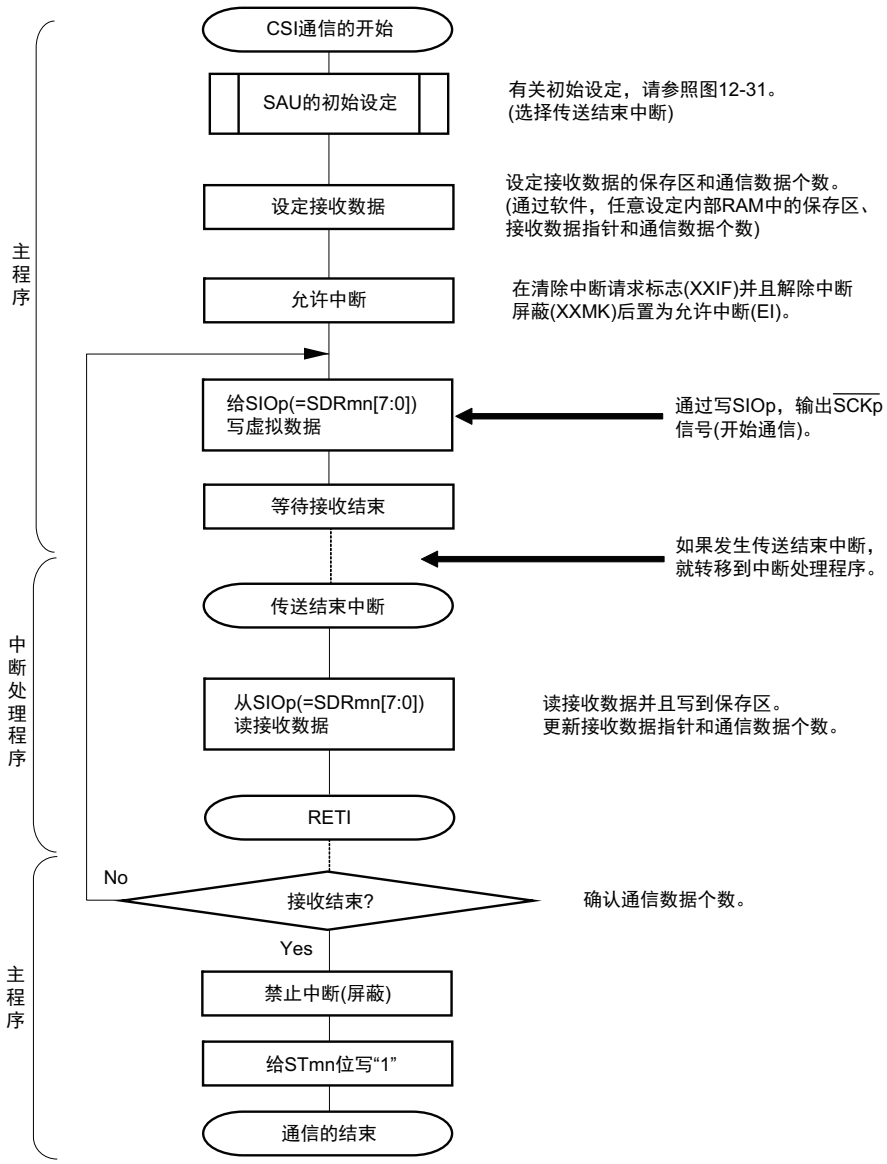
(3) 处理流程 （单次接收模式）

图 12-34 主控接收 （单次接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



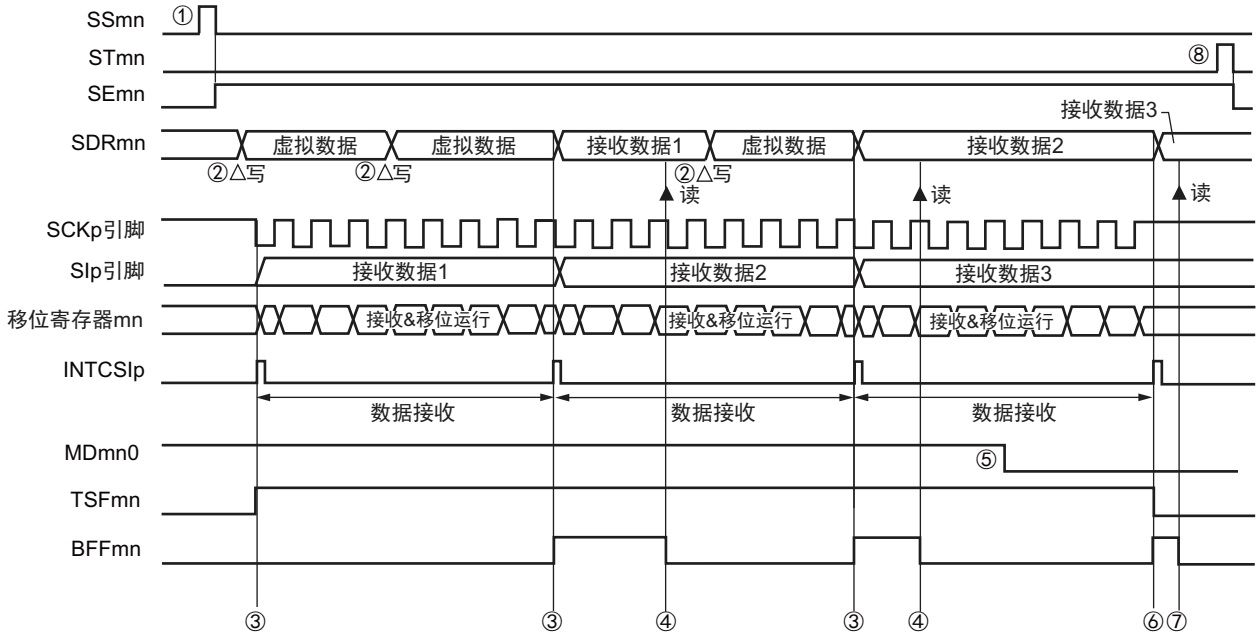
备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-35 主控接收 （单次接收模式）的流程图



(4) 处理流程 （连续接收模式）

图 12-36 主控接收 （连续接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）

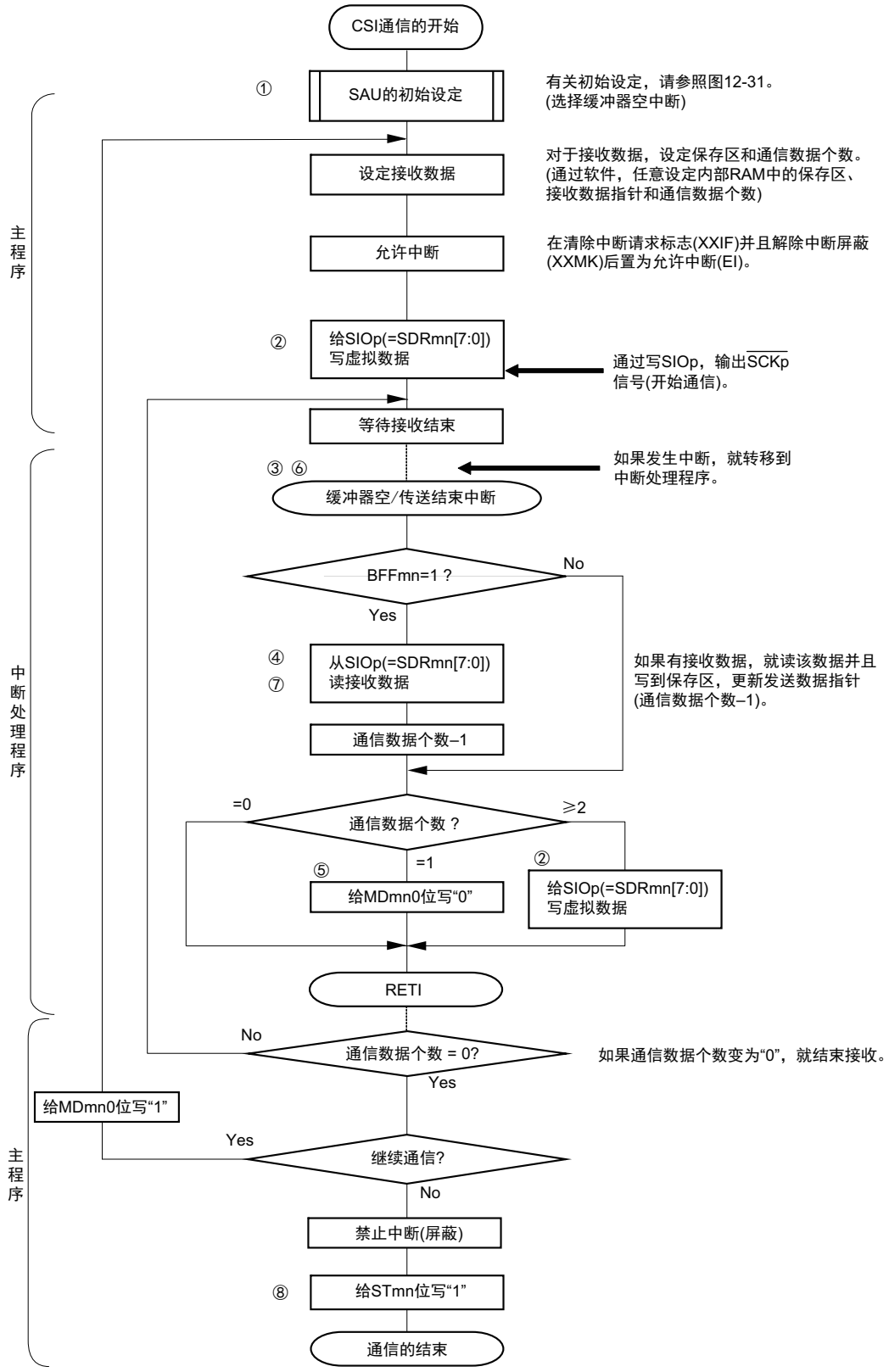


注意 即使在运行过程中也能改写 MDmn0 位。但是，为了能赶上最后接收数据的传送结束中断，必须在开始接收最后一位之前进行改写。

备注 1. 图中的①～⑧对应 “ 图 12-37 主控接收 （连续接收模式）的流程图 ” 中的①～⑧。

2. m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-37 主控接收 （连续接收模式）的流程图



备注 图中的①～⑧对应 “ 图 12-36 主控接收 （连续接收模式）的时序图 ” 中的①～⑧。

12.5.3 主控的发送和接收

主控的发送和接收是 R7F0C001G/L、 R7F0C002G/L 输出传送时钟并且和其他设备进行数据发送和接收的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{SCK00}$、 SI00、 SO00	$\overline{SCK01}$、 SI01、 SO01
中断	INTCSI00	INTCSI01
	可选择传送结束中断 （单次传送模式）或者缓冲器空中断 （连续传送模式）。	
错误检测标志	只限于溢出错误检测标志 （OVFmn）	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/2[Hz] （SCI00） f_{MCK}/4[Hz] （SCI01） Min. $f_{CLK}/(2\times2^{15}\times128)$[Hz] 注 f_{CLK}：系统时钟频率	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 • CKPmn=1：反相	
数据方向	MSB 优先或者 LSB 优先	

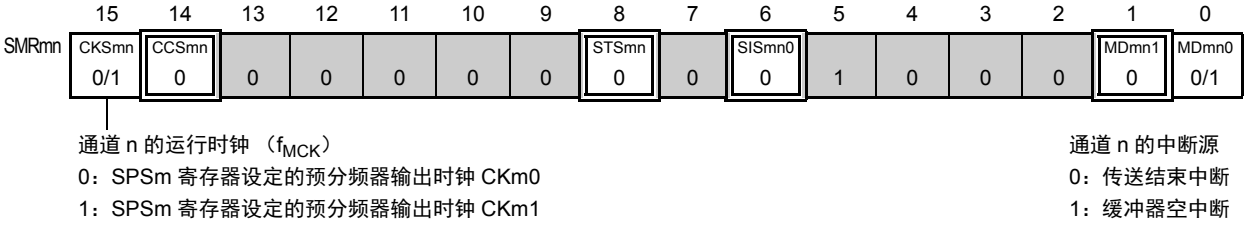
注 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

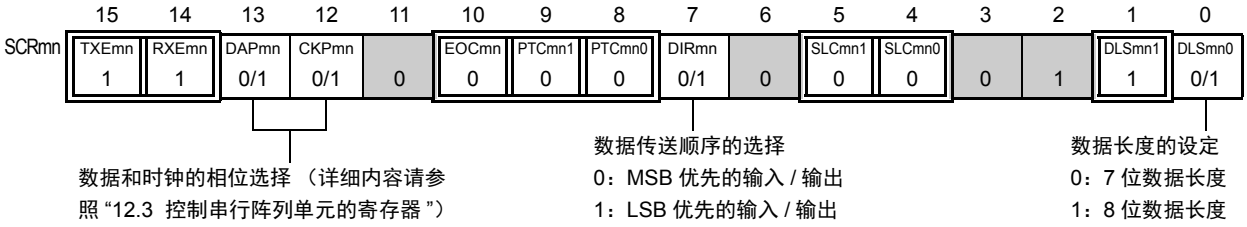
(1) 寄存器的设定

图 12-38 3 线串行 I/O （CSI00、 CSI01）主控发送和接收时的寄存器设定内容例子

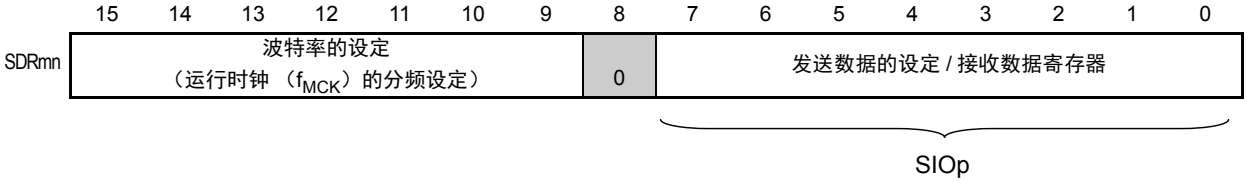
(a) 串行模式寄存器 mn （SMRmn）



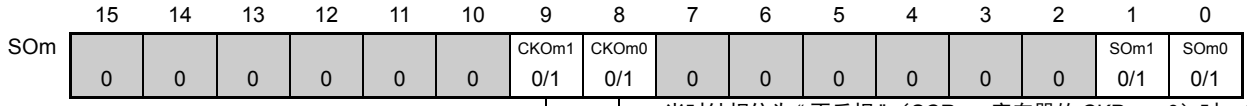
(b) 串行通信运行设定寄存器 mn （SCRmn）



(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）

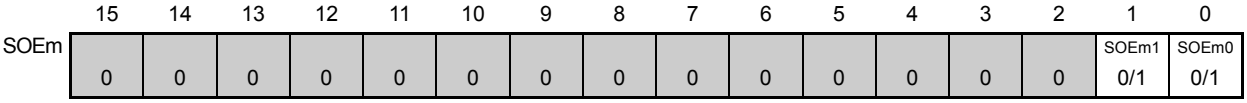


(d) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。

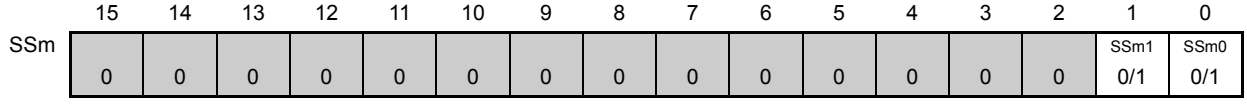


当时钟相位为 “ 不反相 ”（SCRmn 寄存器的 CKPmn=0）时，“1” 为开始通信；当时钟相位为 “ 反相 ”（CKPmn=1）时，“0” 为开始通信。

(e) 串行输出允许寄存器 m （SOEm） …… 只将对象通道的位置 “1”。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



备注 1. m ： 单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ： 在 CSI 主控发送和接收模式中为固定设定。■ ： 不能设定 （设定初始值）。

× ： 这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。

0/1 ： 根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-39 主控发送和接收的初始设定步骤

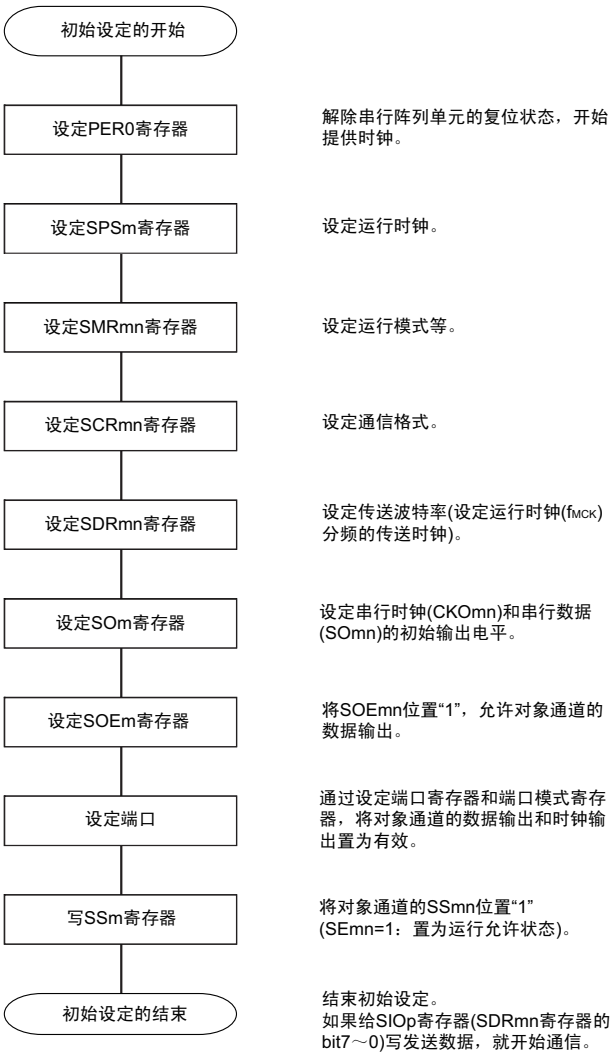


图 12-40 主控发送和接收的中止步骤

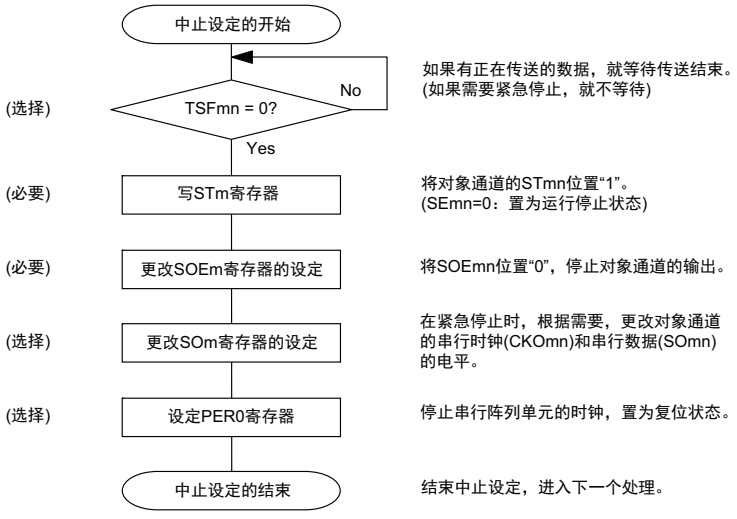
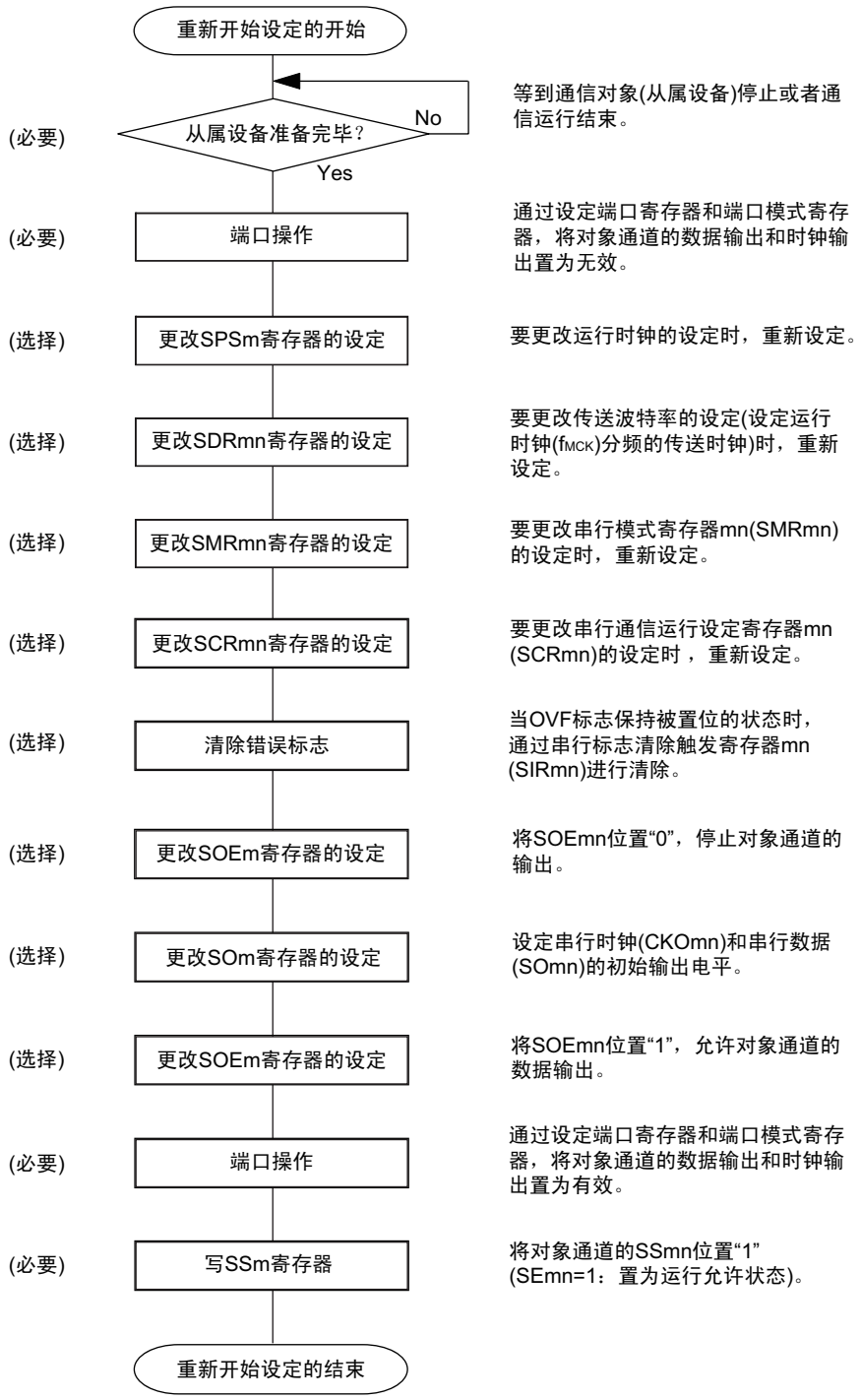
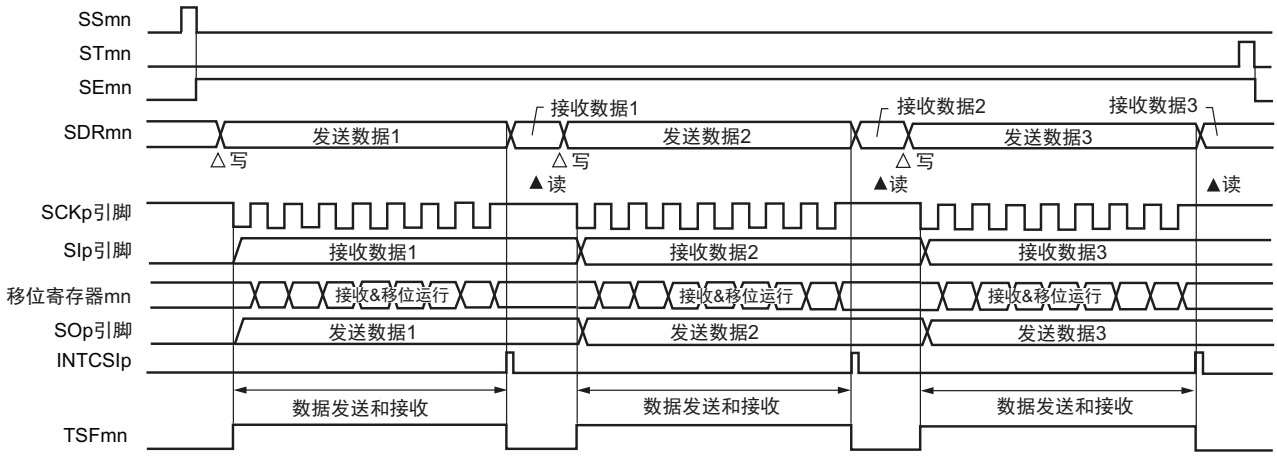


图 12-41 主控发送和接收的重新开始设定步骤



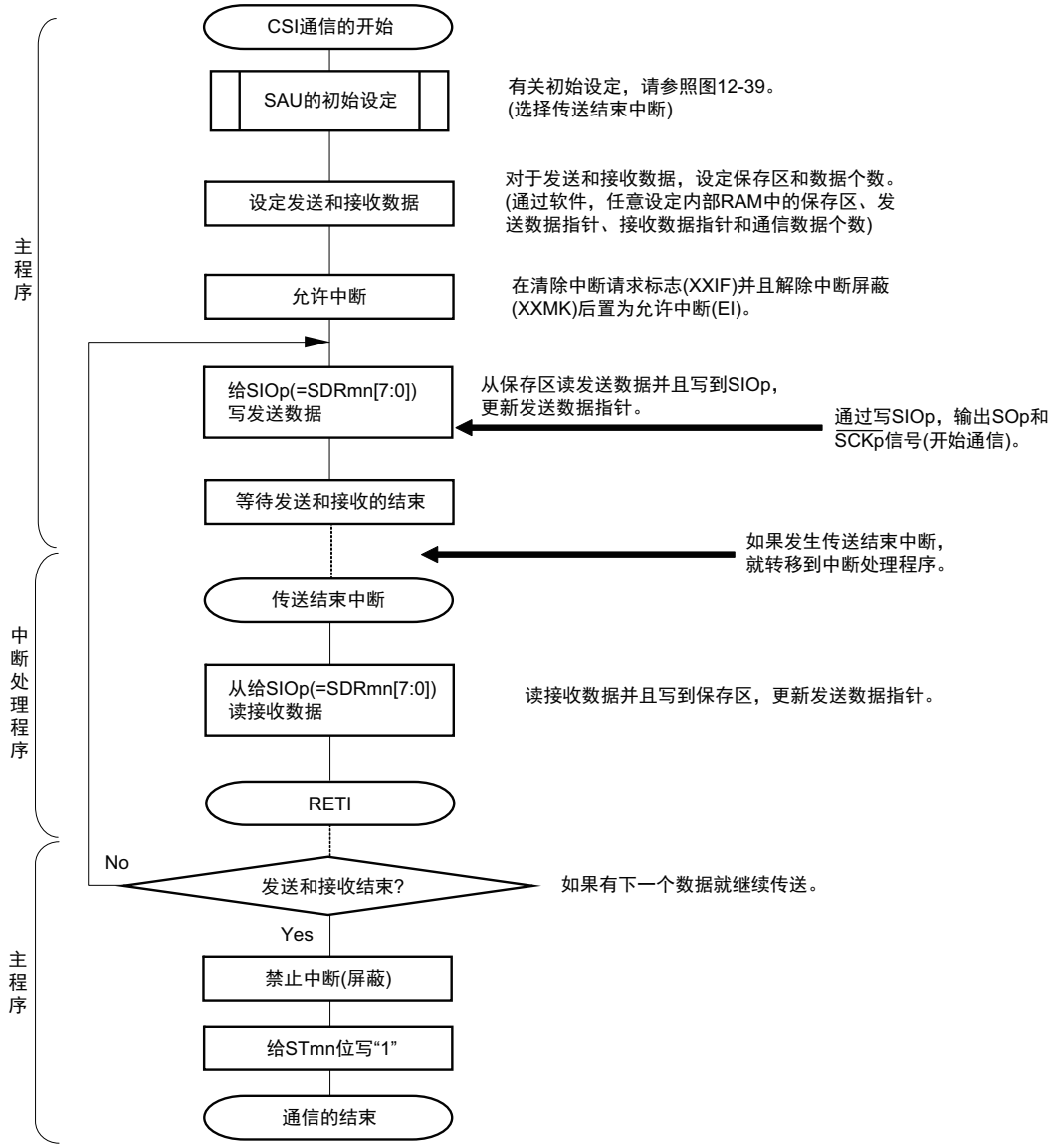
(3) 处理流程 （单次发送和接收模式）

图 12-42 主控发送和接收 （单次发送和接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



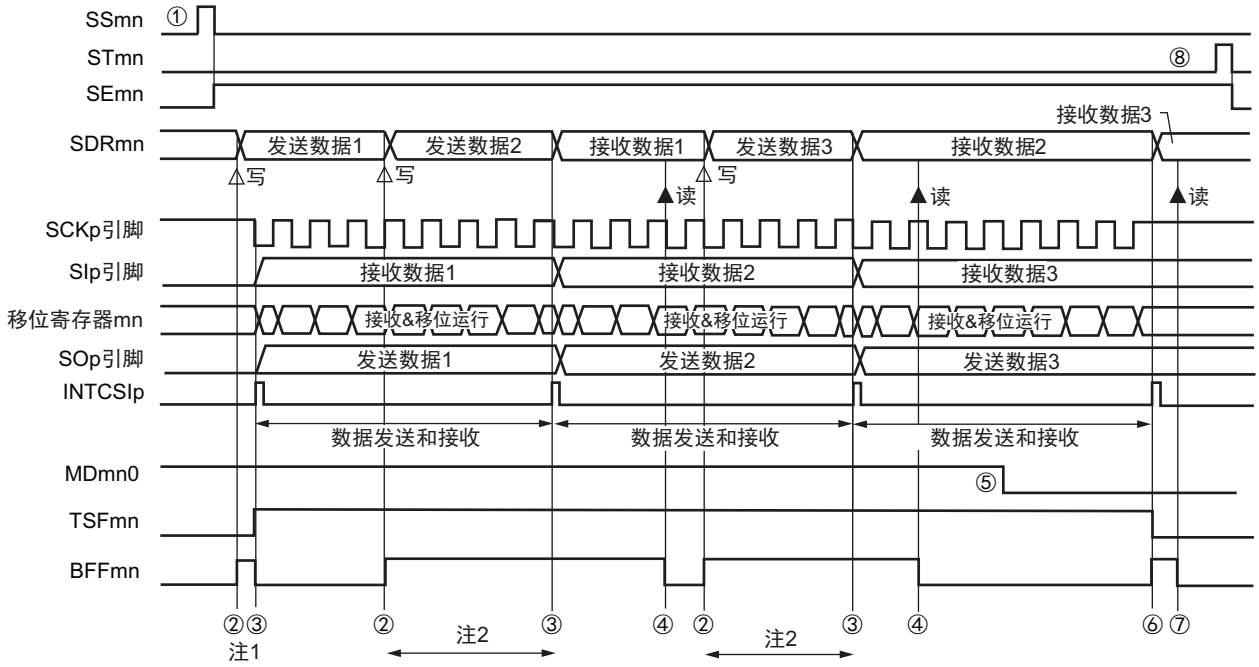
备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-43 主控发送和接收 （单次发送和接收模式）的流程图



(4) 处理流程 （连续发送和接收模式）

图 12-44 主控发送和接收 （连续发送和接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



注 1. 如果在串行状态寄存器 mn （SSRmn）的 BFFmn 位为 “1” 期间 （有效数据保存在串行数据寄存器 mn （SDRmn） 时）给 SDRmn 寄存器写发送数据，就重写发送数据。

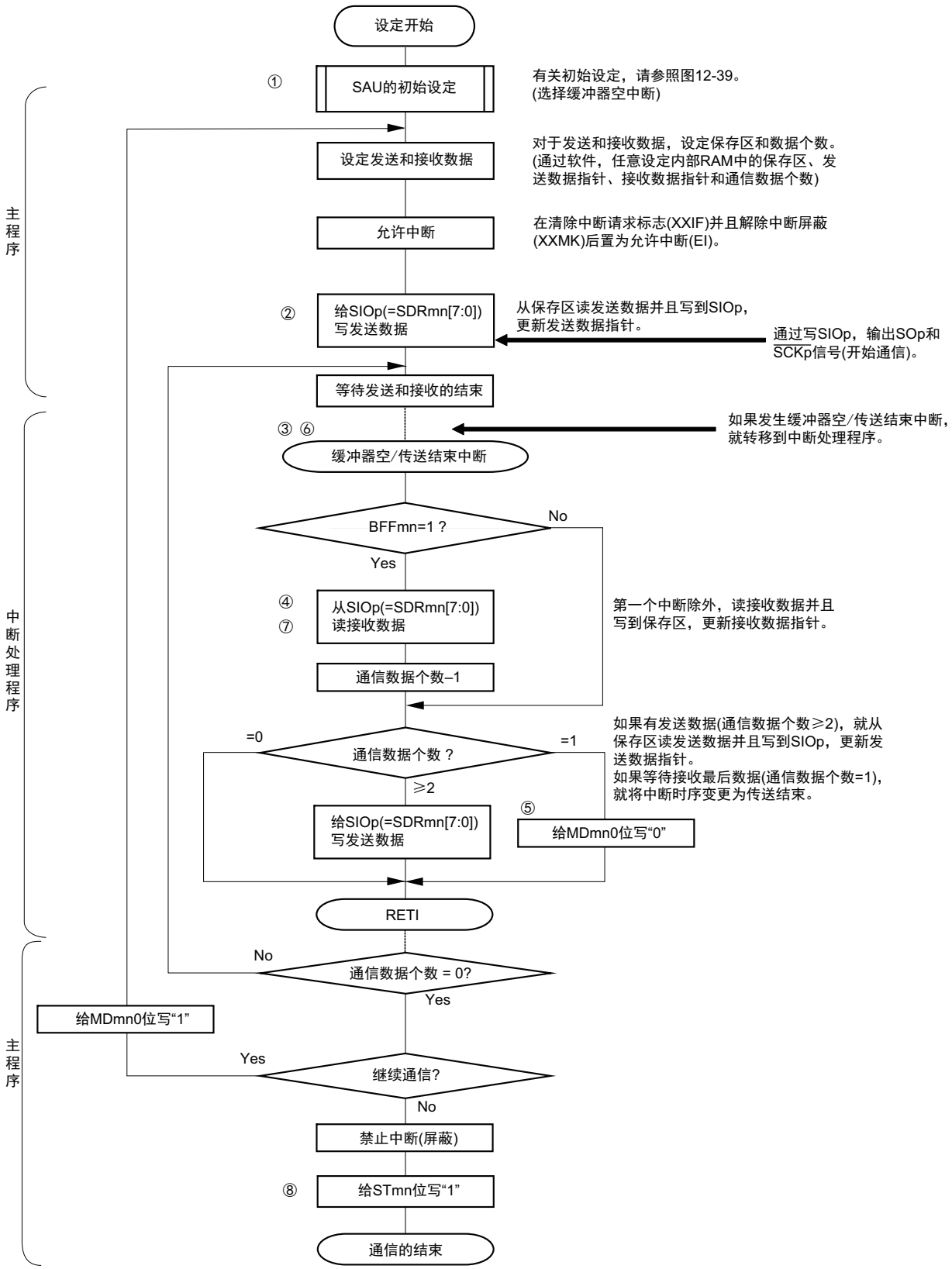
2. 如果在此期间读取 SDRmn 寄存器，就能读发送数据。此时，不影响传送运行。

注意 即使在运行中也能改写串行模式寄存器 mn （SMRmn）的 MDmn0 位。但是，为了能赶上最后发送数据的传送结束中断，必须在开始传送最后一位之前进行改写。

备注 1. 图中的①～⑧对应 “ 图 12-45 主控发送和接收 （连续发送和接收模式）的流程图 ” 中的①～⑧。

2. m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-45 主控发送和接收 （连续发送和接收模式）的流程图



备注 图中的①～⑧对应“ 图 12-44 主控发送和接收 （连续发送和接收模式）的时序图 ”中的①～⑧。

12.5.4 从属发送

从属发送是在从其他设备输入传送时钟的状态下 R7F0C001G/L、 R7F0C002G/L 将数据发送给其他设备的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{SCK00}$、 SO00	$\overline{SCK01}$、 SO01
中断	INTCSI00	INTCSI01
	可选择传送结束中断 （单次传送模式）或者缓冲器空中断 （连续传送模式）。	
错误检测标志	只限于溢出错误检测标志 （OVFmn）	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/6[Hz] 注 1、 2	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 • CKPmn=1：反相	
数据方向	MSB 优先或者 LSB 优先	

注 1. 因为在内部对 $\overline{SCK00}$ 引脚和 $\overline{SCK01}$ 引脚输入的外部串行时钟进行采样后使用，所以最大传送速率为 f_{MCK}/6[Hz]。

2. 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 1. f_{MCK}：对象通道的运行时钟频率

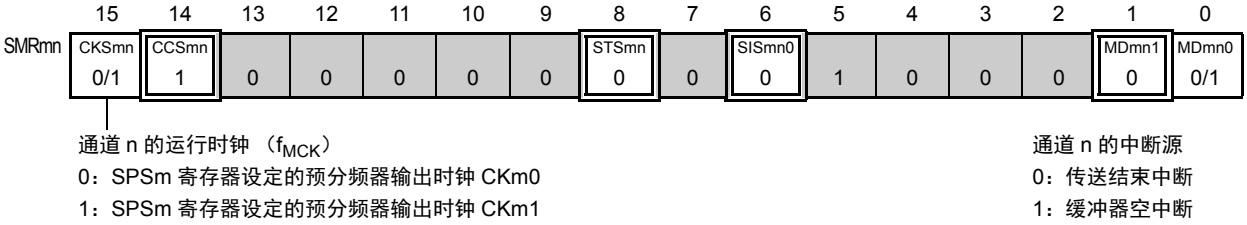
f_{SCK}：串行时钟频率

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

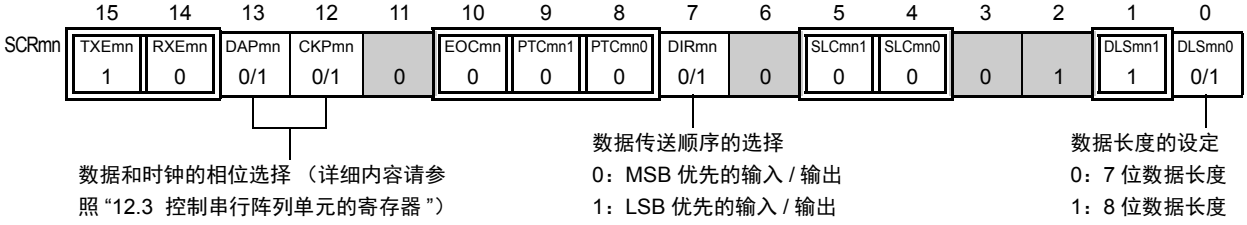
(1) 寄存器的设定

图 12-46 3 线串行 I/O （CSI00、 CSI01）从属发送时的寄存器设定内容例子

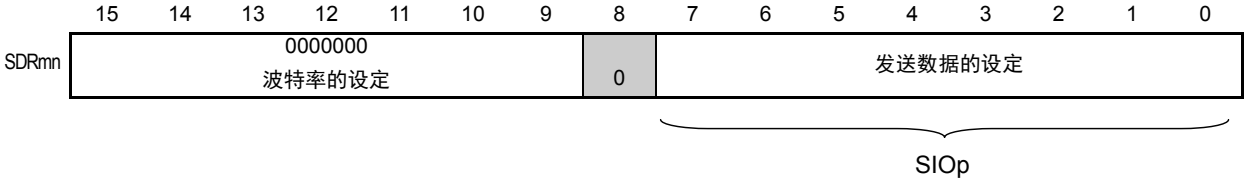
(a) 串行模式寄存器 mn （SMRmn）



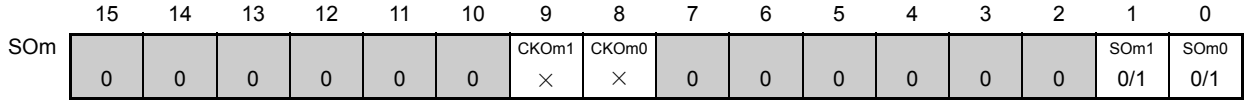
(b) 串行通信运行设定寄存器 mn （SCRmn）



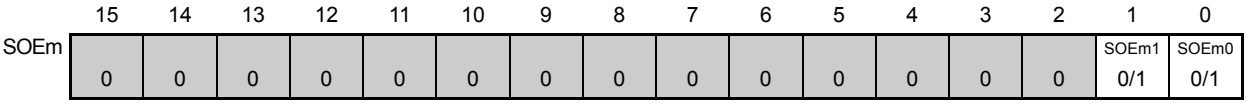
(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）



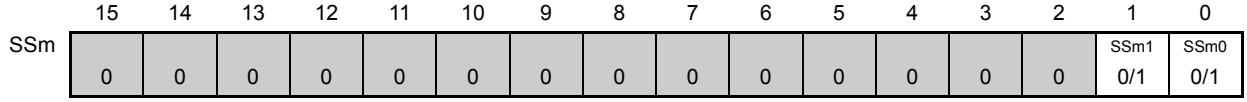
(d) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。



(e) 串行输出允许寄存器 m （SOEm） …… 只将对象通道的位置 “1”。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



备注 1. m ：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ：在 CSI 从属发送模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-47 从属发送的初始设定步骤

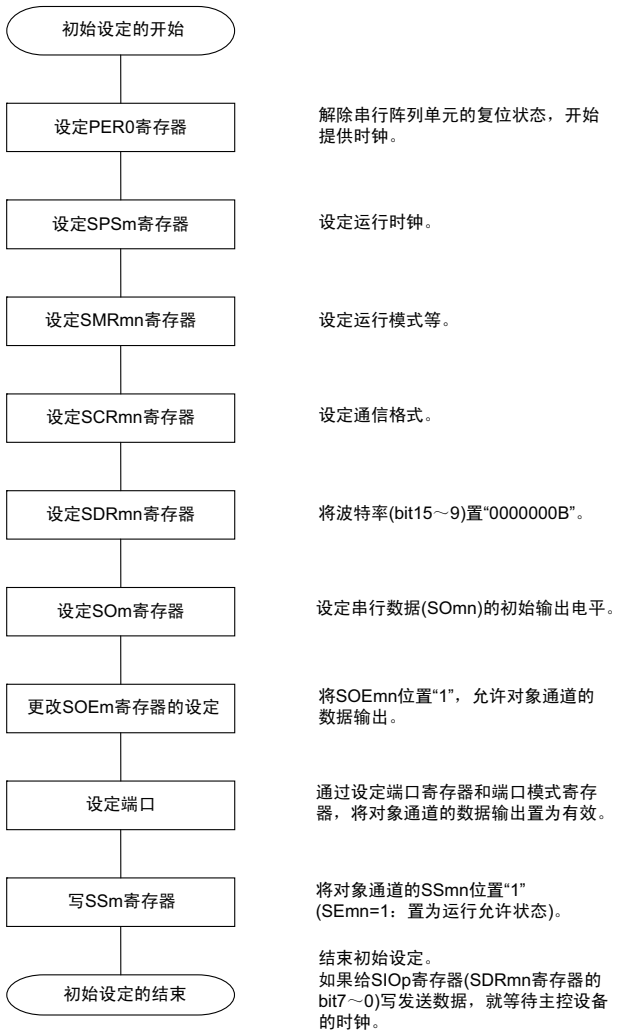


图 12-48 从属发送的中止步骤

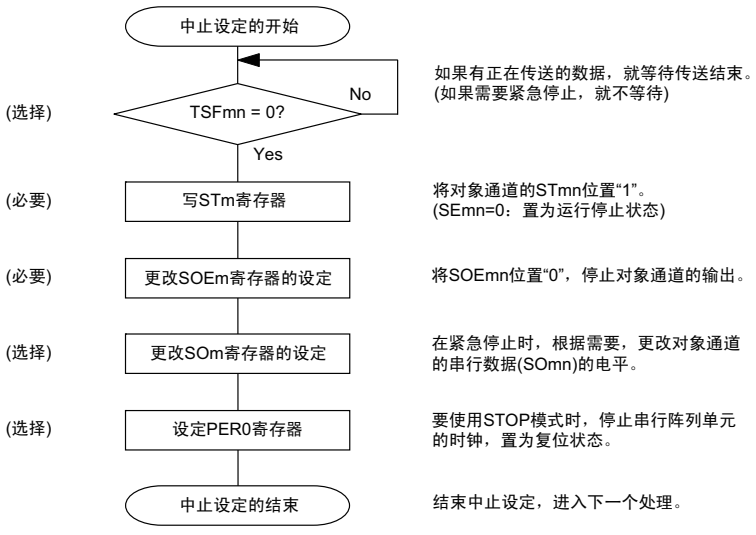
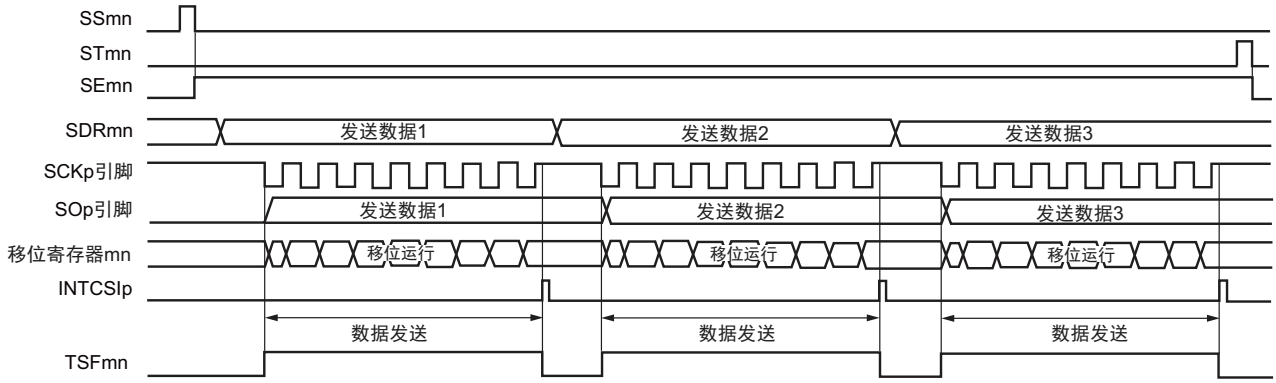


图 12-49 从属发送的重新开始设定步骤

备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象 （主控设备）的停止或者通信结束后进行初始设定而不是进行重新开始设定。

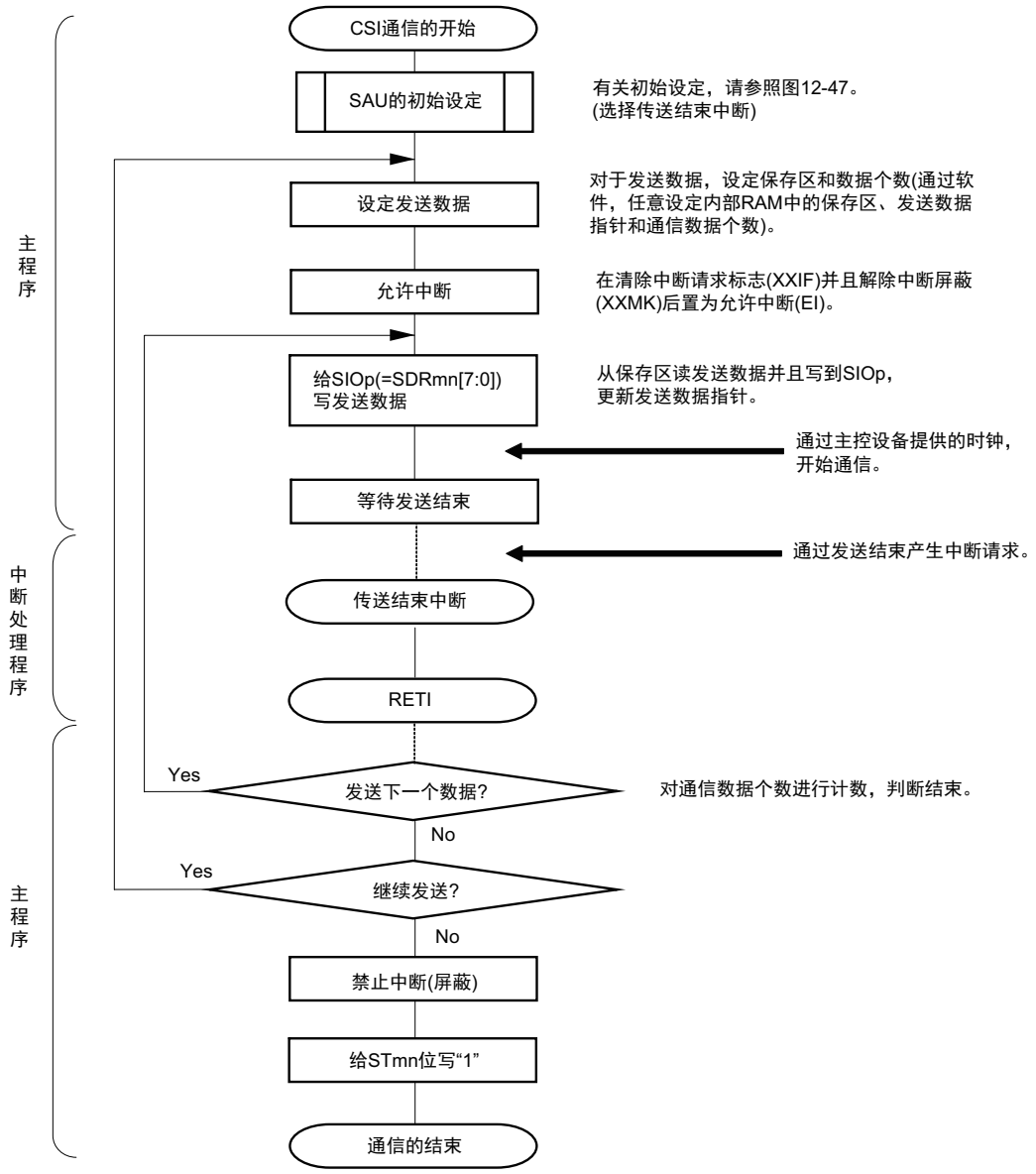
(3) 处理流程 （单次发送模式）

图 12-50 从属发送 （单次发送模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



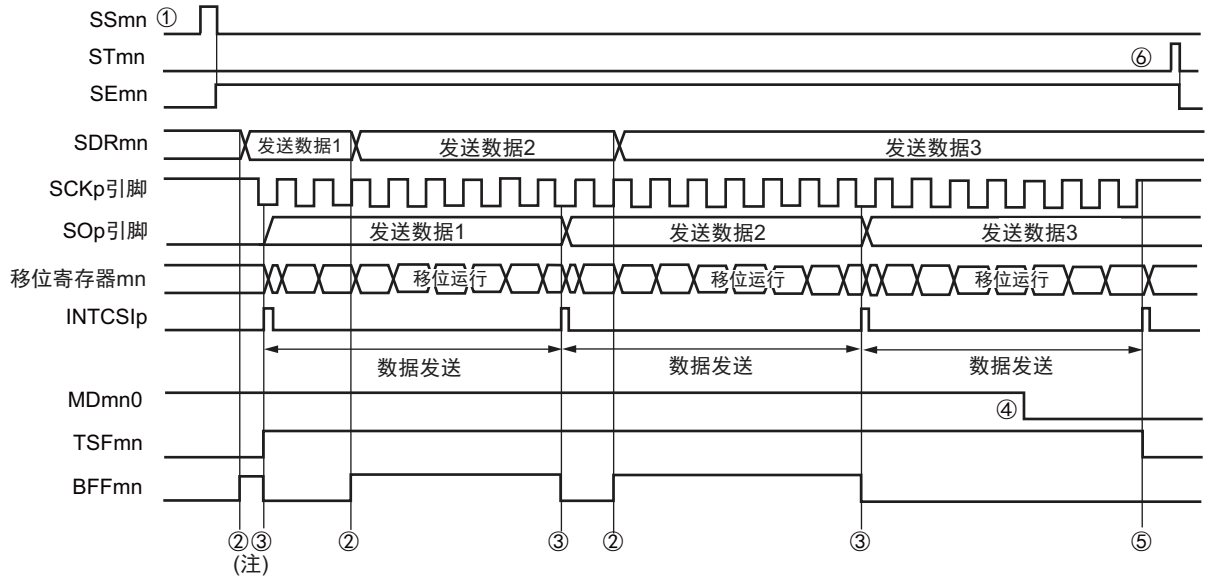
备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-51 从属发送 （单次发送模式）的流程图



(4) 处理流程 （连续发送模式）

图 12-52 从属发送 （连续发送模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）

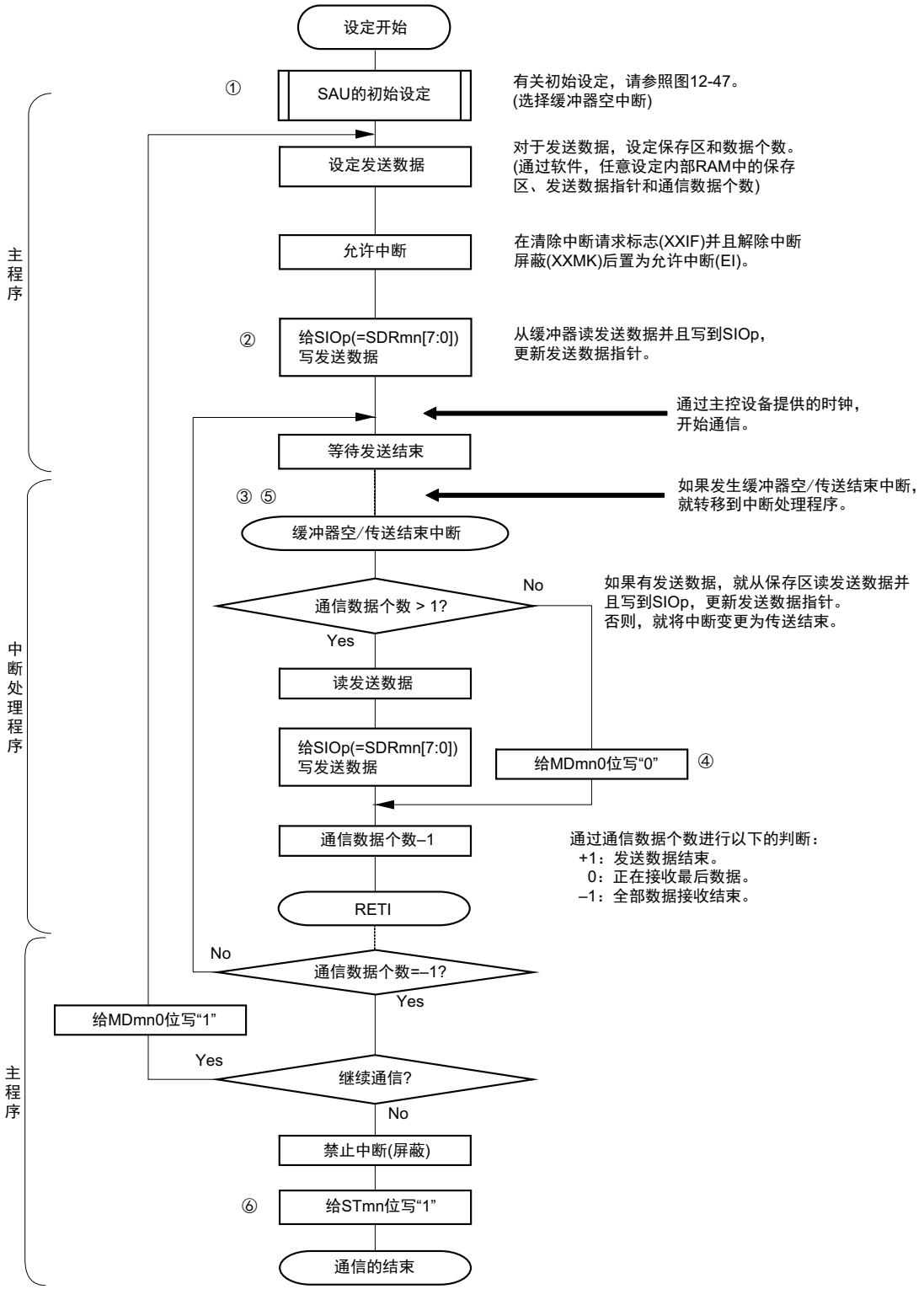


注 如果在串行状态寄存器 mn （SSRmn）的 BFFmn 位为 “1” 期间 （有效数据保存在串行数据寄存器 mn （SDRmn）时）给 SDRmn 寄存器写发送数据，就重写发送数据。

注意 即使在运行中也能改写串行模式寄存器 mn（SMRmn）的 MDmn0 位。但是，必须在开始传送最后一位之前进行改写。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-53 从属发送 （连续发送模式）的流程图



备注 图中的①～⑥对应“ 图 12-52 从属发送 （连续发送模式）的时序图 ”中的①～⑥。

12.5.5 从属接收

从属接收是在其他设备输入传送时钟的状态下 R7F0C001G/L、 R7F0C002G/L 从其他设备接收数据的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{SCK00}$、 SI00	$\overline{SCK01}$、 SI01
中断	INTCSI00	INTCSI01
	只限于传送结束中断 （禁止设定缓冲器空中断）。	
错误检测标志	只限于溢出错误检测标志 （OVFmn）	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/6[Hz] 注 1、 2	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 • CKPmn=1：反相	
数据方向	MSB 优先或者 LSB 优先	

注 1. 因为在内部对 $\overline{SCK00}$ 引脚和 $\overline{SCK01}$ 引脚输入的外部串行时钟进行采样后使用，所以最大传送速率为 f_{MCK}/6[Hz]。

2. 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 1. f_{MCK}：对象通道的运行时钟频率

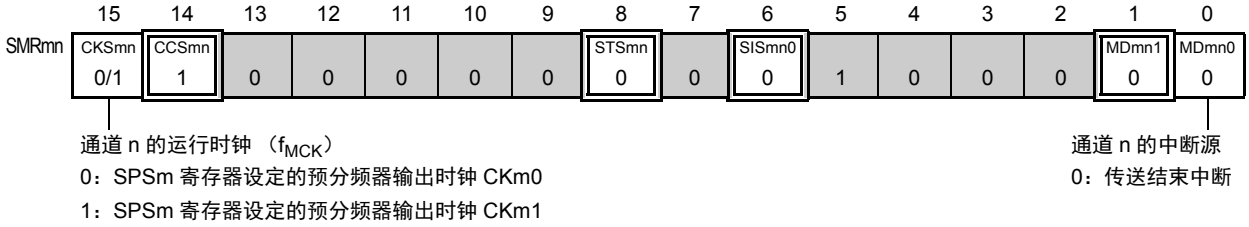
f_{SCK}：串行时钟频率

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

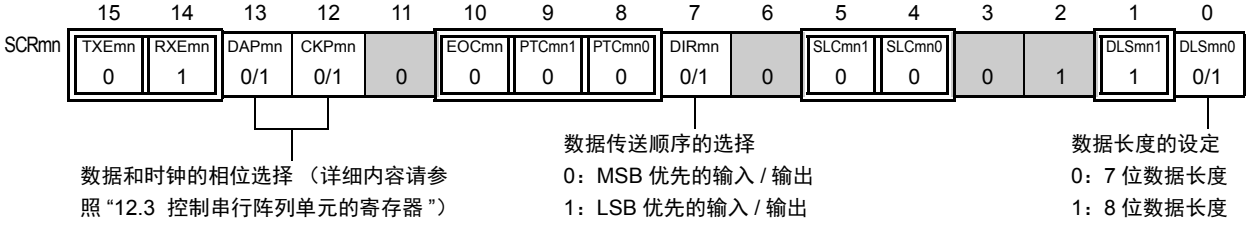
(1) 寄存器的设定

图 12-54 3 线串行 I/O （CSI00、 CSI01）从属接收时的寄存器设定内容例子

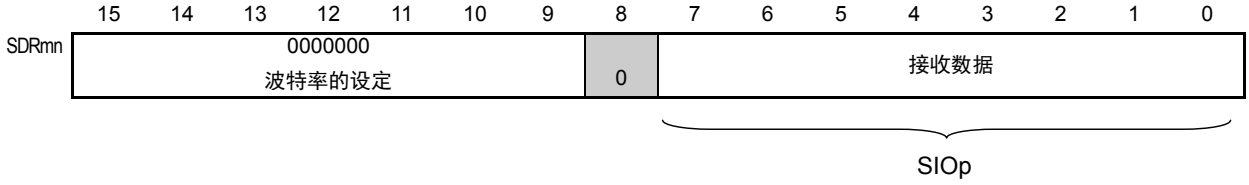
(a) 串行模式寄存器 mn （SMRmn）



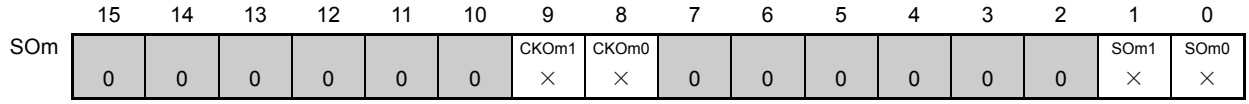
(b) 串行通信运行设定寄存器 mn （SCRmn）



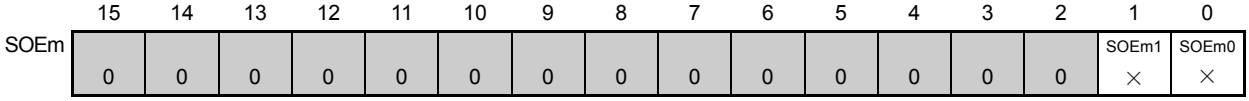
(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）



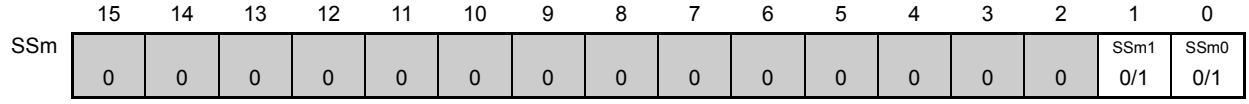
(d) 串行输出寄存器 m （SOm） …… 在此模式中不使用。



(e) 串行输出允许寄存器 m （SOEm） …… 在此模式中不使用。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



备注 1. m ： 单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ： 在 CSI 从属接收模式中为固定设定。■ ： 不能设定 （设定初始值）。

× ： 这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。

0/1 ： 根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-55 从属接收的初始设定步骤

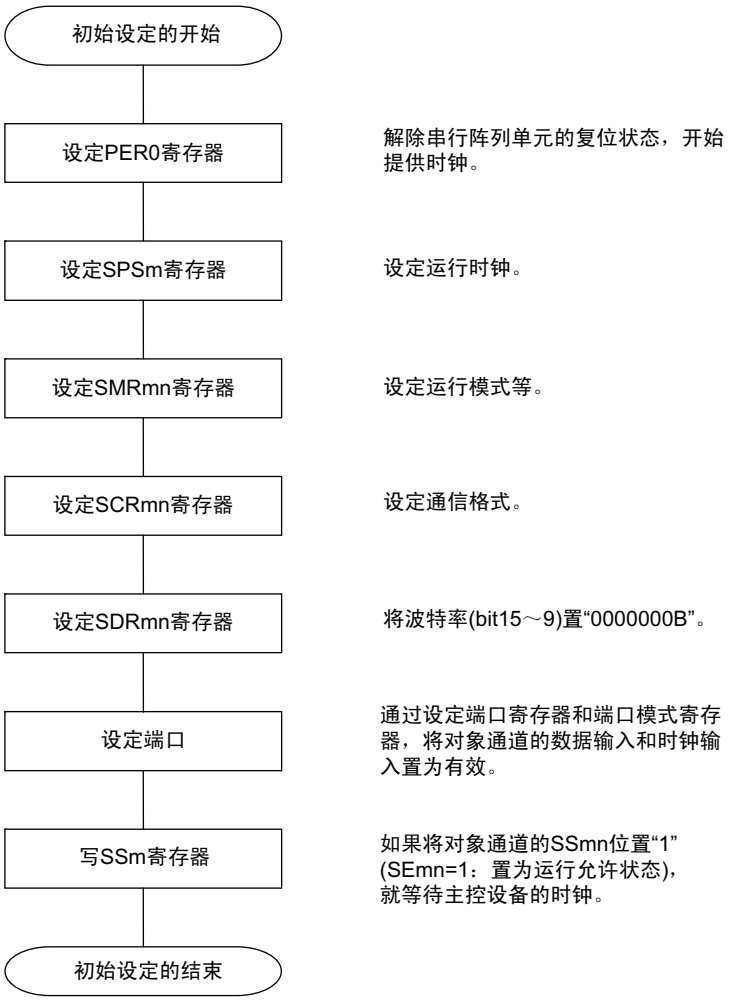


图 12-56 从属接收的中止步骤

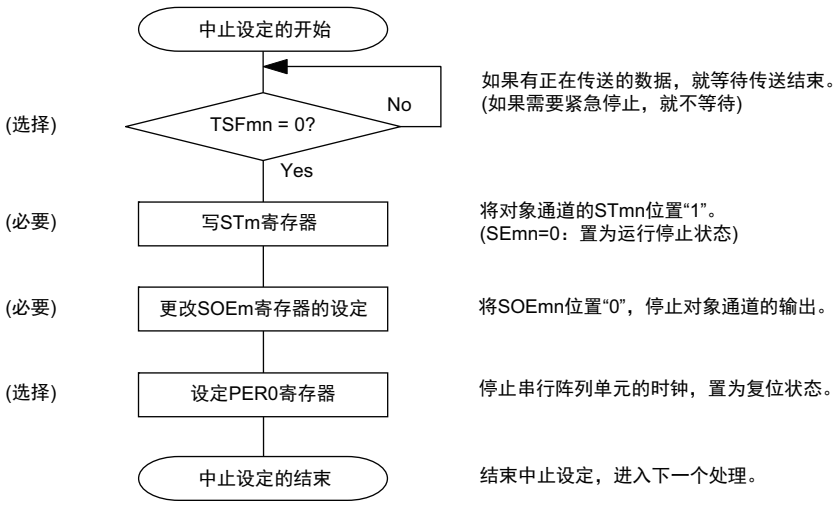
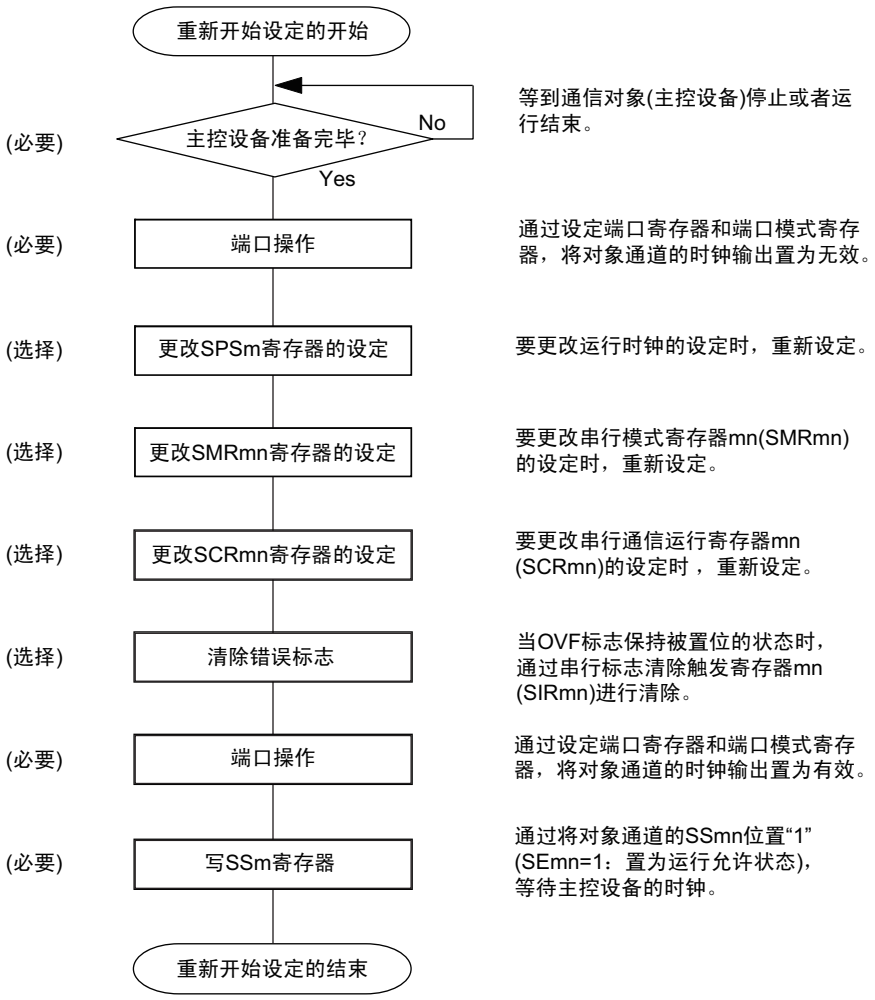


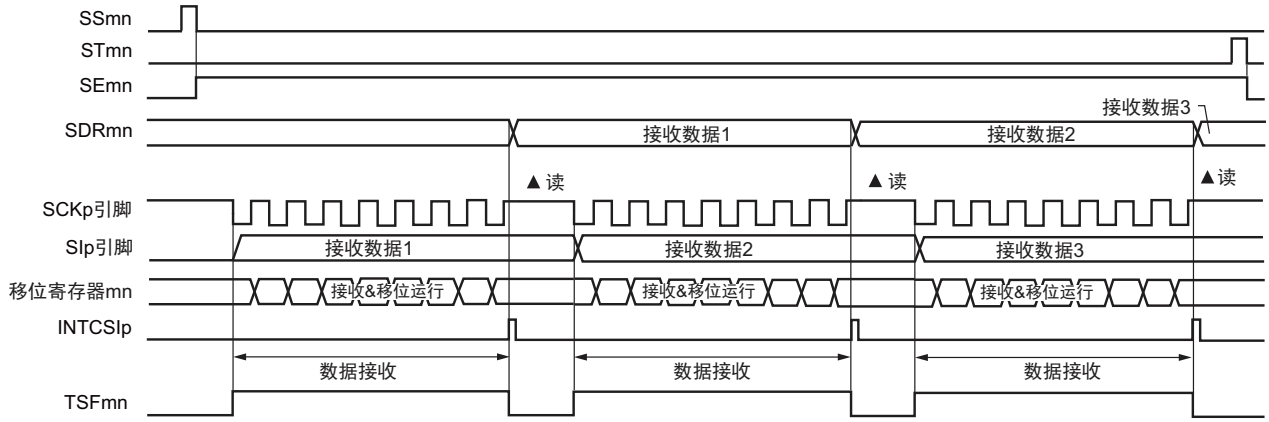
图 12-57 从属接收的重新开始设定步骤



备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象（主控设备）的停止或者通信结束后进行初始设定而不是进行重新开始设定。

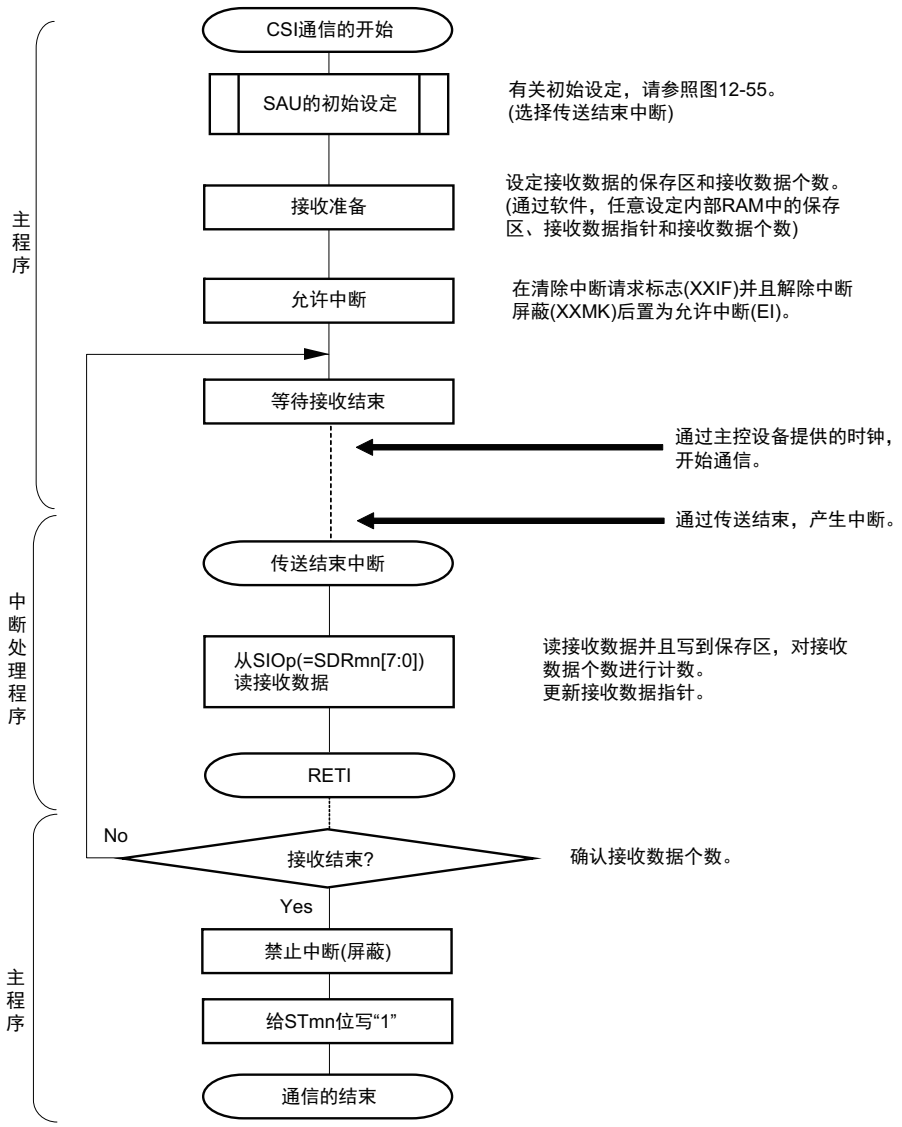
(3) 处理流程 （单次接收模式）

图 12-58 从属接收 （单次接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-59 从属接收 （单次接收模式）的流程图



12.5.6 从属发送和接收

从属发送和接收是在其他设备输入传送时钟的状态下 R7F0C001G/L、R7F0C002G/L 和其他设备进行数据发送和接收的运行。

3 线串行 I/O	CSI00	CSI01
对象通道	通道 0	通道 1
使用的引脚	$\overline{\text{SCK00}}$、 SI00、 SOm0	$\overline{\text{SCK01}}$、 SI01、 SOm1
中断	INTCSI00	INTCSI01
	可选择传送结束中断 （单次传送模式时）或者缓冲器空中断 （连续传送模式时）。	
错误检测标志	只限于溢出错误检测标志 （OVFmn）	
传送数据长度	7 位或者 8 位	
传送速率	Max. f_{MCK}/6[Hz] 注 1、 2	
数据相位	能通过 SCRmn 寄存器的 DAPmn 位进行选择。 • DAPmn=0：在串行时钟开始运行时，开始数据输出。 • DAPmn=1：在串行时钟开始运行的半个时钟前，开始数据输出。	
时钟相位	能通过 SCRmn 寄存器的 CKPmn 位进行选择。 • CKPmn=0：不反相 • CKPmn=1：反相	
数据方向	MSB 优先或者 LSB 优先	

注 1. 因为在内部对 $\overline{\text{SCK00}}$ 引脚和 $\overline{\text{SCK01}}$ 引脚输入的外部串行时钟进行采样后使用，所以最大传送速率为 f_{MCK}/6[Hz]。

2. 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 1. f_{MCK}：对象通道的运行时钟频率

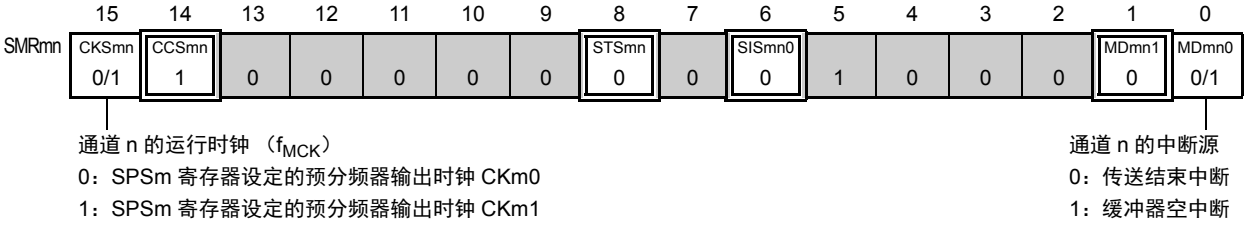
f_{SCK}：串行时钟频率

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

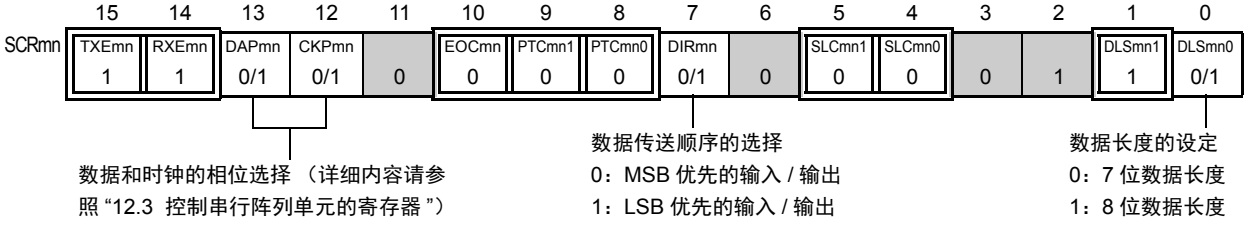
(1) 寄存器的设定

图 12-60 3 线串行 I/O （CSI00、 CSI01）从属发送和接收时的寄存器设定内容例子

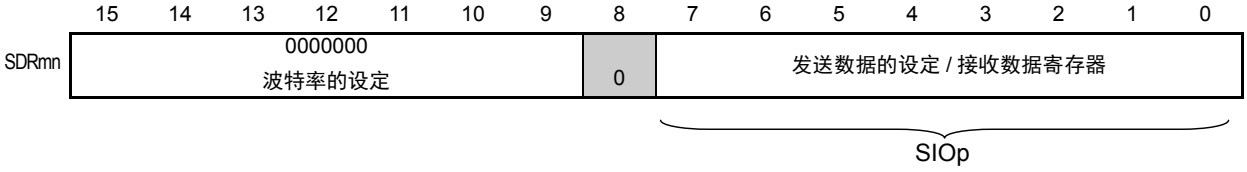
(a) 串行模式寄存器 mn （SMRmn）



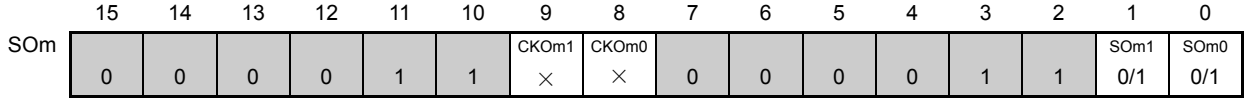
(b) 串行通信运行设定寄存器 mn （SCRmn）



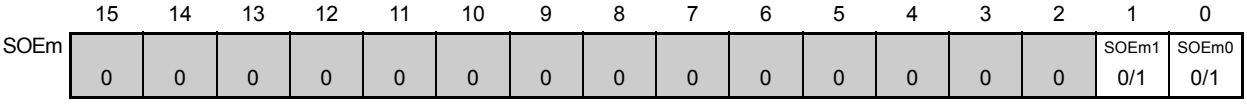
(c) 串行数据寄存器 mn （SDRmn）（低 8 位：SIOp）



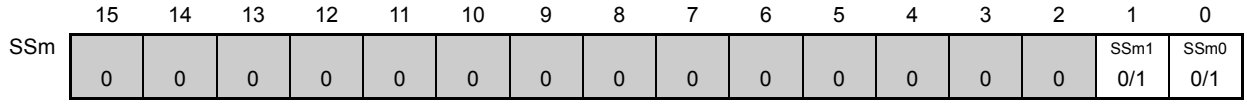
(d) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。



(e) 串行输出允许寄存器 m （SOEm） …… 只将对象通道的位置 “1”。



(f) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。



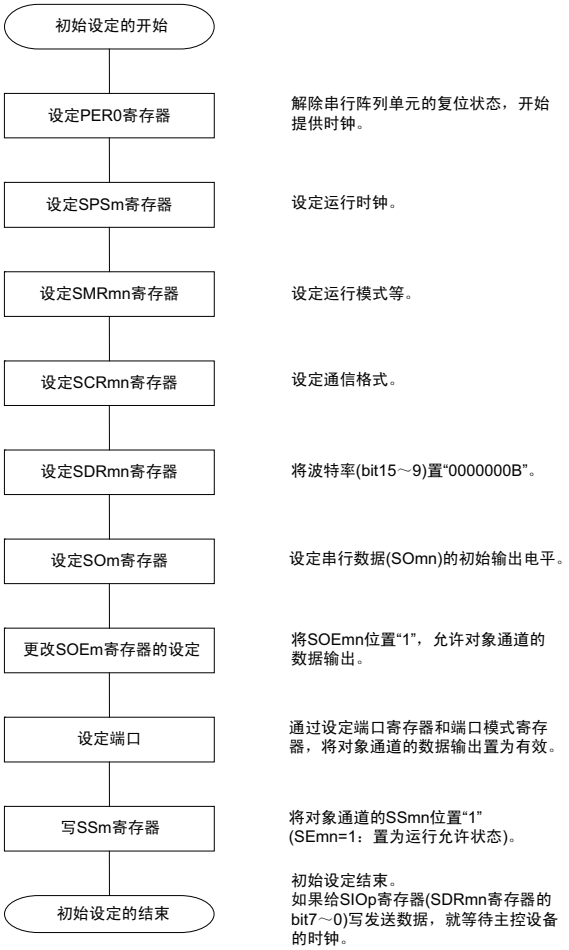
注意 在主控设备开始输出时钟前，必须给 SIOp 寄存器设定发送数据。

备注 1. m ：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

2. □ ：在 CSI 从属发送和接收模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-61 从属发送和接收的初始设定步骤



注意 在主控设备开始输出时钟前，必须给 SIOp 寄存器设定发送数据。

图 12-62 从属发送和接收的中止步骤

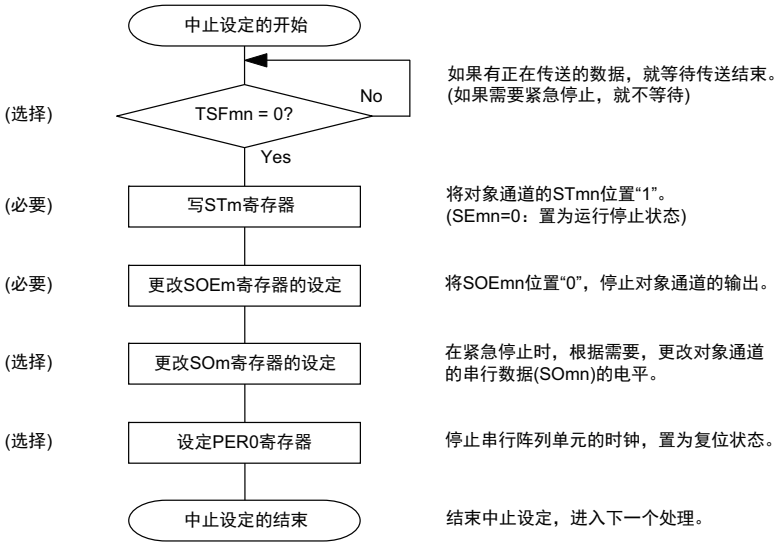
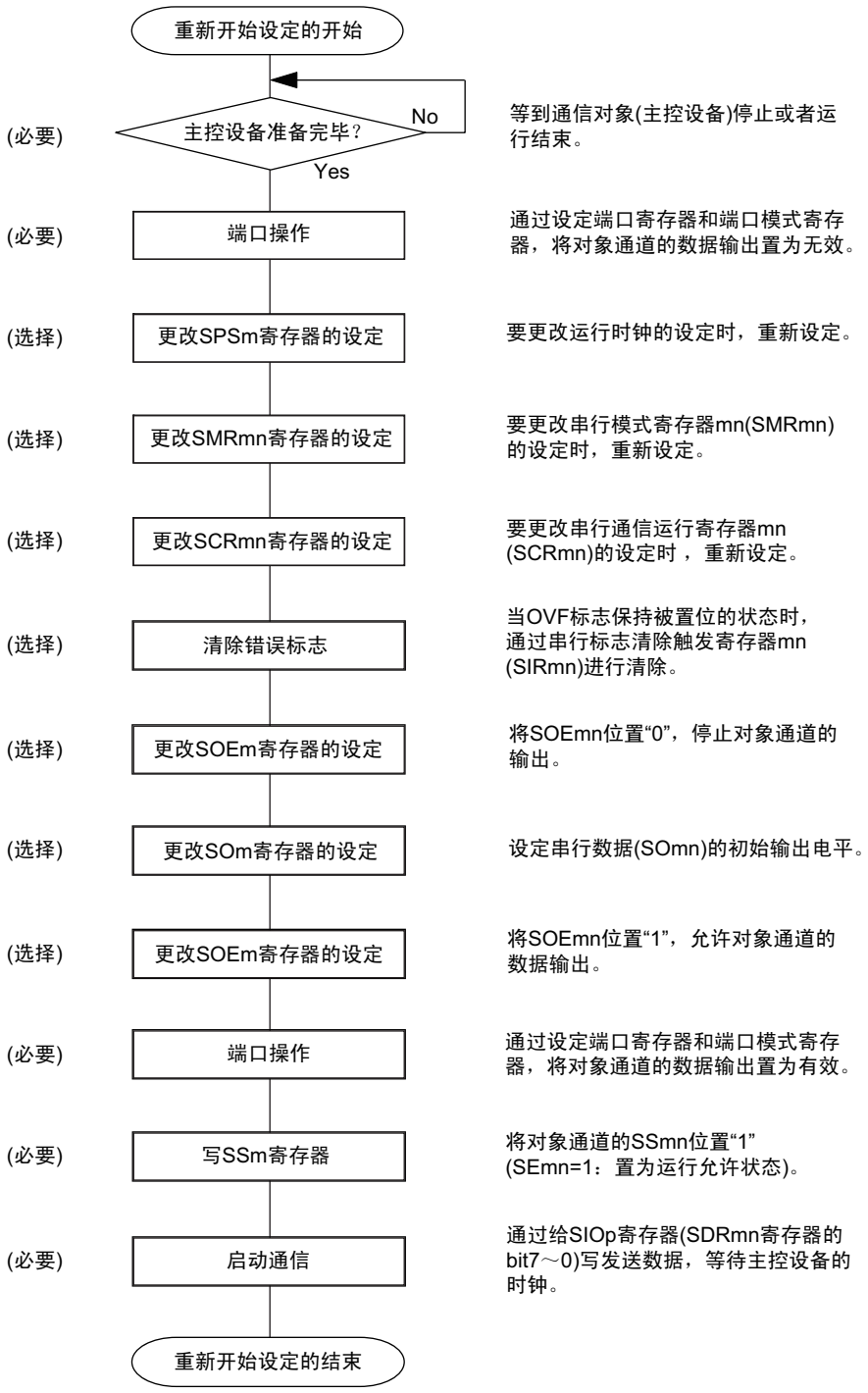


图 12-63 从属发送和接收的重新开始设定步骤

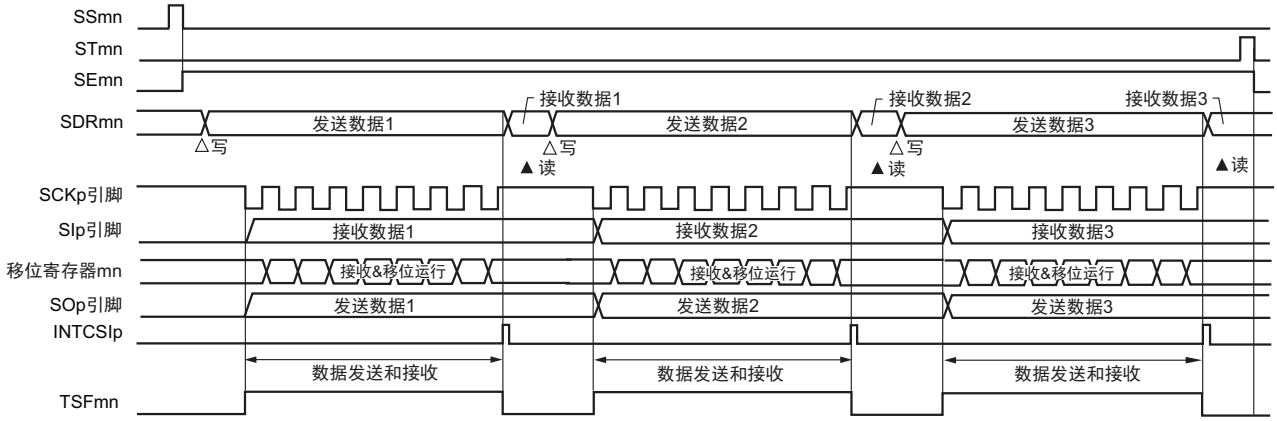


注意 1. 在主控设备开始输出时钟前，必须给 SIOp 寄存器设定发送数据。

2. 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象 （主控设备）的停止或者通信结束后进行初始设定而不是进行重新开始的设定。

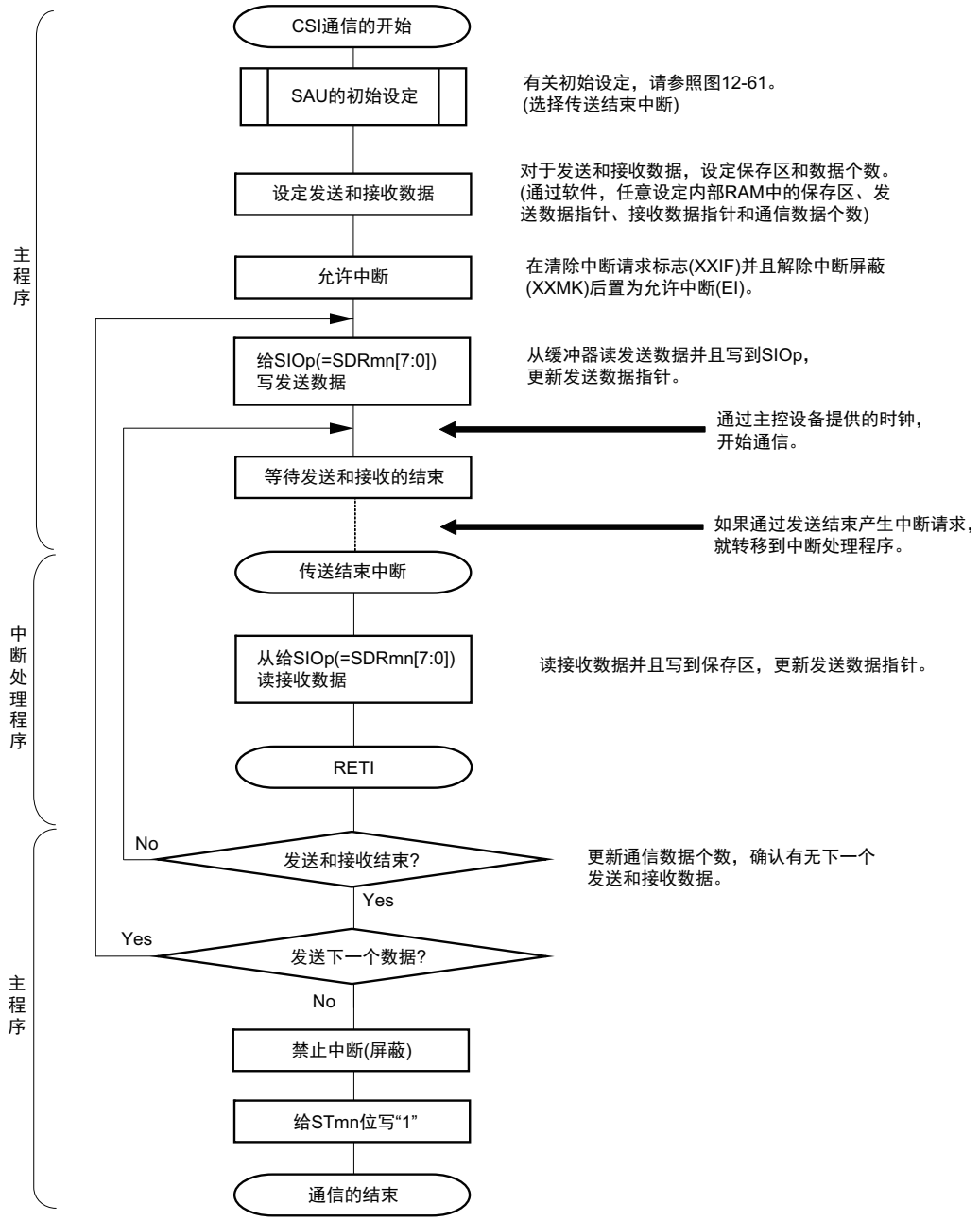
(3) 处理流程 （单次发送和接收模式）

图 12-64 从属发送和接收 （单次发送和接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



备注 m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

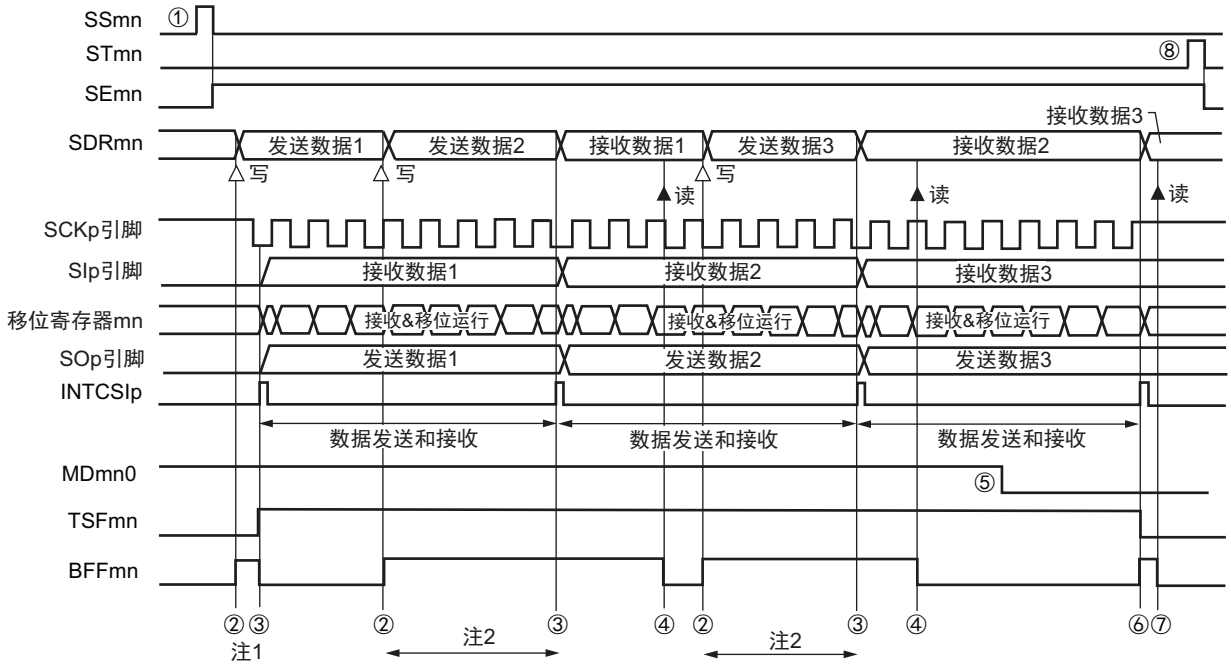
图 12-65 从属发送和接收 （单次发送和接收模式）的流程图



注意 在主控设备开始输出时钟前，必须给 SIOp 寄存器设定发送数据。

(4) 处理流程 （连续发送和接收模式）

图 12-66 从属发送和接收 （连续发送和接收模式）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



注 1. 如果在串行状态寄存器 mn （SSRmn）的 BFFmn 位为 “1” 期间 （有效数据保存在串行数据寄存器 mn （SDRmn）时）给 SDRmn 寄存器写发送数据，就重写发送数据。

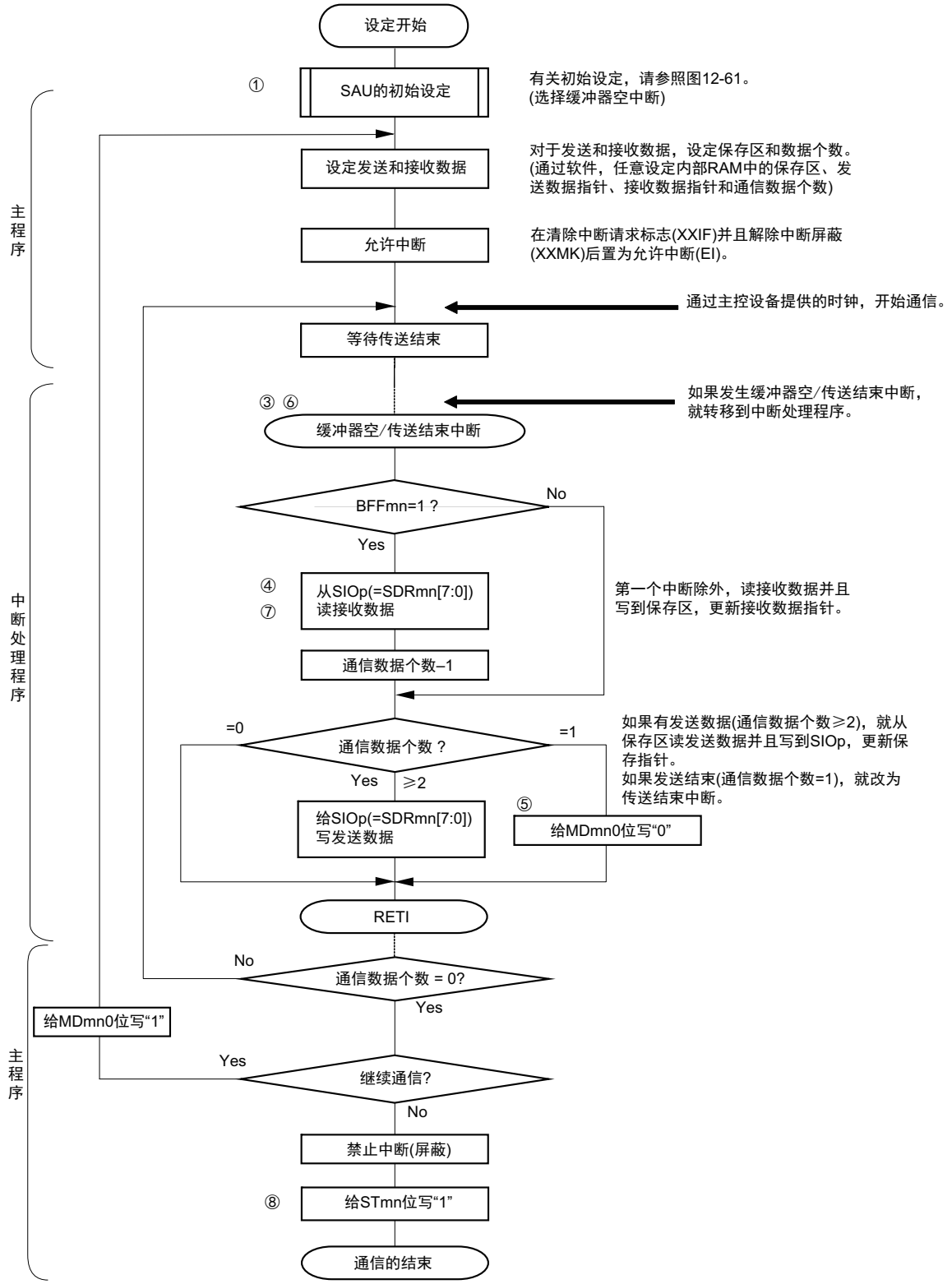
2. 如果在此期间读取 SDRmn 寄存器，就能读发送数据。此时，不影响传送运行。

注意 即使在运行中也能改写串行模式寄存器 mn （SMRmn）的 MDmn0 位。但是，为了能赶上最后发送数据的传送结束中断，必须在开始传送最后一位之前进行改写。

备注 1. 图中的①～⑧对应 “ 图 12-67 从属发送和接收 （连续发送和接收模式）的流程图 ” 中的①～⑧。

2. m：单元号 （m=0） n：通道号 （n=0、 1） p：CSI 号 （p=00、 01） mn=00、 01

图 12-67 从属发送和接收 （连续发送和接收模式）的流程图



注意 在主控设备开始输出时钟前，必须给 SIOp 寄存器设定发送数据。

备注 图中的①～⑧对应 “ 图 12-66 从属发送和接收 （连续发送和接收模式）的时序图 ” 中的①～⑧。

12.5.7 SNOOZE 模式功能

这是在 STOP 模式中通过检测 $\overline{SCKp}$ 引脚输入使 CSI 进行接收的模式。通常，在 STOP 模式中 CSI 停止通信，但是使用此模式并且通过检测 $\overline{SCKp}$ 引脚输入，能在 CPU 不运行的状态下进行 CSI 的接收。只有 CSI00 能设定 SNOOZE 模式。

要在 SNOOZE 模式中使用 CSI 时，必须在转移到 STOP 模式前进行以下设定 （参照 “ 图 12-69 SNOOZE 模式运行 （启动一次）的流程图 ”、“ 图 12-71 SNOOZE 模式运行 （连续启动）的流程图 ”）。

- 在即将要转移到STOP模式前，将串行待机控制寄存器m （SSCm）的SWCm位置“1”。初始设定结束后，将串行通道开始寄存器m （SSm）的SSm0位置“1”。

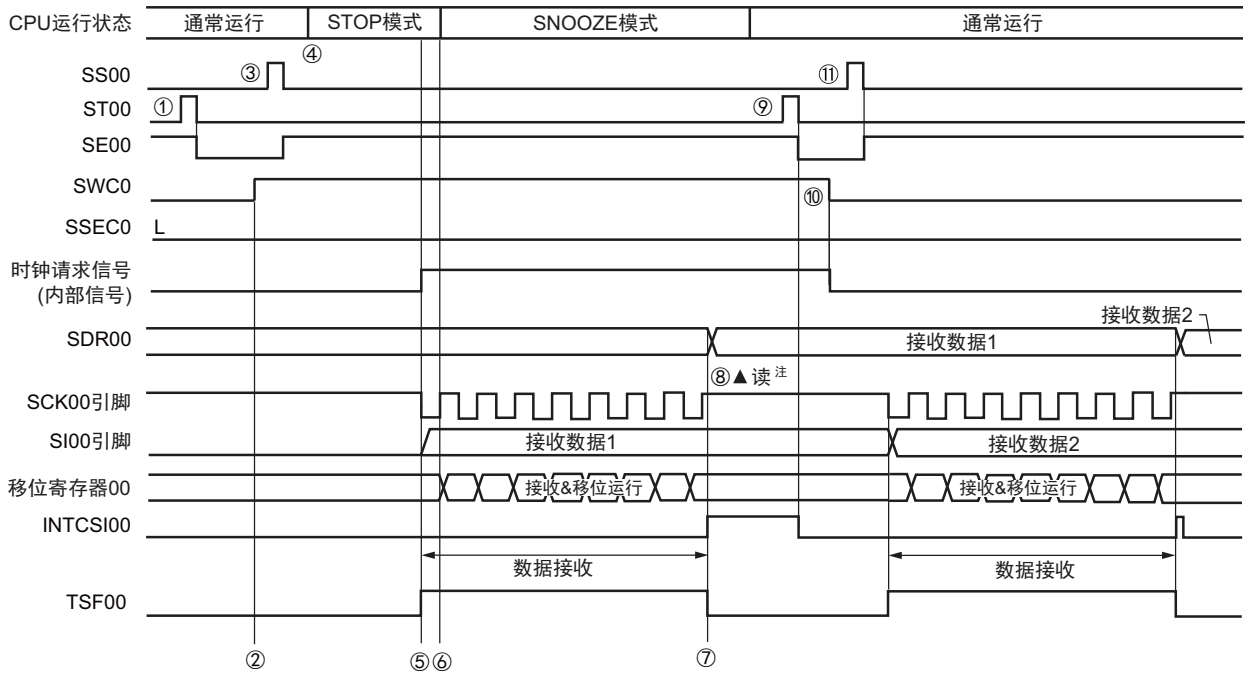
在转移到 STOP 模式后，如果检测到 SCKp 引脚的边沿，就开始 CSI 接收。

注意 1. 只有在选择高速内部振荡器时钟作为 f_{CLK} 时才能设定 SNOOZE 模式。

2. 在 SNOOZE 模式中使用时，最大传送速率为 1Mbps。

(1) SNOOZE 模式运行 （启动一次）

图 12-68 SNOOZE 模式运行 （启动一次）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



注 必须在 SWCm 位为 “1” 的状态下并且检测到 $\overline{SCKp}$ 引脚输入的下一个边沿前读接收数据。

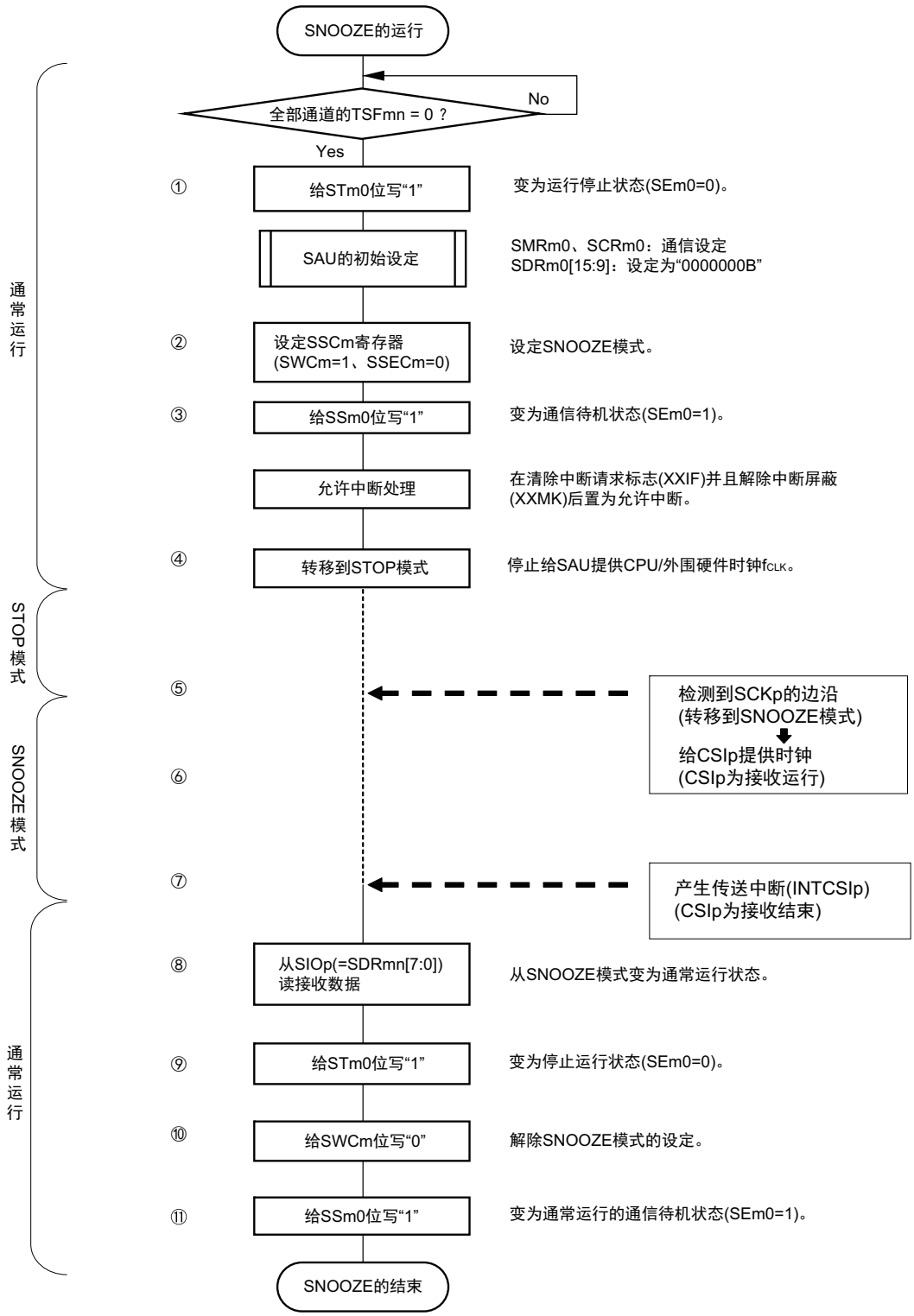
注意 1. 在向 SNOOZE 模式转移前或者在 SNOOZE 模式中接收结束后，必须将 STm0 位置 “1” （清除 SEm0 位并且停止运行），而且还必须在接收结束后清除 SWCm 位 （解除 SNOOZE 模式）。

2. 在 SWCm=1 时， BFFm0、 OVFm0 标志不发生变化。

备注 1. 图中的①～⑪对应 “ 图 12-69 SNOOZE 模式运行 （启动一次）的流程图 ” 中的①～⑪。

2. m=0、 p=00

图 12-69 SNOOZE 模式运行 （启动一次）的流程图

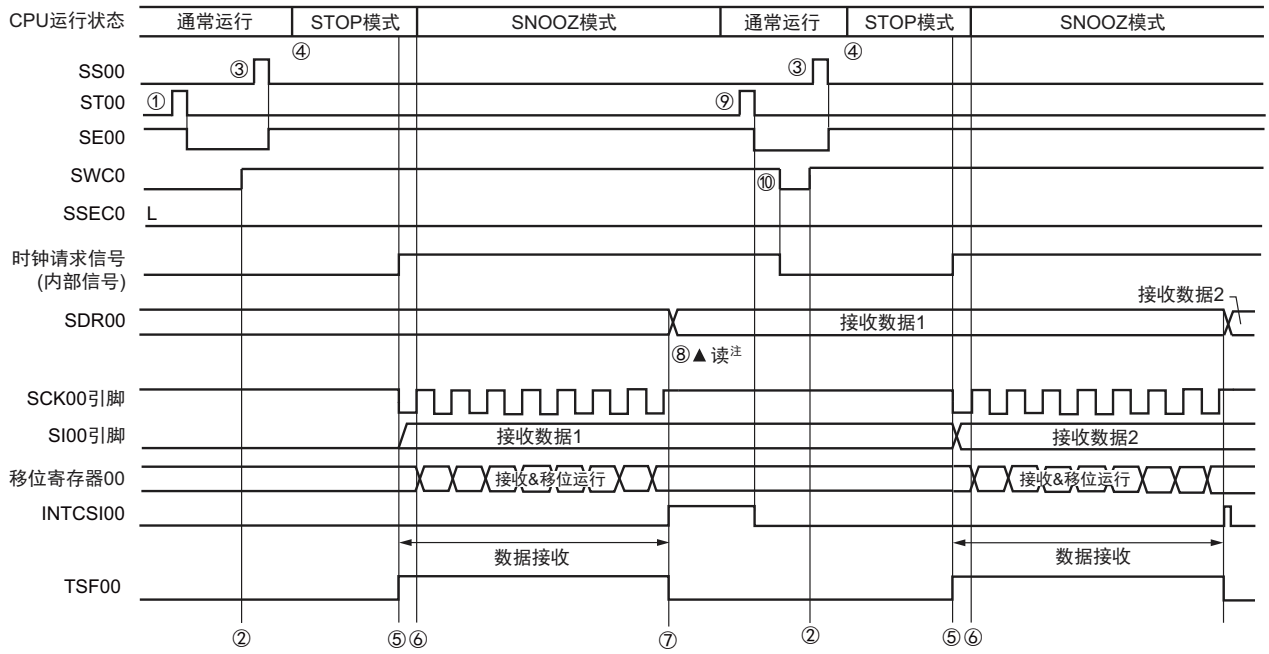


备注 1. 图中的①～⑪对应 “ 图 12-68 SNOOZE 模式运行 （启动一次）的时序图 ” 中的①～⑪。

2. m=0、 p=00

(2) SNOOZE 模式运行 （连续启动）

图 12-70 SNOOZE 模式运行 （连续启动）的时序图 （类型 1：DAPmn=0、 CKPmn=0）



注 必须在 SWCm 位为 “1” 的状态下并且在检测到 $\overline{\text{SCKp}}$ 引脚输入的下一个边沿前读接收数据。

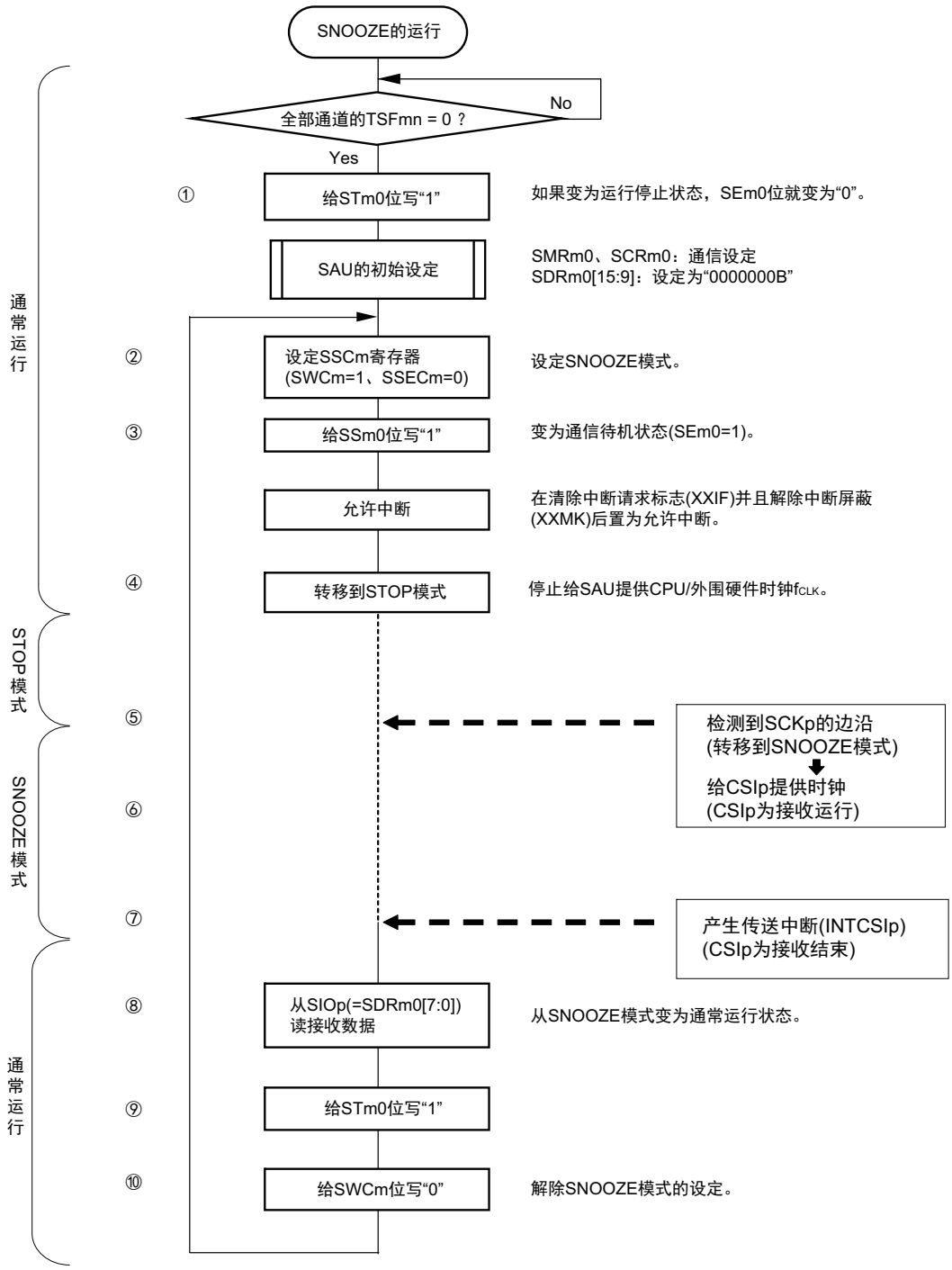
注意 1. 在向 SNOOZE 模式转移前或者在 SNOOZE 模式中接收结束后，必须将 STm0 位置 “1” （清除 SEm0 位并且停止运行），而且还必须在接收结束后清除 SWCm 位 （解除 SNOOZE 模式）。

2. 在 SWCm=1 时， BFFm0、 OVFm0 标志不发生变化。

备注 1. 图中的①～⑩对应 “ 图 12-71 SNOOZE 模式运行 （连续启动）的流程图 ” 中的①～⑩。

2. m=0、 p=00

图 12-71 SNOOZE 模式运行 （连续启动）的流程图



备注 1. 图中的①～⑩对应 “ 图 12-70 SNOOZE 模式运行 （连续启动）的时序图 ” 中的①～⑩。

2. m=0、 p=00

12.5.8 传送时钟频率的计算

3 线串行 I/O （CSI00、 CSI01）通信的传送时钟频率能用以下计算式进行计算。

(1) 主控设备

（传送时钟频率） = { 对象通道的运行时钟 （f_{MCK}）频率 } ÷ (SDRmn[15:9] + 1) ÷ 2[Hz]

(2) 从属设备

（传送时钟频率） = { 主控设备提供的串行时钟 （$\overline{SCK}$）频率 }注 [Hz]

注 容许的最大传送时钟频率为 f_{MCK}/6。

备注 因为 SDRmn[15:9] 的值为串行数据寄存器 mn （SDRmn）的 bit15 ～ 9 的值 （0000000B ～ 1111111B），所以为 0 ～ 127。

运行时钟（f_{MCK}）取决于串行时钟选择寄存器 m（SPSm）和串行模式寄存器 mn（SMRmn）的 bit15（CKSmn）。

表 12-2 3 线串行 I/O 运行时钟的选择

SMRmn 寄存器	SPSm 寄存器								运行时钟 （f_{MCK}）注	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f_{CLK}=24MHz 运行时
0	X	X	X	X	0	0	0	0	f_{CLK}	24MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732Hz
上述以外									禁止设定	

注 要更改被选择为 f_{CLK} 的时钟 （更改系统时钟控制寄存器 （CKC）的值）时，必须在停止串行阵列单元 （SAU）的运行 （串行通道停止寄存器 m （STm） =000FH）后进行更改。

备注 1. X：忽略

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

12.5.9 在 3 线串行 I/O （CSI00、 CSI01）通信过程中发生错误时的处理步骤

在 3 线串行 I/O （CSI00、 CSI01）通信过程中发生的错误时的处理步骤如图 12-72 所示。

图 12-72 发生溢出错误时的处理步骤

软件操作	硬件状态	备注
读串行数据寄存器 mn （SDRmn）。→	SSRmn 寄存器的 BFFmn 位为 “0” 并且通道 n 为可接收状态。	这是为了防止在错误处理的过程中结束下一次接收而发生溢出错误。
读串行状态寄存器 mn （SSRmn）。		判断错误的种类，读取值用于清除错误标志。
给串行标志清除触发寄存器 mn（SIRmn）写 “1”。→	清除错误标志。	通过将 SSRmn 寄存器的读取值直接写到 SIRmn 寄存器，只能清除读操作时的错误。

备注 m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

12.6 UART （UART0）通信的运行

这是通过串行数据发送 （TxD）和串行数据接收 （RxD）共 2 条线进行异步通信的功能。使用这 2 条通信线，按数据帧 （由起始位、数据、奇偶校验位和停止位构成）与其他通信方进行异步 （使用内部波特率）的数据发送和接收。能通过使用发送专用 （偶数通道）和接收专用 （奇数通道）共 2 个通道来实现全双工 UART 通信。而且还能通过组合定时器阵列单元和外部中断 （INTP0）来支持 LIN-bus。

[数据的发送和接收]
- 7位、 8位或者9位的数据长度
- MSB/LSB优先的选择
- 发送和接收数据的电平设定、反相的选择
- 奇偶校验位的附加、奇偶校验功能
- 停止位的附加、停止位检查功能

[中断功能]
- 传送结束中断、缓冲器空中断
- 帧错误、奇偶校验错误和溢出错误引起的错误中断

[错误检测标志]
- 帧错误、奇偶校验错误、溢出错误

UART0 支持 SNOOZE 模式。SNOOZE 模式功能是指，如果在 STOP 模式的状态下检测到 RxD 的输入，就不需要 CPU 运行而接收数据。

UART0 使用通道 0 和通道 1。

通道	用作 CSI	用作 UART
0	CSI00	UART0
1	CSI01	

注意 当用作 UART 时，无论是发送方 （偶数通道）或者接收方 （奇数通道）都只能用作 UART。

UART 有以下 2 种通信运行：
- UART发送 （参照12.6.1）
- UART接收 （参照12.6.2）

12.6.1 UART 发送

UART 发送是 R7F0C001G/L、 R7F0C002G/L 将数据异步发送到其他设备的运行。

UART 使用的 2 个通道中的偶数通道用于 UART 发送。

UART	UART0
对象通道	通道 0
使用的引脚	TxD0
中断	INTST0
	可选择发送结束中断 （单次发送模式）或者缓冲器空中断 （连续发送模式）。
错误检测标志	无
传送数据长度	7 位、 8 位或者 9 位
传送速率	Max. f_{MCK}/6[bps] （SDRmn[15:9] ≥ 2）、 Min. $f_{CLK}/(2\times2^{15}\times128)$[bps] 注
数据相位	不反相输出 （默认值：高电平）。 反相输出 （默认值：低电平）。
奇偶校验位	可选择以下内容： • 无奇偶校验位 • 附加零校验 • 附加偶校验 • 附加奇校验
停止位	可选择以下内容： • 附加 1 位 • 附加 2 位
数据方向	MSB 优先或者 LSB 优先

注 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 1. f_{MCK}：对象通道的运行时钟频率

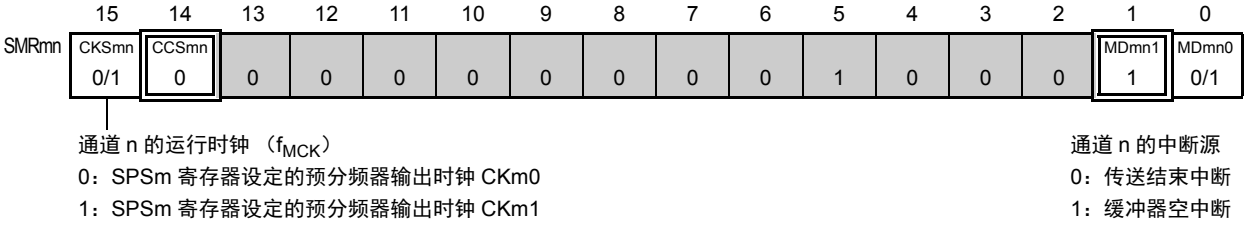
f_{CLK}：系统时钟频率

2. m：单元号 （m=0） n：通道号 （n=0） mn=00

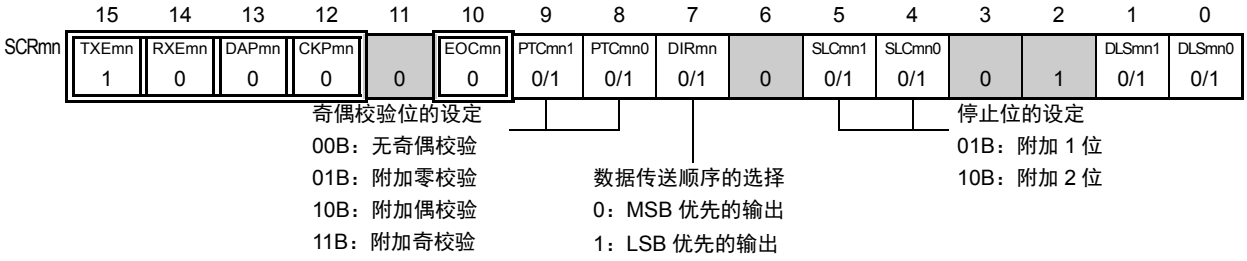
(1) 寄存器的设定

图 12-73 UART （UART0）的 UART 发送时的寄存器设定内容例子 (1/2)

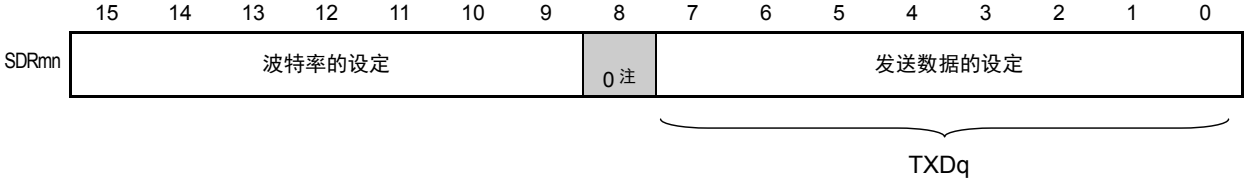
(a) 串行模式寄存器 mn （SMRmn）



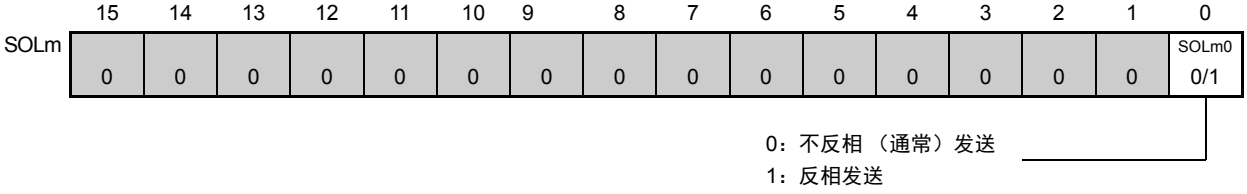
(b) 串行通信运行设定寄存器 mn （SCRmn）



(c) 串行数据寄存器 mn （SDRmn）（低 8 位：TXDq）



(d) 串行输出电平寄存器 m （SOLm） …… 只设定对象通道的位。



注 当进行 9 位数据长度的通信时， SDRm0 寄存器的 bit0 ～ 8 为发送数据的设定区。

备注 1. m ：单元号 （m=0） n：通道号 （n=0） q：UART 号 （q=0） mn=00

2. □ ：在 UART 发送模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

图 12-73 UART （UART0）的 UART 发送时的寄存器设定内容例子 (2/2)

(e) 串行输出寄存器 m （SOm） …… 只设定对象通道的位。

SOm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 ×	SOm0 0/1 注

0：串行数据输出值为 “0”
1：串行数据输出值为 “1”

(f) 串行输出允许寄存器 m （SOEm） …… 只将对象通道的位置 “1”。

SOEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 0/1

(g) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。

SSm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 ×	SSm0 0/1

注 在开始发送前，当对应通道的 SOLmn 位为 “0” 时，必须置 “1” ；当对应通道的 SOLmn 位为 “1” 时，必须置 “0”。在通信过程中，值因通信数据而不同。

备注 1. m ：单元号 （m=0） n：通道号 （n=0） mn=00

2. □ ：在 UART 发送模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-74 UART 发送的初始设定步骤

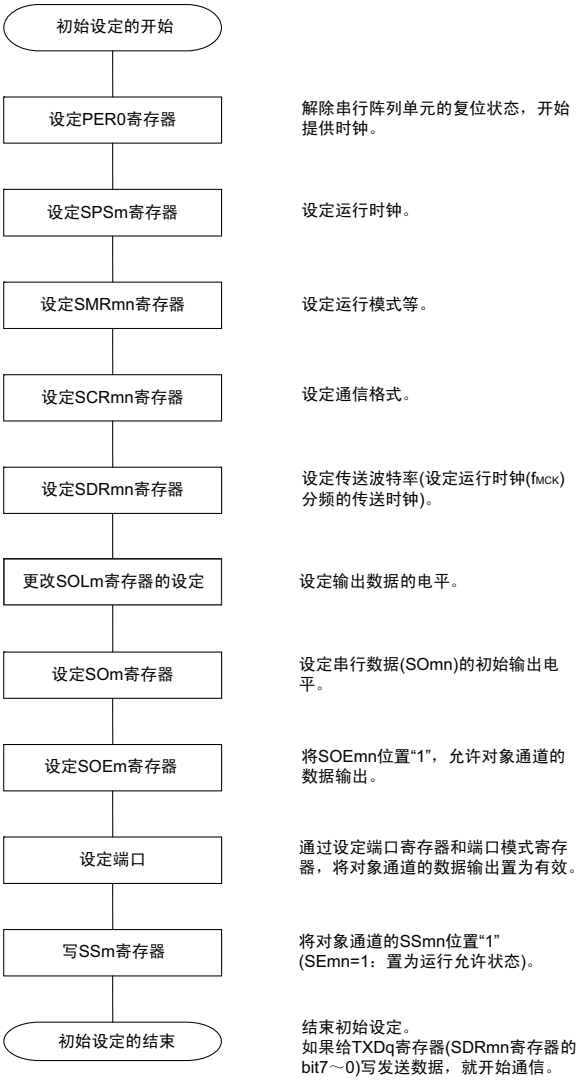


图 12-75 UART 发送的中止步骤

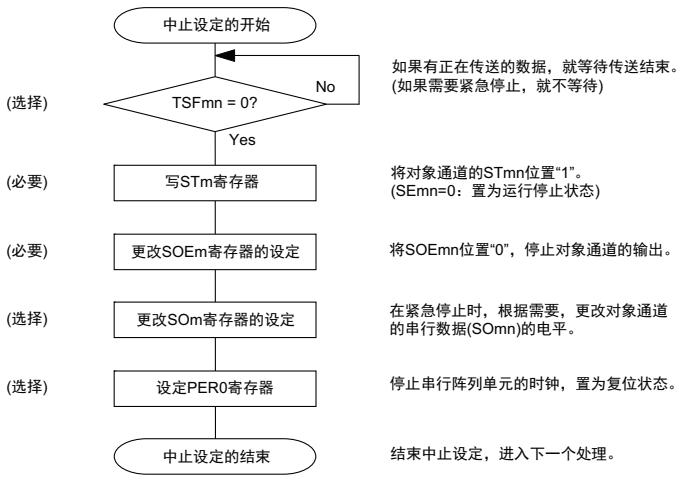
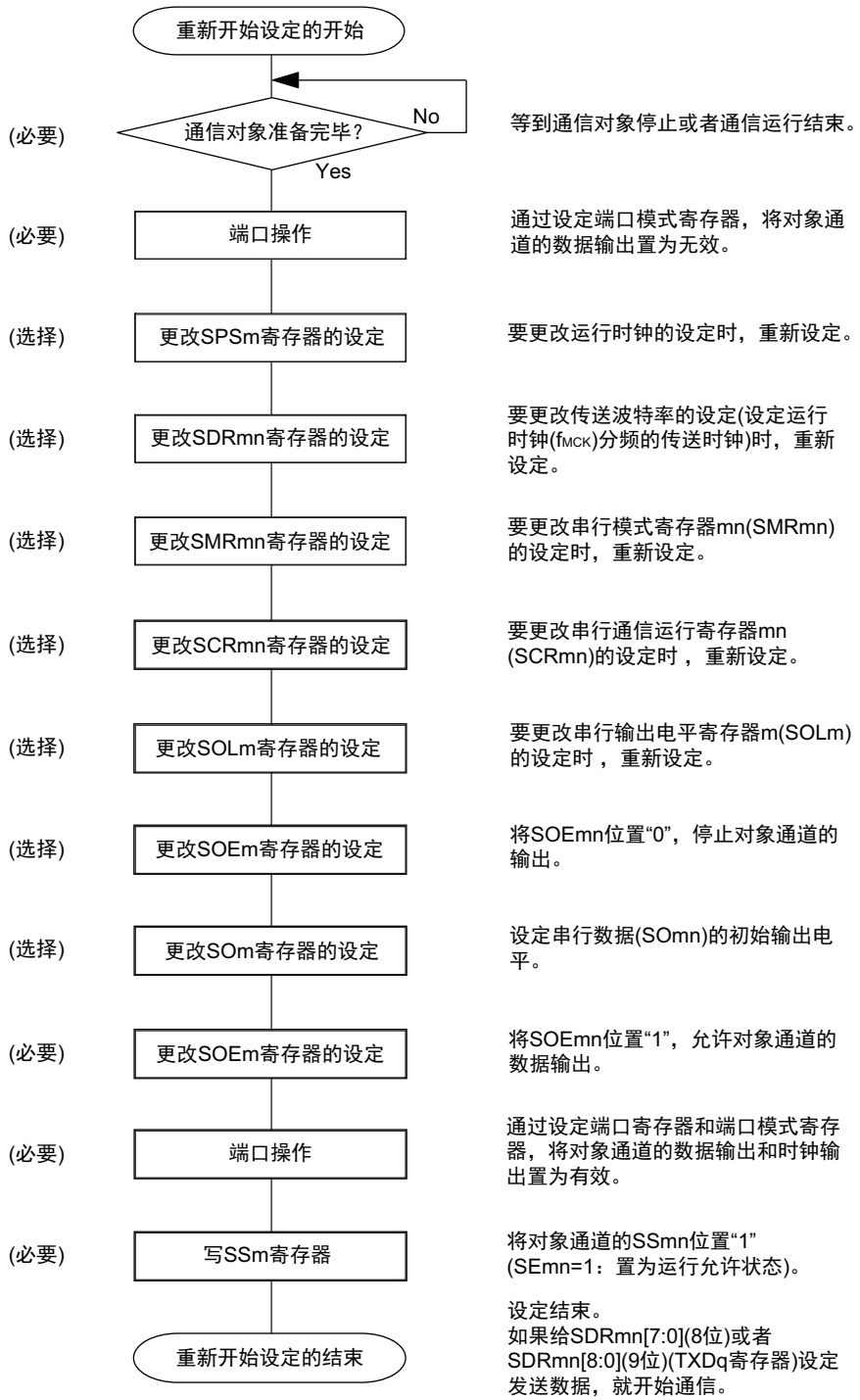


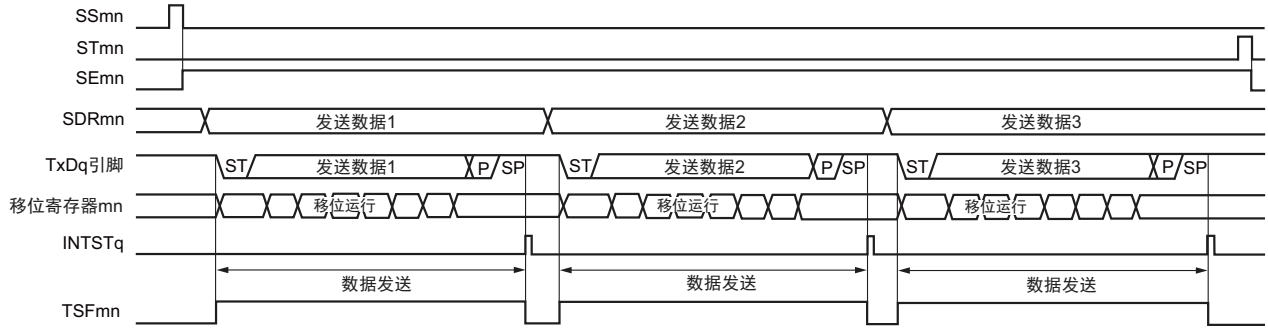
图 12-76 UART 发送的重新开始设定步骤



备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象的停止或者通信结束后进行初始设定而不是进行重新开始设定。

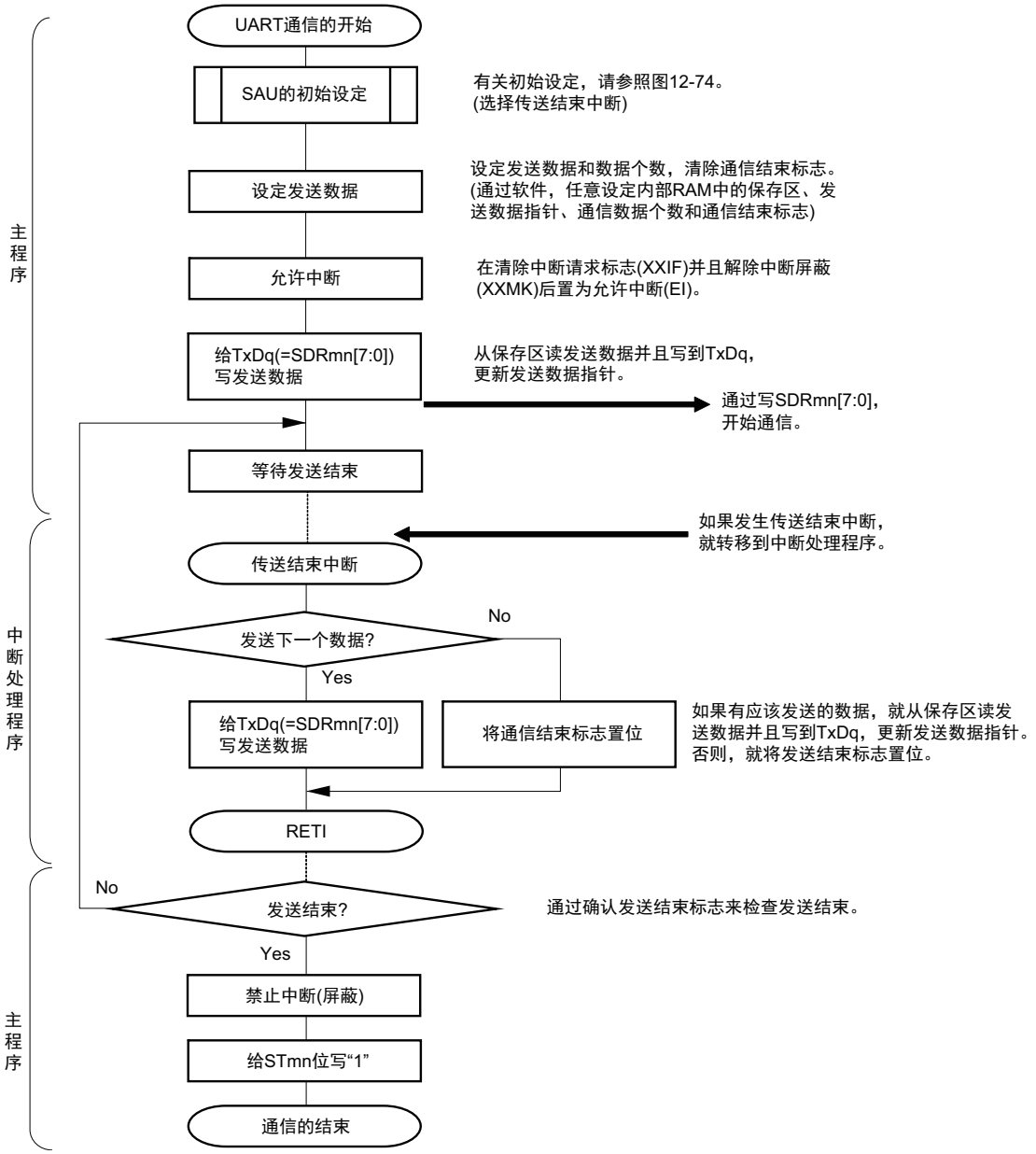
(3) 处理流程 （单次发送模式）

图 12-77 UART 发送 （单次发送模式）的时序图



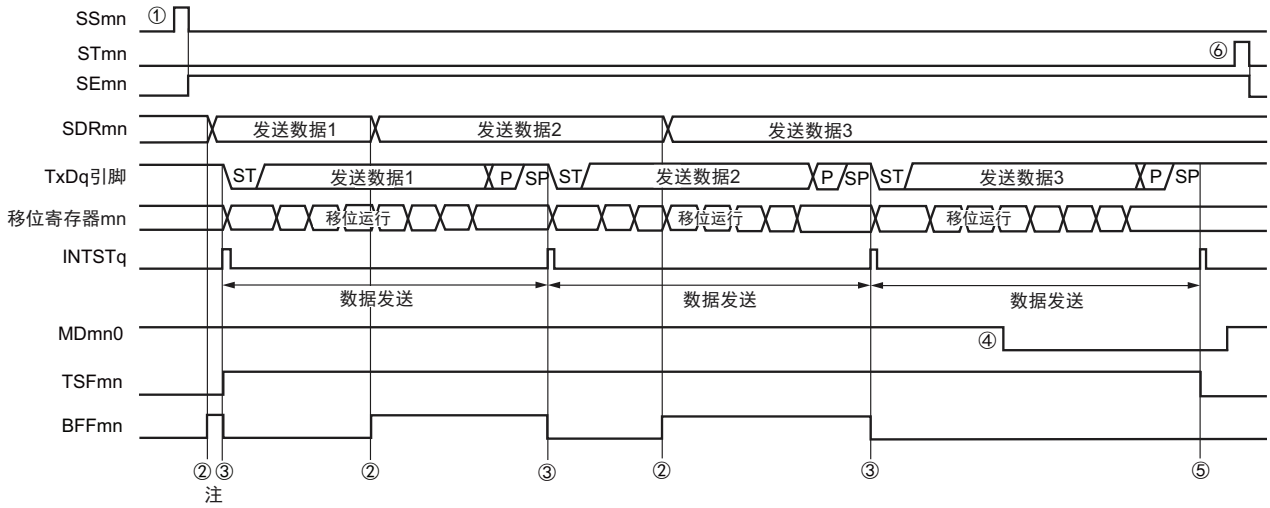
备注 m：单元号 （m=0） n：通道号 （n=0） q：UART 号 （q=0） mn=00

图 12-78 UART 发送 （单次发送模式）的流程图



(4) 处理流程 （连续发送模式）

图 12-79 UART 发送 （连续发送模式）的时序图

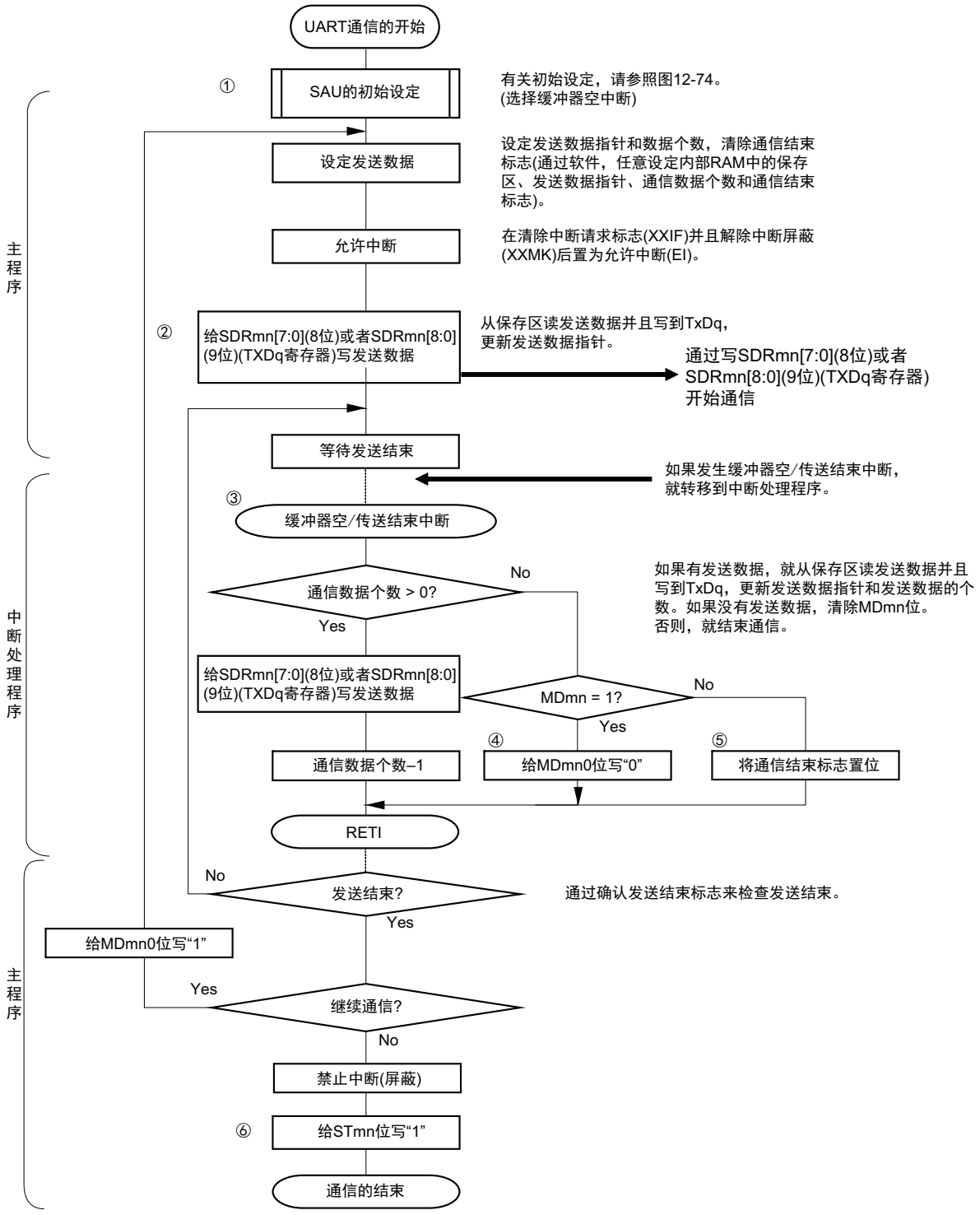


注 如果在串行状态寄存器 mn （SSRmn）的 BFFmn 位为 “1” 期间 （有效数据保存在串行数据寄存器 mn （SDRmn）时）给 SDRmn 寄存器写发送数据，就重写发送数据。

注意 即使在运行中也能改写串行模式寄存器 mn （SMRmn）的 MDmn0 位。但是，为了能赶上最后发送数据的传送结束中断，必须在开始传送最后一位之前进行改写。

备注 m：单元号 （m=0） n：通道号 （n=0） q：UART 号 （q=0） mn=00

图 12-80 UART 发送 （连续发送模式）的流程图



备注 图中的①～⑥对应“ 图 12-79 UART 发送 （连续发送模式）的时序图 ”中的①～⑥。

12.6.2 UART 接收

UART 接收是 R7F0C001G/L、 R7F0C002G/L 从其他设备异步接收数据的运行。

UART 使用的 2 个通道中的奇数通道用于 UART 接收。但是，需要设定奇数通道和偶数通道的 SMR 寄存器。

UART	UART0
对象通道	通道 1
使用的引脚	RxD0
中断	INTSR0
	只限于传送结束中断 （禁止设定缓冲器空中断）。
错误中断	INTSRE0
错误检测标志	• 帧错误检测标志 （FEFmn） • 奇偶校验错误检测标志 （PEFmn） • 溢出错误检测标志 （OVFmn）
传送数据长度	7 位、 8 位或者 9 位
传送速率	Max. f_{MCK}/6[bps] （SDRmn[15:9] ≥ 2）、 Min. $f_{CLK}/(2\times2^{15}\times128)$ [bps] 注
数据相位	不反相输出 （默认值：高电平）。 反相输出 （默认值：低电平）。
奇偶校验位	可选择以下内容： • 无奇偶校验位 （无奇偶校验） • 不判断奇偶校验 （零校验） • 偶校验 • 奇校验
停止位	检查 1 位。
数据方向	MSB 优先或者 LSB 优先

注 必须在满足此条件并且满足电特性的外围功能特性 （参照 “ 第 27 章 电特性 ”）的范围内使用。

备注 1. f_{MCK}：对象通道的运行时钟频率

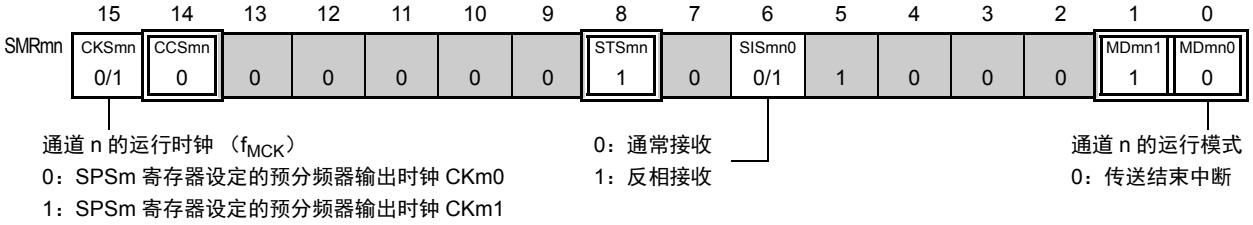
f_{CLK}：系统时钟频率

2. m：单元号 （m=0） n：通道号 （n=1） mn=01

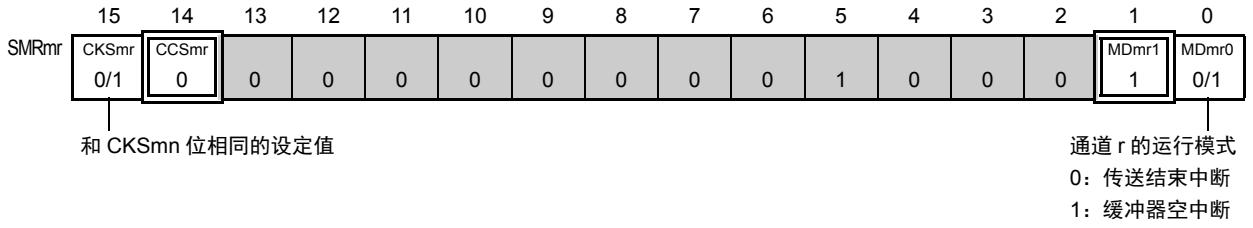
(1) 寄存器的设定

图 12-81 UART （UART0）的 UART 接收时的寄存器设定内容例子 (1/2)

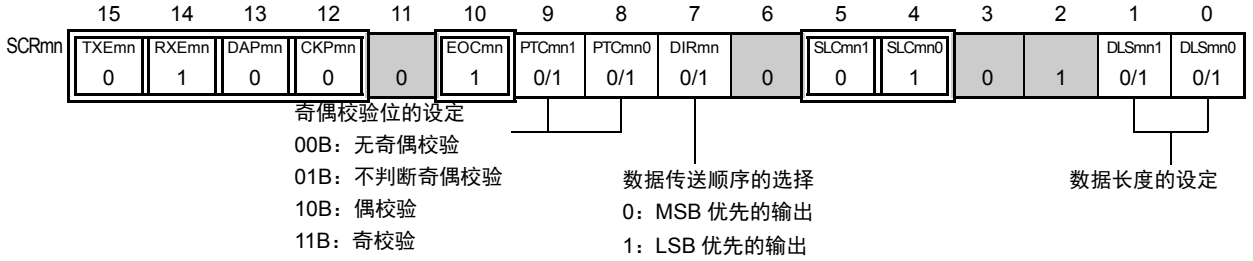
(a) 串行模式寄存器 mn （SMRmn）



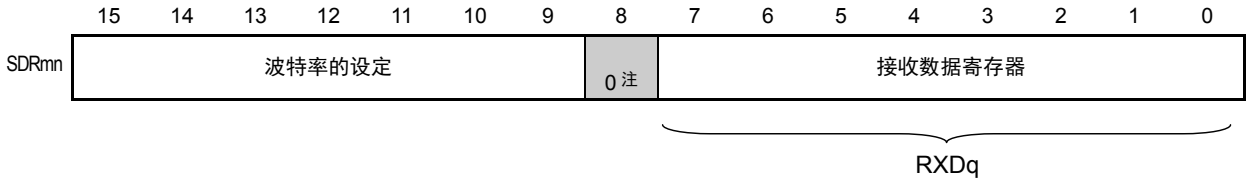
(b) 串行模式寄存器 mr （SMRmr）



(c) 串行通信运行设定寄存器 mn （SCRmn）



(d) 串行数据寄存器 mn （SDRmn）（低 8 位：RXDq）



注 当进行 9 位数据长度的通信时， SDRm1 寄存器的 bit0 ～ 8 为发送数据的设定区。

注意 在 UART 接收时，还必须将与通道 n 成对的通道 r 的 SMRmr 寄存器设定为 UART 发送模式。

备注 1. m：单元号 （m=0） n：通道号 （n=1） mn=01 r：通道号 （r=n–1） q：UART 号 （q=0）

2. □ ：在 UART 接收模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

图 12-81 UART （UART0）的 UART 接收时的寄存器设定内容例子 (2/2)

(e) 串行输出寄存器 m （SOm） …… 在此模式中不使用。

SOm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 ×	SOm0 ×

(f) 串行输出允许寄存器 m （SOEm） …… 在此模式中不使用。

SOEm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(g) 串行通道开始寄存器 m （SSm） …… 只将对象通道的位置 “1”。

SSm	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 ×

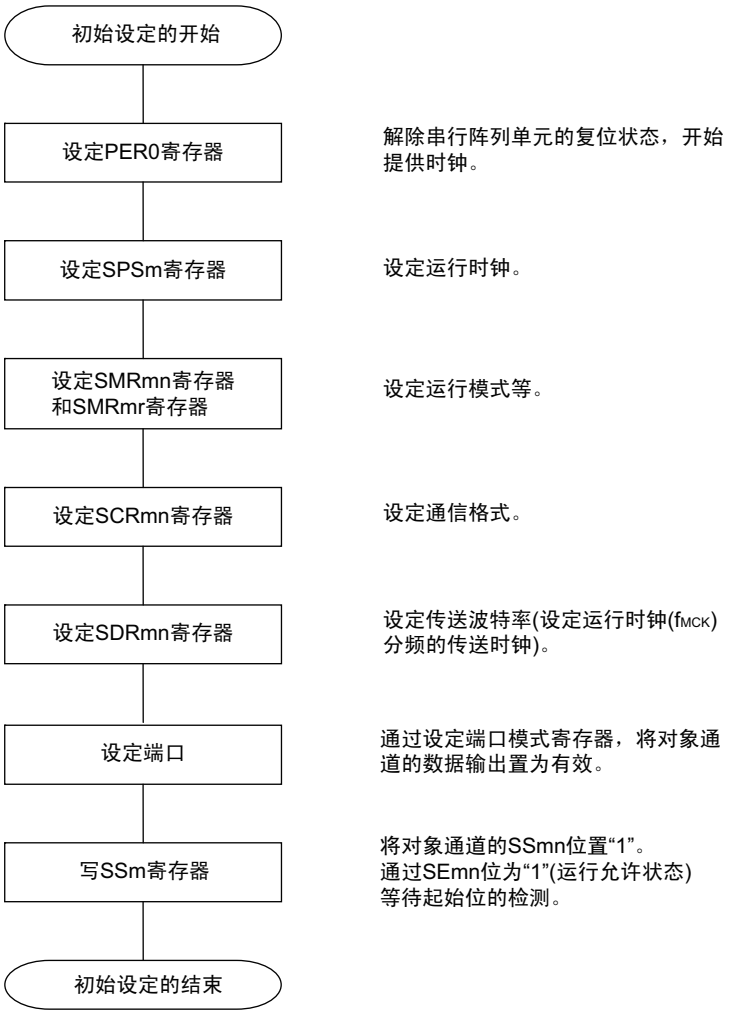
注意 在 UART 接收时，还必须将与通道 n 成对的通道 r 的 SMRmr 寄存器设定为 UART 发送模式。

备注 1. m：单元号 （m=0） n：通道号 （n=1） mn=01 r：通道号 （r=n–1） q：UART 号 （q=0）

2. □ ：在 UART 接收模式中为固定设定。■ ：不能设定 （设定初始值）。
× ：这是在此模式中不能使用的位 （在其他模式中也不使用的情况下，设定初始值）。
0/1 ：根据用户的用途置 “0” 或者 “1”。

(2) 操作步骤

图 12-82 UART 接收的初始设定步骤



注意 必须在将 SCRmn 寄存器的 RXEmn 位置 “1” 后至少经过 4 个 f_{CLK} 时钟，然后将 SSmn 位置 “1”。

图 12-83 UART 接收的中止步骤

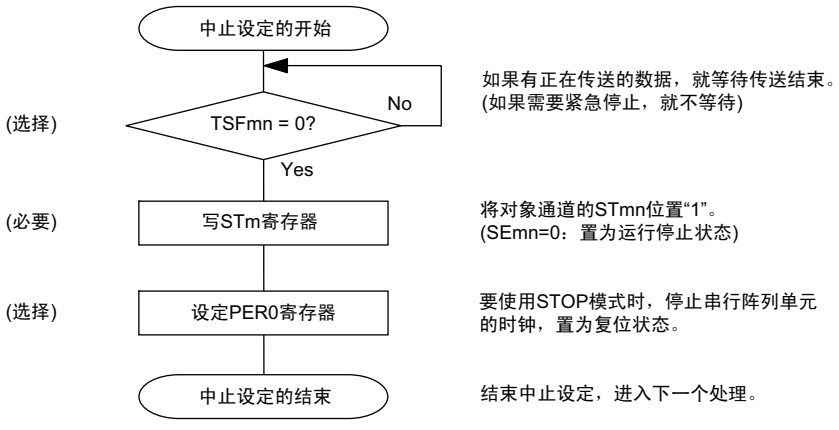


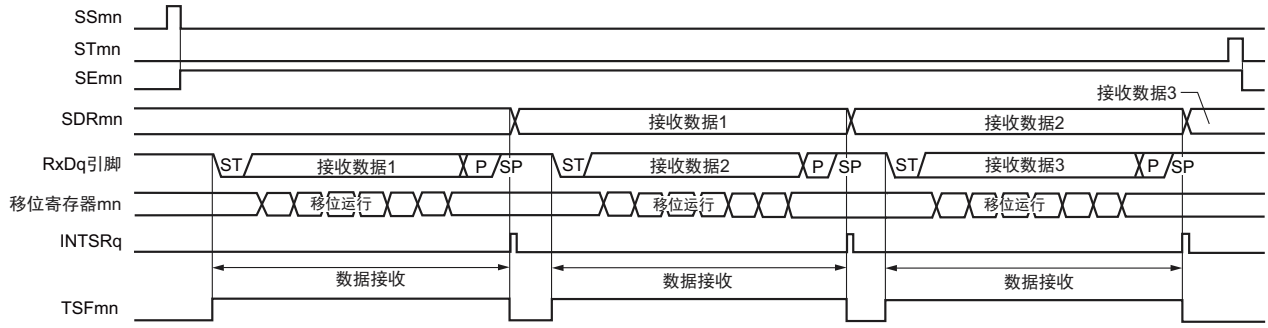
图 12-84 UART 接收的重新开始设定步骤

注意 必须在将 SCRmn 寄存器的 RXEmn 位置 “1” 后至少经过 4 个 f_{MCK} 时钟，然后将 SSmn 位置 “1”。

备注 如果在中止设定中改写 PER0 来停止提供时钟，就必须在等待通信对象的停止或者通信结束后进行初始设定而不是进行重新开始设定。

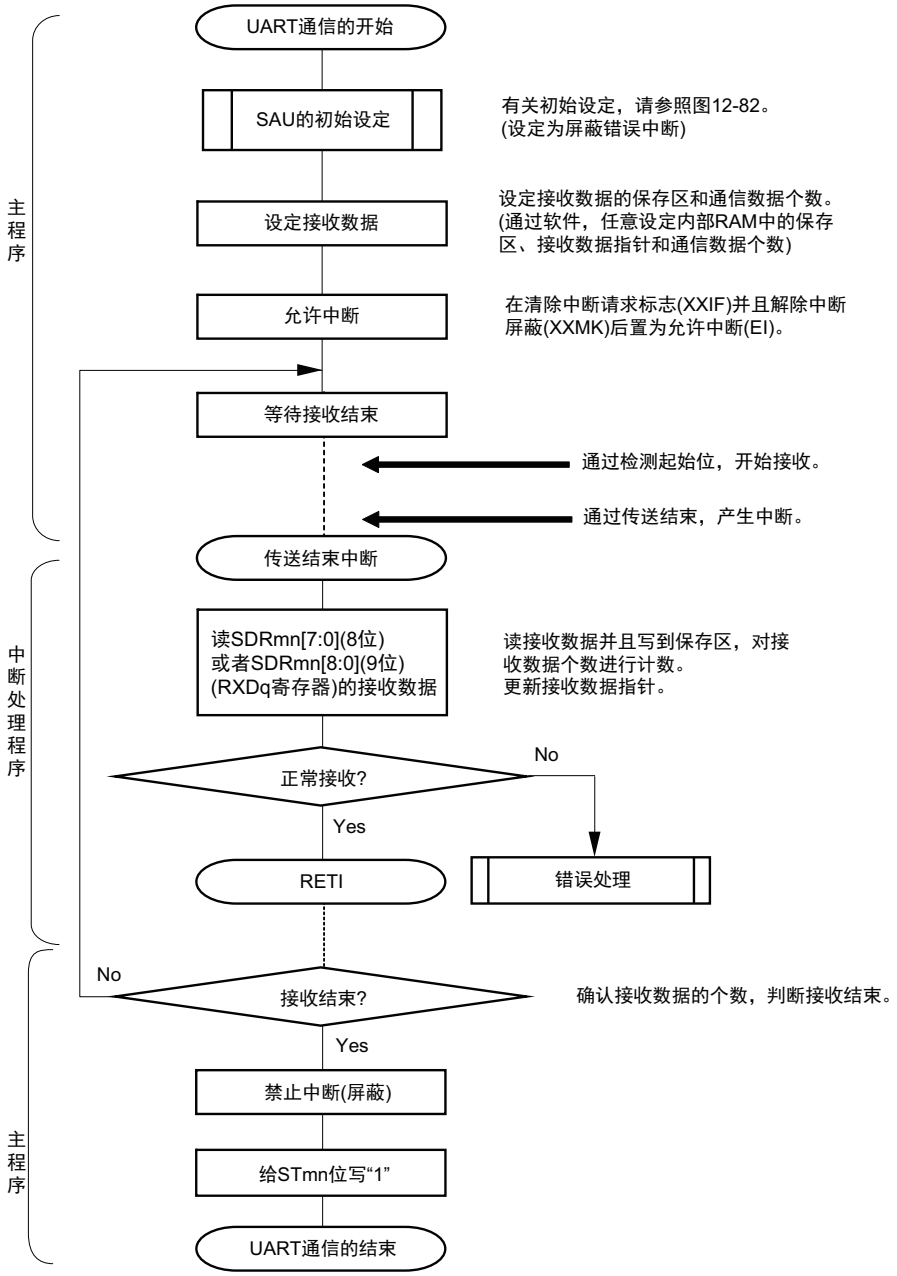
(3) 处理流程

图 12-85 UART 接收的时序图



备注 m：单元号 （m=0） n：通道号 （n=1） mn=01 r：通道号 （r=n–1） q：UART 号 （q=0）

图 12-86 UART 接收的流程图



12.6.3 SNOOZE 模式功能

这是在 STOP 模式中通过检测 RxDq 引脚的输入使 UART 进行接收的模式。通常，在 STOP 模式中 UART 停止通信，但是使用此模式并且通过检测 RxDq 引脚的输入，能在 CPU 不运行的状态下进行 UART 的接收。

只有 UART0 能设定 SNOOZE 模式。

如果要在 SNOOZE 模式中使用 UARTq，必须在即将要转移到 STOP 模式前进行以下设定 （参照图 “ 图 12-89 SNOOZE 模式运行（EOCm1=0、SSECm=0/1 或者 EOCm1=1、SSECm=0）的流程图 ”、“ 图 12-91 SNOOZE 模式运行 （EOCm1=1、 SSECm=1）的流程图 ”）。

- 在SNOOZE模式中，需要将UART接收波特率的设定更改为与通常运行时不同的值。参照表12-3设定SPSm寄存器和SDRmn寄存器的bit15～9。
- 设定EOCmn位和SSECmn位。能在发生通信错误时设定允许或者禁止发生错误中断 （INTSRE0）。
- 在即将要转移到STOP模式前将串行待机控制寄存器m （SSCm）的SWCm位置“1”。初始设定结束后，将串行通道开始寄存器m （SSm）的SSm1位置“1”。

在转移到 STOP 模式后，如果检测到 RxDq 的边沿 （输入开始位），就开始 UART 接收。

注意 1. 只有在选择高速内部振荡器时钟 （f_{IH}）作为 f_{CLK} 时才能使用 SNOOZE 模式功能。

2. SNOOZE 模式中的传送速率只能为 4800bps。
3. 在 SWCm 位为 “1” 的情况下，只能在 STOP 模式中开始接收时使用 UARTq。通过同时使用 SNOOZE 模式功能和中断，在以下非 STOP 模式的状态下开始接收时，有可能无法正常接收数据，并且有可能发生帧错误或者奇偶校验错误。
   - 将 SWCm 位置 “1” 后，转移到 STOP 模式前开始接收时
   - 在其他 SNOOZE 模式中开始接收时
   - 通过中断等从 STOP 模式返回到通常运行后，将 SWCm 位置 “0” 前开始接收时
4. 在 SSECm 位为 “1” 的情况下发生奇偶校验错误、帧错误或者溢出错误时，PEFmn、FEFmn、OVFmn 标志不被置位，而且也不发生错误中断 （INTSREq）。因此如果要在 SSECm 位为 “1” 时使用 SNOOZE 模式功能，必须在将 SWC0 置 “1” 前，清除 PEFmn、 FEFmn、 OVFmn 标志，并且读 SDRm1 寄存器的 bit7 ～ 0 （RxDq）。

表 12-3 SNOOZE 模式中的 UART 接收波特率的设定

高速内部振荡器（f_{IH}）	SNOOZE 模式中的 UART 接收波特率			
	波特率 4800bps			
	运行时钟 （f_{MCK}）	SDRmn[15:9]	最大容许值	最小容许值
32MHz±1.0% 注	$f_{CLK}/2^5$	105	2.27%	–1.53%
24MHz±1.0% 注	$f_{CLK}/2^5$	79	1.60%	–2.18%
16MHz±1.0% 注	$f_{CLK}/2^4$	105	2.27%	–1.53%
12MHz±1.0% 注	$f_{CLK}/2^4$	79	1.60%	–2.19%
8MHz±1.0% 注	$f_{CLK}/2^3$	105	2.27%	–1.53%
6MHz±1.0% 注	$f_{CLK}/2^3$	79	1.60%	–2.19%
4MHz±1.0% 注	$f_{CLK}/2^2$	105	2.27%	–1.53%
3MHz±1.0% 注	$f_{CLK}/2^2$	79	1.60%	–2.19%
2MHz±1.0% 注	$f_{CLK}/2$	105	2.27%	–1.54%
1MHz±1.0% 注	f_{CLK}	105	2.27%	–1.57%

注 在高速内部振荡器时钟频率的精度为 ±1.5%、 ±2.0% 时，容许范围将会变小，如下所示。

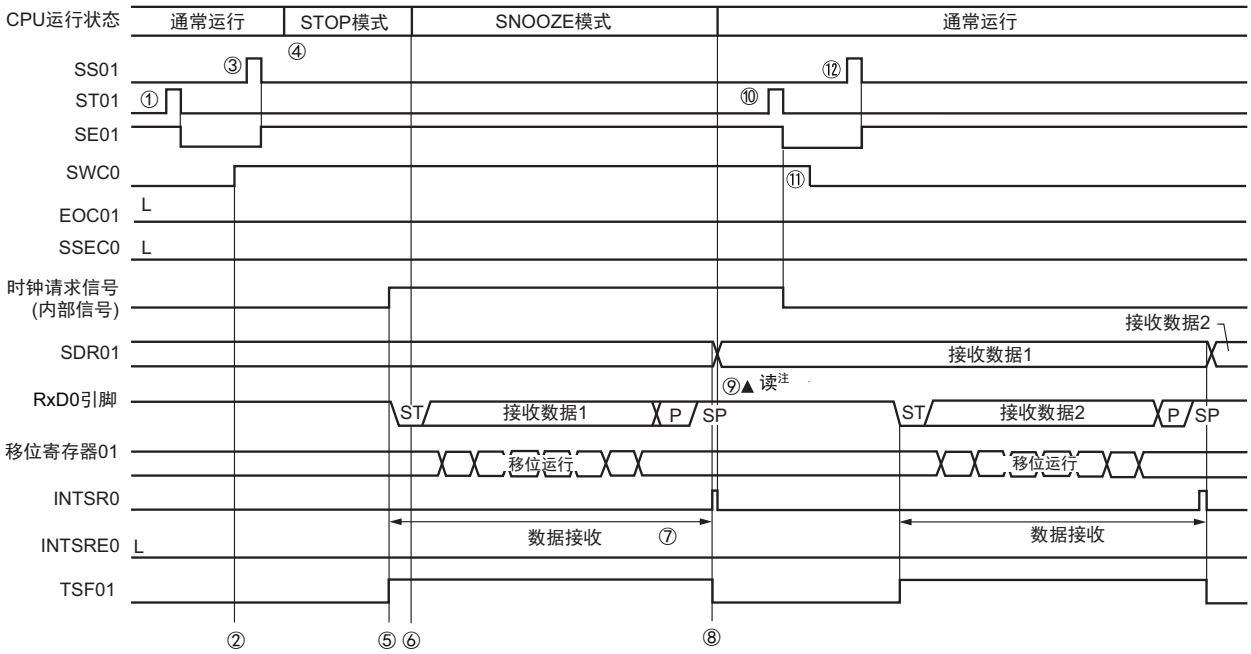
- 在 f_{IH}±1.5% 时，上表中的最大容许值必须减 0.5%，最小容许值必须加 0.5%。
- 在 f_{IH}±2.0% 时，上表中的最大容许值必须减 1.0%，最小容许值必须加 1.0%。

备注 最大容许值和最小容许值是 UART 接收时的波特率容许值。
发送方的波特率必须设定在此范围内。

(1) SNOOZE 模式运行 （EOCm1=0、 SSECm=0/1）

因为 EOCm1=0，所以与 SSECm 位的设定无关，即使发生通信错误，也不发生错误中断 （INTSREq）。但是发生传送结束中断 （INTSRq）。

图 12-87 SNOOZE 模式运行 （EOCm1=0、 SSECm=0/1）的时序图



注 必须在 SWCm 位为 “1” 的状态下读接收数据。

注意 在向 SNOOZE 模式转移前或者在 SNOOZE 模式中接收结束后，必须将 STm1 位置 “1”（清除 SEm1 位并且停止运行），而且还必须在接收结束后清除 SWCm 位 （解除 SNOOZE 模式）。

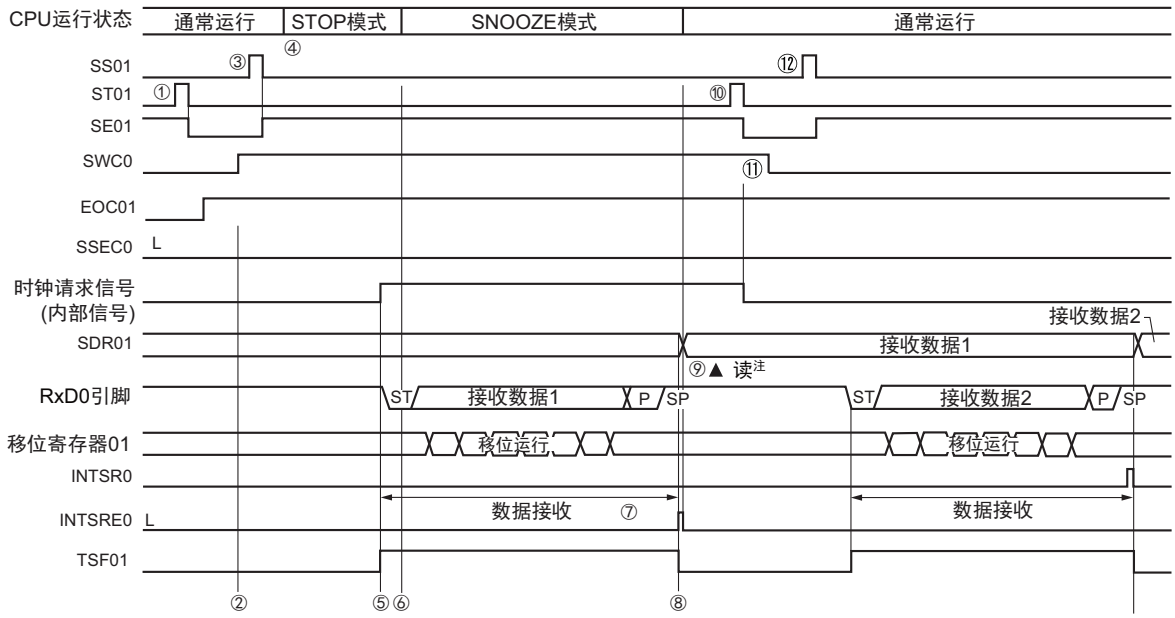
备注 1. 图中的①～⑫对应 “ 图 12-89 SNOOZE 模式运行（EOCm1=0、SSECm=0/1 或者 EOCm1=1、SSECm=0）的流程图 ” 中的①～⑫。

2. m=0、 q=0

(2) SNOOZE 模式运行 （EOCm1=1、 SSECm=0：允许发生错误中断 （INTSREq））

因为 EOCm1=1、 SSECm=0，所以在发生通信错误时发生错误中断 （INTSREq）。

图 12-88 SNOOZE 模式运行 （EOCm1=1、 SSECm=0）的时序图



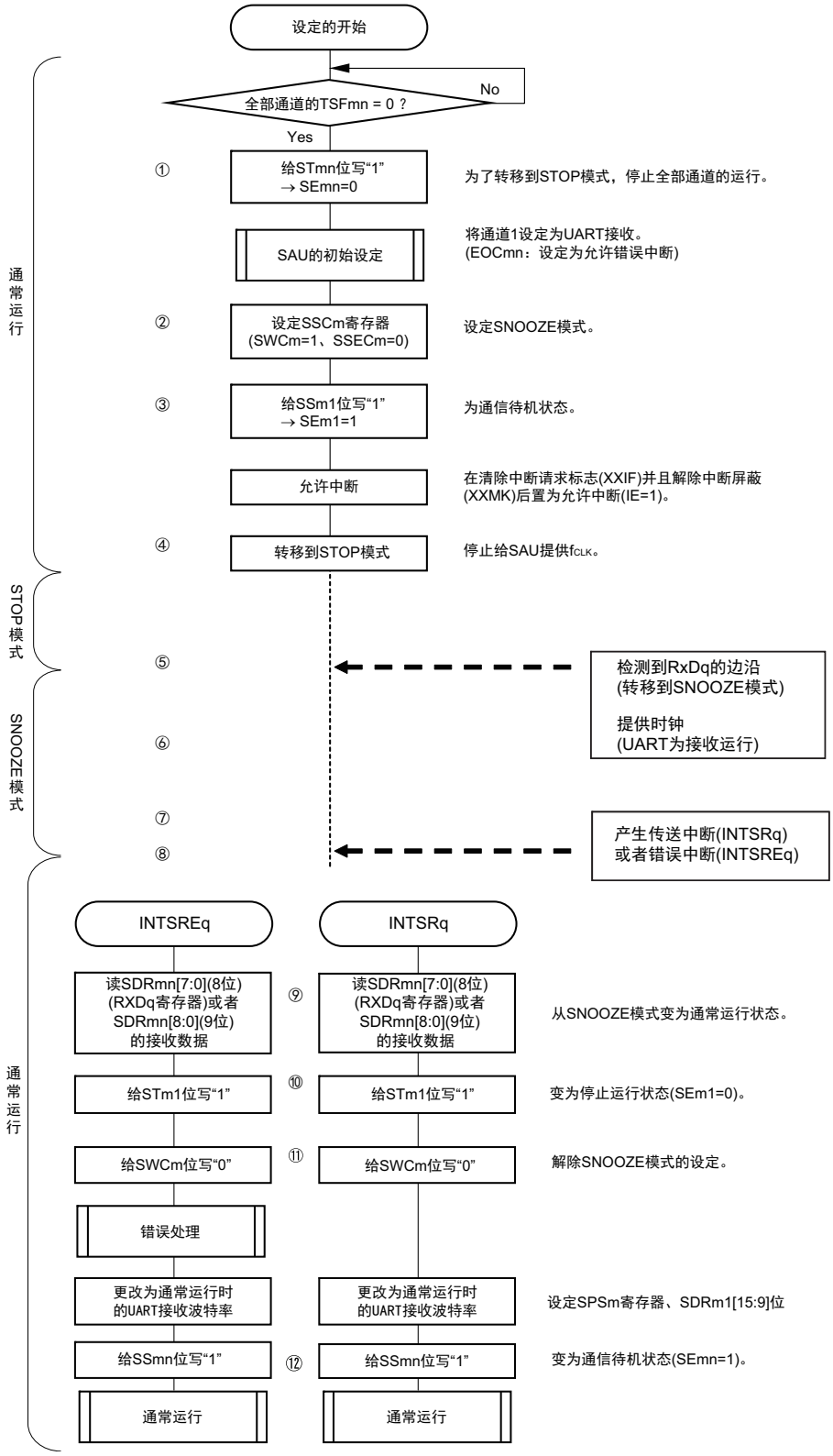
注 在 SWCm=1 的状态下，读接收数据。

注意 在向 SNOOZE 模式转移前或者在 SNOOZE 模式中接收结束后，必须将 STm1 位置 “1”（清除 SEm1 位并且停止运行），而且还必须在接收结束后清除 SWCm 位 （解除 SNOOZE 模式）。

备注 1. 图中的①～⑫对应 “ 图 12-89 SNOOZE 模式运行（EOCm1=0、SSECm=0/1 或者 EOCm1=1、SSECm=0）的流程图 ” 中的①～⑫。

2. m=0、 q=0

图 12-89 SNOOZE 模式运行 （EOCm1=0、 SSECm=0/1 或者 EOCm1=1、 SSECm=0）的流程图



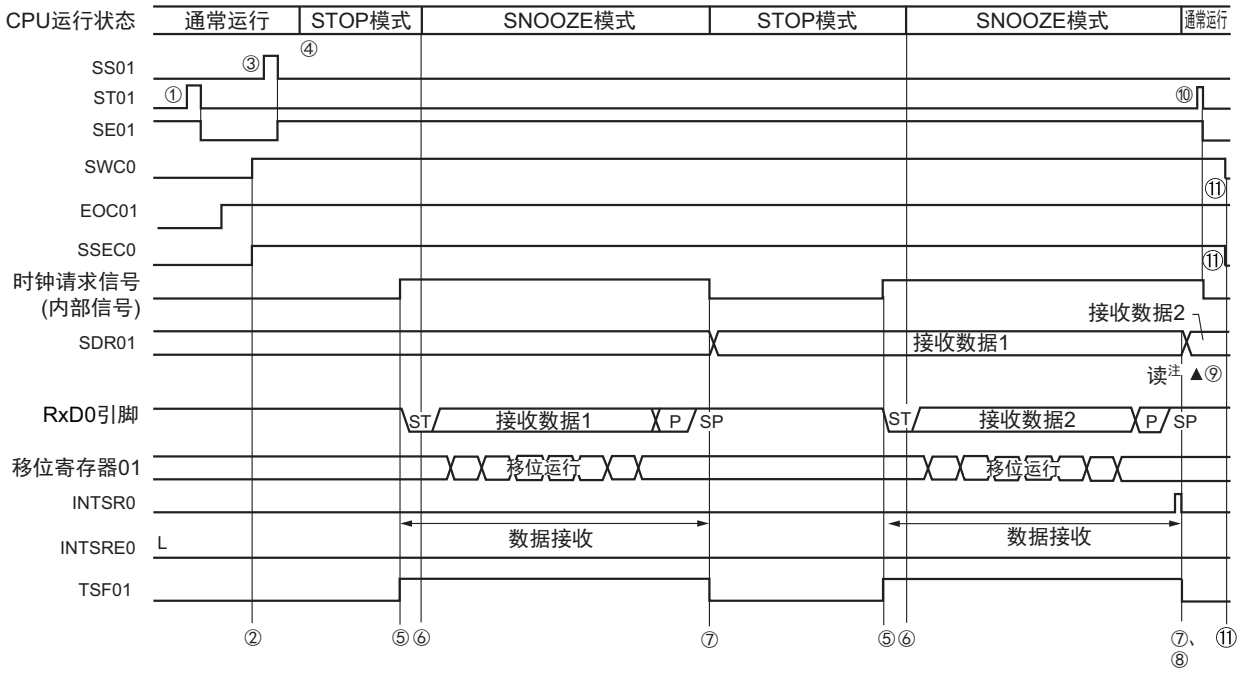
备注 1. 图中的①～⑫对应 “ 图 12-87 SNOOZE 模式运行（EOCm1=0、SSECm=0/1）的时序图 ” 和 “ 图 12-88 SNOOZE 模式运行 （EOCm1=1、 SSECm=0）的时序图 ” 中的①～⑫。

2. m=0、 q=0

(3) SNOOZE 模式运行 （EOCm1=1、 SSECm=1：禁止发生错误中断 （INTSREq））

因为 EOCm1=1、 SSECm=1，所以在发生通信错误时不发生错误中断 （INTSREq）。

图 12-90 SNOOZE 模式运行 （EOCm1=1、 SSECm=1）的时序图



注 必须在 SWCm 位为 “1” 的状态下读接收数据。

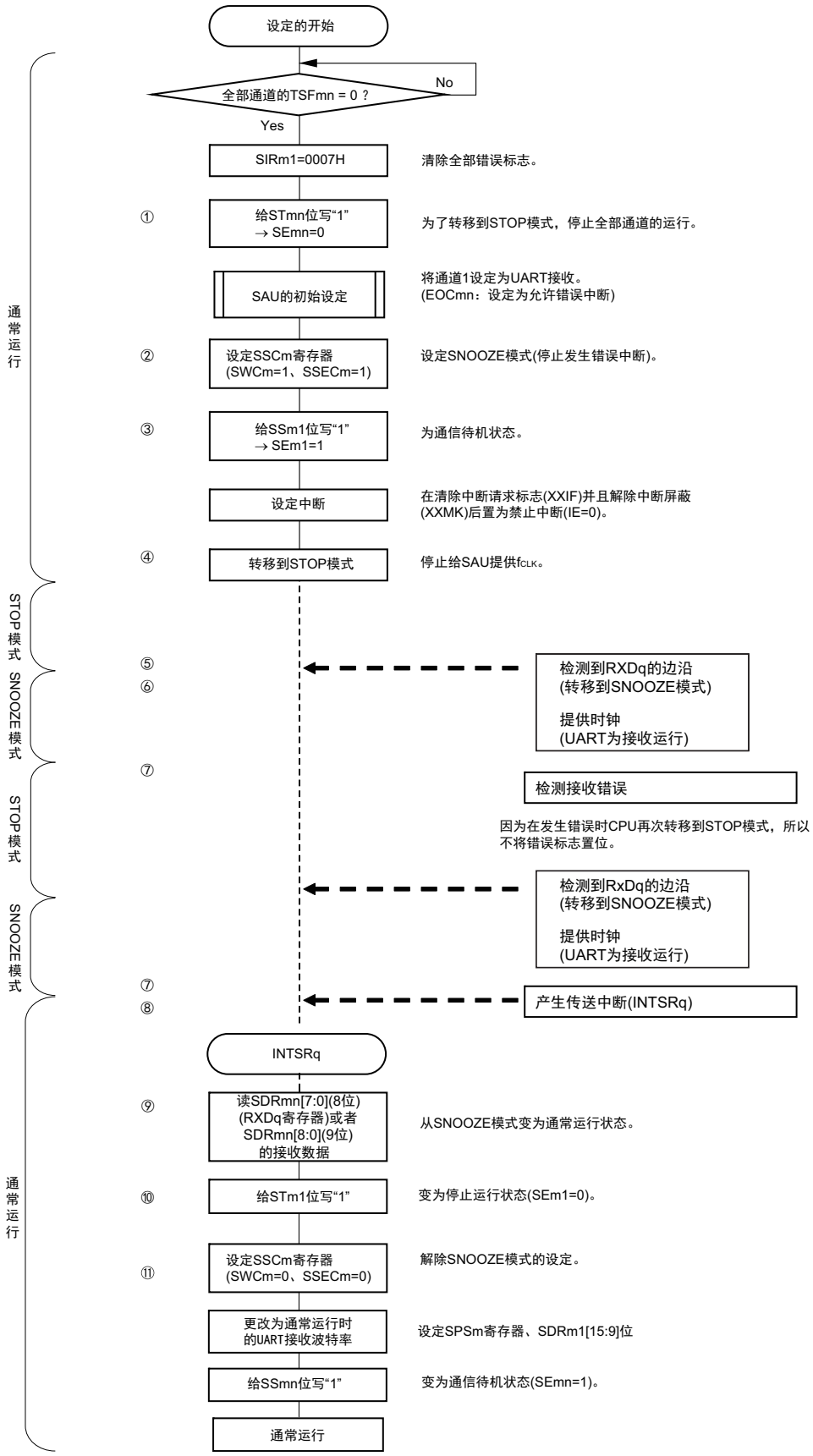
注意 1. 在向 SNOOZE 模式转移前或者在 SNOOZE 模式中接收结束后，必须将 STm1 位置 “1” （清除 SEm1 位并且停止运行），而且还必须在接收结束后清除 SWCm 位 （解除 SNOOZE 模式）。

2. 在 SSECm 位为 “1” 时，如果发生奇偶校验错误、帧错误、溢出错误，PEFm1、FEFm1、OVFm1 标志就不置位，也不发生错误中断 （INTSREq）。因此，在 SSECm=1 时使用 SNOOZE 模式功能时，必须在将 SWCm 位置 “1” 前，清除 PEFm1、FEFm1、OVFm1 标志，并且读 SDRm1[7:0]（8 位）（RxDq 寄存器）或者 SDRm1[8:0]（9 位）。

备注 1. 图中的①～⑪对应 “ 图 12-91 SNOOZE 模式运行 （EOCm1=1、 SSECm=1）的流程图 ” 中的①～⑪。

2. m=0， q=0

图 12-91 SNOOZE 模式运行 （EOCm1=1、 SSECm=1）的流程图



注意 在 SSECm 位为 “1” 时，如果发生奇偶校验错误、帧错误、溢出错误，PEFm1、FEFm1、OVFm1 标志就不置位，也不发生错误中断（INTSREq）。因此，在 SSECm=1 时使用 SNOOZE 模式功能时，必须在将 SWC0 位置 “1” 前，清除 PEFm1、FEFm1、OVFm1 标志，并且读 SDRm1[7:0]（8 位）（RXDq 寄存器）或者 SDRm1[8:0]（9 位）。

备注 1. 图中的①～⑪对应 “ 图 12-90 SNOOZE 模式运行 （EOCm1=1、 SSECm=1）的时序图 ” 中的①～⑪。

2. m=0、 q=0

12.6.4 波特率的计算

(1) 波特率的计算式

UART （UART0）通信的波特率能用以下计算式进行计算：

（波特率） = { 对象通道的运行时钟 （f_{MCK}）频率 } ÷ (SDRmn[15:9] + 1) ÷ 2 [bps]

注意 禁止设定串行数据寄存器 mn （SDRmn）的 SDRmn[15:9]=(0000000B、 0000001B)。

备注 1. 因为在使用UART时SDRmn[15:9]的值为SDRmn寄存器的bit15～9的值（0000010B～1111111B），所以为2～127。

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

运行时钟 （f_{MCK}）取决于串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 bit15 （CKSmn 位）。

表 12-4 UART 运行时钟的选择

SMRmn 寄存器	SPSm 寄存器								运行时钟 （f_{MCK}）注	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f_{CLK}=24MHz 运行时
0	X	X	X	X	0	0	0	0	f_{CLK}	24MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732Hz
上述以外									禁止设定	

注 要更改被选择为 f_{CLK} 的时钟 （更改系统时钟控制寄存器 （CKC）的值）时，必须在停止串行阵列单元 （SAU）的运行 （串行通道停止寄存器 m （STm） =000FH）后进行更改。

备注 1. X：忽略

2. m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

(2) 发送时的波特率误差

UART （UART0）通信发送时的波特率误差能用以下计算式进行计算，必须将发送方的波特率设定在接收方的波特率容许范围内。

（波特率误差） = （波特率的计算值）÷（目标波特率的值）× 100 – 100 [%]

f_{CLK}=24MHz 时的 UART 波特率的设定例子如下所示。

UART 波特率（目标波特率）	f_{CLK}=24MHz			
	运行时钟 （f_{MCK}）	SDRmn[15:9]	波特率的计算值	与目标波特率的误差
300bps	$f_{CLK}/2^9$	77	300.48bps	+0.16%
600bps	$f_{CLK}/2^8$	77	600.96bps	+0.16%
1200bps	$f_{CLK}/2^7$	77	1201.92bps	+0.16%
2400bps	$f_{CLK}/2^6$	77	2403.85bps	+0.16%
4800bps	$f_{CLK}/2^5$	77	4807.69bps	+0.16%
9600bps	$f_{CLK}/2^4$	77	9615.38bps	+0.16%
19200bps	$f_{CLK}/2^3$	77	19230.8bps	+0.16%
31250bps	$f_{CLK}/2^3$	47	31250.0bps	±0.0%
38400bps	$f_{CLK}/2^2$	77	38461.5bps	+0.16%
76800bps	$f_{CLK}/2$	77	76923.1bps	+0.16%
153600bps	f_{CLK}	77	153846bps	+0.16%
312500bps	f_{CLK}	37	315789bps	±1.05%

备注 m：单元号 （m=0） n：通道号 （n=0） mn=00

(3) 接收时的波特率容许范围

UART （UART0）通信接收时的波特率容许范围能用以下计算式进行计算，必须将发送方的波特率设定在接收方的波特率容许范围内。

$$\text{（可接收的最大波特率）} = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$\text{（可接收的最小波特率）} = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：接收方的波特率的计算值 （参照 “12.6.4(1) 波特率的计算式 ”）

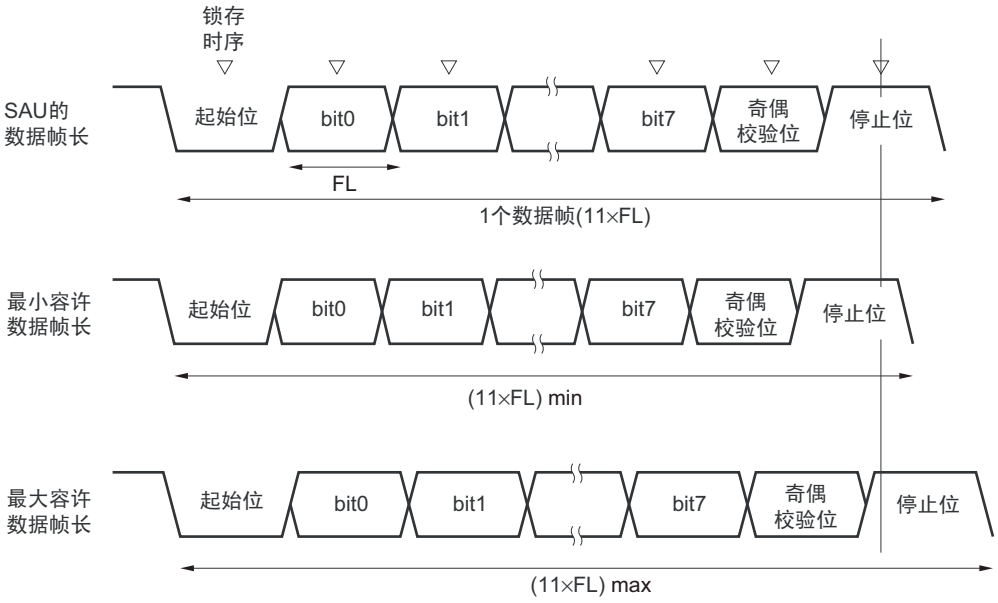
K ：SDRmn[15:9]+1

Nfr ：1 个数据的帧长 [位]

=（起始位）+（数据长度）+（奇偶校验位）+（停止位）

备注 m：单元号 （m=0） n：通道号 （n=1） mn=01

图 12-92 接收时的波特率容许范围 （1 个数据的帧长 =11 位的情况）



如图 12-92 所示，在检测到起始位后，接收数据的锁存时序取决于串行数据寄存器 mn （SDRmn）的 bit15 ～ 9 设定的分频比。如果最后的数据 （停止位）能赶上此锁存时序，就能正常接收。

12.6.5 UART （UART0）通信过程中发生错误时的处理步骤

在 UART （UART0）通信过程中发生错误时的处理步骤如图 12-93 和图 12-94 所示。

图 12-93 发生奇偶校验错误或者溢出错误时的处理步骤

软件操作	硬件状态	备注
读串行数据寄存器 mn （SDRmn）。→	SSRmn 寄存器的 BFFmn 位为 “0” 并且通道 n 为可接收状态。	这是为了防止在错误处理的过程中结束下一次接收而出现溢出错误。
读串行状态寄存器 mn （SSRmn）。		判断错误种类，读取值用于清除错误标志。
给串行标志清除触发寄存器 mn （SIRmn）写 “1”。→	清除错误标志。	通过将 SSRmn 寄存器的读取值直接写到 SIRmn 寄存器，只能清除读操作时的错误。

图 12-94 发生帧错误时的处理步骤

软件操作	硬件状态	备注
读串行数据寄存器 mn （SDRmn）。→	SSRmn 寄存器的 BFFmn 位为 “0” 并且通道 n 为可接收状态。	这是为了防止在错误处理的过程中结束下一次接收而出现溢出错误。
读串行状态寄存器 mn （SSRmn）。		判断错误种类，读取值用于清除错误标志。
写串行标志清除触发寄存器 mn （SIRmn）。→	清除错误标志。	通过将 SSRmn 寄存器的读取值直接写到 SIRmn 寄存器，只能清除读操作时的错误。
将串行通道停止寄存器 m （STm）的 STmn 位置 “1”。→	串行通道允许状态寄存器 m（SEm）的 SEmn 位为 “0” 并且通道 n 为停止运行状态。	
与通信方进行同步处理。		因为起始位偏移，所以可认为发生了帧错误。因此，需要与通信方重新取得同步，重新开始通信。
将串行通道开始寄存器 m （SSm）的 SSmn 位置 “1”。→	串行通道允许状态寄存器 m（SEm）的 SEmn 位为 “1” 并且通道 n 为可运行状态。	

备注 m：单元号 （m=0） n：通道号 （n=0、 1） mn=00、 01

第 13 章 LCD 控制器 / 驱动器

R7F0C001G/L、 R7F0C002G/L 各产品的 LCD 显示功能的引脚个数不同，各产品的 LCD 显示功能的引脚个数如下表所示。

表 13-1 各产品的 LCD 显示功能的引脚

项目 \ 型号名		R7F0C001G/L、 R7F0C002G/L															
		48 引脚								64 引脚							
LCD 输出引脚个数		段信号输出：26 （22）注 公共信号输出：8								段信号输出：39 （35）注 公共信号输出：8							
段信号输出引脚和 I/O 端口的复用关系	x / I/O 端口	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	P1x	SEG 6	SEG 5	SEG 4	SEG 32	SEG 31	SEG 30	SEG 29	SEG 28	SEG 6	SEG 5	SEG 4	SEG 32	SEG 31	SEG 30	SEG 29	SEG 28
	P3x	—	—	—	—	—	SEG 17	SEG 18	SEG 19	—	—	—	—	—	SEG 17	SEG 18	SEG 19
	P4x	—	—	—	—	—	—	SEG 24	—	—	—	—	—	SEG 22	SEG 23	SEG 24	—
	P5x	—	—	—	—	—	—	—	SEG 7	—	—	—	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7
	P6x	—	—	—	—	—	—	SEG 20	SEG 21	—	—	—	—	—	—	SEG 20	SEG 21
	P7x	—	—	—	—	—	—	—	SEG 16	—	—	—	SEG 12	SEG 13	SEG 14	SEG 15	SEG 16
	P12x	—	—	—	—	—	—	—	SEG 25	—	—	—	—	—	—	—	SEG 25
	P14x	—	—	—	SEG 35	SEG 34	SEG 33	SEG 26	SEG 27	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 26	SEG 27
COM 信号输出引脚和 I/O 端口的复用关系		—								—							
COM 信号输出引脚和其他 LCD 显示功能引脚的复用关系		SEG0								SEG0							
		SEG1								SEG1							
		SEG2								SEG2							
		SEG3								SEG3							

注 （）内是使用 8 com 时的信号输出个数。

13.1 LCD 控制器 / 驱动器的功能

R7F0C001G/L、 R7F0C002G/L 内置的 LCD 控制器 / 驱动器的功能如下所示：

(1) 能选择A波形或者B波形。
(2) LCD驱动电压生成电路能进行内部升压、电容分割和外部电阻分割的切换。
(3) 能通过自动读显示数据寄存器进行段信号和公共信号的自动输出。
(4) 能从升压电路运行时生成的16种基准电压 （调整对比度）中选择。
(5) 能进行LCD闪烁注。

注 禁止选择 f_{IL} 作为 LCD 的源时钟 （f_{LCD}）。

在各显示模式中能显示的最大像素如表 13-2 所示。

表 13-2 最大显示像素

(a) 48 引脚产品

LCD 驱动器的驱动波形	LCD 驱动器的驱动电压生成电路	偏压法	时间片	最大显示像素
A 波形	外部电阻分割	—	静态	26 （26 段 ×1 公共）
		1/2	2	52 （26 段 ×2 公共）
			3	78 （26 段 ×3 公共）
		1/3	3	
			4	104 （26 段 ×4 公共）
		1/4	8	176 （22 段 ×8 公共）
	内部升压	1/3	3	78 （26 段 ×3 公共）
			4	104 （26 段 ×4 公共）
		1/4	8	176 （22 段 ×8 公共）
	电容分割	1/3	3	78 （26 段 ×3 公共）
			4	104 （26 段 ×4 公共）
B 波形	外部电阻分割、内部升压	1/3	4	
		1/4	8	176 （22 段 ×8 公共）
	电容分割	1/3	4	104 （26 段 ×4 公共）

(b) 64 引脚产品

LCD 驱动器的驱动波形	LCD 驱动器的驱动电压生成电路	偏压法	时间片	最大显示像素
A 波形	外部电阻分割	—	静态	39 （39 段 ×1 公共）
		1/2	2	78 （39 段 ×2 公共）
			3	117 （39 段 ×3 公共）
		1/3	3	
			4	156 （39 段 ×4 公共）
		1/4	8	280 （35 段 ×8 公共）
	内部升压	1/3	3	117 （39 段 ×3 公共）
			4	156 （39 段 ×4 公共）
		1/4	8	280 （35 段 ×8 公共）
	电容分割	1/3	3	117 （39 段 ×3 公共）
			4	156 （39 段 ×4 公共）
B 波形	外部电阻分割、内部升压	1/3	4	
		1/4	8	280 （35 段 ×8 公共）
	电容分割	1/3	4	156 （39 段 ×4 公共）

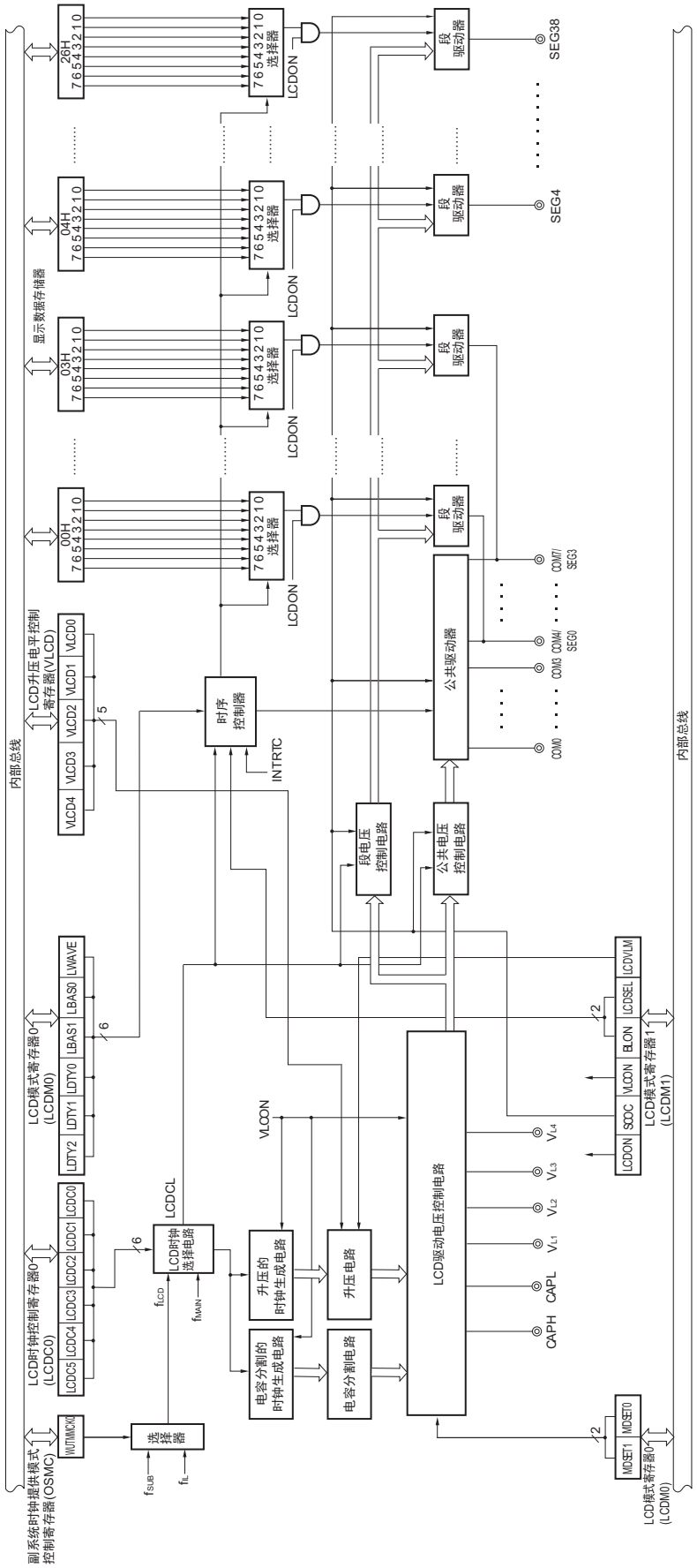
13.2 LCD 控制器 / 驱动器的结构

LCD 控制器 / 驱动器由以下硬件构成。

表 13-3 LCD 控制器 / 驱动器的结构

项目	结构
控制寄存器	外围允许寄存器 0 （PER0） LCD 模式寄存器 0 （LCDM0） LCD 模式寄存器 1 （LCDM1） 副系统时钟提供模式控制寄存器 （OSMC） LCD 时钟控制寄存器 0 （LCDC0） LCD 升压电平控制寄存器 （VLCD） LCD 输入切换控制寄存器 （ISCLCD） LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4） 端口模式寄存器 1、 3 ～ 7、 12、 14 （PM1、 PM3 ～ PM7、 PM12、 PM14）

图 13-1 LCD 控制器 / 驱动器的框图



13.3 控制 LCD 控制器 / 驱动器的寄存器

通过以下 10 种寄存器控制 LCD 控制器 / 驱动器：

- 外围允许寄存器0 （PER0）
- LCD模式寄存器0 （LCDM0）
- LCD模式寄存器1 （LCDM1）
- 副系统时钟提供模式控制寄存器 （OSMC）
- LCD时钟控制寄存器0 （LCDC0）
- LCD升压电平控制寄存器 （VLCD）
- LCD输入切换控制寄存器 （ISCLCD）
- LCD端口功能寄存器0～4 （PFSEG0～PFSEG4）
- 端口模式寄存器1、 3～7、 12、 14 （PM1、 PM3～PM7、 PM12、 PM14）

13.3.1 外围允许寄存器 0 （PER0）

PER0 寄存器是设定允许或者禁止给各外围硬件提供时钟的寄存器。通过停止给不使用的硬件提供时钟，降低功耗和噪声。

在将副系统时钟 （f_{SUB}）用于 LCD 控制器 / 驱动器时，必须将 bit7 （RTCEN）置 “1”。

通过 1 位或者 8 位存储器操作指令设定 PER0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-2 外围允许寄存器 0 （PER0）的格式

地址：F00F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCEN	实时时钟 （RTC）和 12 位间隔定时器	LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出	
		选择副系统时钟 （f_{SUB}）	不选择副系统时钟 （f_{SUB}）
0	停止提供时钟。 • 不能写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。 • 实时时钟 （RTC）和 12 位间隔定时器处于复位状态。	停止提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	提供输入时钟和主系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。
1	提供时钟。 • 能读写实时时钟（RTC）和 12 位间隔定时器使用的 SFR。	提供输入时钟和副系统时钟。 • 能读写 LCD 控制器 / 驱动器和时钟输出 / 蜂鸣器输出使用的 SFR。	

注意 1. 能通过将副系统时钟提供模式控制寄存器 （OSMC）的 RTCLPC 位置 “1”，在 STOP 模式和副系统时钟的 HALT 模式中停止给实时时钟、 12 位间隔定时器和 LCD 控制器 / 驱动器以外的外围功能提供时钟。此时，必须将 RTCEN 位置 “1”，并且将 PER0 寄存器的其他位 （bit0 ～ 6）置 “0”。

2. 必须将 bit1、 bit3、 bit4、 bit6 置 “0”。

13.3.2 LCD 模式寄存器 0 （LCDM0）

这是设定 LCD 运行的寄存器。

通过 8 位存储器操作指令设定 LCDM0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-3 LCD 模式寄存器 0 （LCDM0）的格式

地址：FFF40H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

MDSET1	MDSET0	LCD 驱动电压生成电路的选择
0	0	外部电阻分割方式
0	1	内部升压方式
1	0	电容分割方式
1	1	禁止设定

LWAVE	LCD 显示波形的选择
0	A 波形
1	B 波形

LDTY2	LDTY1	LDTY0	LCD 显示的时间片选择
0	0	0	静态
0	0	1	2 个时间片
0	1	0	3 个时间片
0	1	1	4 个时间片
1	0	1	8 个时间片
上述以外			禁止设定

LBAS1	LBAS0	LCD 显示的偏压法选择
0	0	1/2 偏压法
0	1	1/3 偏压法
1	0	1/4 偏压法
1	1	禁止设定

注意 1. 当 LCDM1 寄存器的 SCOC 位为 “1” 时，不能改写 LCDM0 寄存器的值。

2. 当选择静态 （LDTY2 ～ LDTY0=000B）时，必须将 LBAS1 位和 LBAS0 位置初始值 （“00B”）。如果设定初始值以外的值，就不保证运行。

3. 只对应表 13-4 所示的显示波形、时间片、偏压法的组合设定。
禁止表 13-4 所示以外的组合设定。

表 13-4 显示波形、时间片、偏压法与帧频率的组合

显示模式			设定值						驱动电压的生成方式		
显示波形	时间片	偏压法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部电阻分割	内部升压	电容分割
A 波形	8	1/4	0	1	0	1	1	0	○ (24～128Hz)	○ (24～64Hz)	×
A 波形	4	1/3	0	0	1	1	0	1	○ (24～128Hz)	○ (24～128Hz)	○ (24～128Hz)
A 波形	3	1/3	0	0	1	0	0	1	○ (32～128Hz)	○ (32～128Hz)	○ (32～128Hz)
A 波形	3	1/2	0	0	1	0	0	0	○ (32～128Hz)	×	×
A 波形	2	1/2	0	0	0	1	0	0	○ (24～128Hz)	×	×
A 波形	静态		0	0	0	0	0	0	○ (24～128Hz)	×	×
B 波形	8	1/4	1	1	0	1	1	0	○ (24～128Hz)	○ (24～64Hz)	×
B 波形	4	1/3	1	0	1	1	0	1	○ (24～128Hz)	○ (24～128Hz)	○ (24～128Hz)

备注 ○：支持
× ：不支持

13.3.3 LCD 模式寄存器 1 （LCDM1）

此寄存器允许或者禁止显示运行，允许或者停止升压电路和电容分割电路的运行以及设定显示数据区和低电压模式。

通过 1 位或者 8 位存储器操作指令设定 LCDM1 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-4 LCD 模式寄存器 1 （LCDM1）的格式 (1/2)

地址：FFF41H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

SCOC	LCDON	LCD 显示的允许或者禁止
0	0	将接地电平输出到段引脚或者公共引脚。
0	1	
1	0	显示 OFF （段输出全部为非选择信号输出）
1	1	显示 ON

VLCON	升压电路或者电容分割电路的运行允许或者停止
0	停止升压电路或者电容分割电路的运行。
1 注 1	允许升压电路或者电容分割电路的运行。

BLON 注 2	LCDSEL	显示数据区的控制
0	0	显示 A 图形区 （LCD 显示数据寄存器的低 4 位）。
0	1	显示 B 图形区 （LCD 显示数据寄存器的高 4 位）的数据。
1	0	交替显示 A 图形区和 B 图形区的数据 （实时时钟 （RTC）的固定周期中断 （INTRTC）时序对应的闪烁显示）
1	1	

注 1. 在外部电阻分割模式中，禁止设定。

2. 要选择 f_{IL} 作为 LCD 源时钟 （f_{LCD}）时，必须将 BLON 位置 “0”。

图 13-4 LCD 模式寄存器 1 （LCDM1）的格式 (2/2)

地址：FFF41H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

LCDVLM 注	升压引脚初始值的切换控制
0	V_{DD} 电压≥ 2.7V 的情况
1	V_{DD} 电压≤ 4.2V 的情况

注 这是在使用升压电路时设定 V_{Lx} 引脚的初始状态进行高效率升压的功能。
在升压开始时的V_{DD}电压大于2.7V的情况下，必须将LCDVLM位置“0”；在V_{DD}电压小于等于4.2V的情况下，必须将LCDVLM位置“1”。
但是，当2.7V≤V_{DD}≤4.2V时，无论在LCDVLM位为“0”或者LCDVLM位为“1”的情况下都能运行。

注意 1. 如果在使用升压电路时不进行 LCD 显示，为了降低功耗，必须将 SCOC 位和 VLCON 位都置 “0”，并且将 MDSET1 位和 MDSET0 位置 “00”。在 MDSET1 位和 MDSET0 位为 “01” 时，内部基准电压生成部运行，因此会消耗功率。

2. 在设定外部电阻分割方式（LCDM0 的 MDSET1、MDSET0=00B）或者电容分割方式时（MDSET1、MDSET0=10B）时，必须将 LCDVLM 置 “0”。
3. 当 SCOC 位为 “1” 时，不能改写 VLCON 位和 LCDVLM 位。
4. 当选择 8 个时间片的显示模式时，必须将 BLON 位和 LCDSEL 位置 “0”。
5. 当使用内部升压方式时，必须在通过 VLCD 寄存器设定基准电压后 （当以默认值使用基准电压时，在选择为内部升压方式 （LCDM0 寄存器的 MDSET1、 MDSET0=01B）后）等待基准电压准备时间 （5ms （MIN.））， 然后将 VLCON 位置 “1”。

13.3.4 副系统时钟提供模式控制寄存器 （OSMC）

OSMC 寄存器是通过停止不需要的时钟功能来降低功耗的寄存器。

如果将 RTCLPC 位置 “1”，就在 STOP 模式和 CPU 以副系统时钟运行的 HALT 模式中停止给实时时钟、12 位间隔定时器、时钟输出 / 蜂鸣器输出以及 LCD 驱动器 / 控制器以外的外围功能提供时钟，因此能降低功耗。在进行此设定前，必须将外围允许寄存器 0 （PER0）的 bit7 （RTCEN）置 “1”。

能通过 OSMC 寄存器选择实时时钟、 12 位间隔定时器和 LCD 控制器 / 驱动器的运行时钟。

通过 8 位存储器操作指令设定 OSMC 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-5 副系统时钟提供模式控制寄存器 （OSMC）的格式

地址：F00F3H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	CPU 以副系统时钟运行的 HALT 模式中的设定
0	允许给外围功能提供副系统时钟 （有关允许运行的外围功能，请参照表 16-1）。
1	停止给实时时钟、 12 位间隔定时器和 LCD 以外的外围功能提供副系统时钟。

WUTMMCK0 注	实时时钟、 12 位间隔定时器和 LCD 驱动器 / 控制器的运行时钟的选择	时钟输出 / 蜂鸣器输出的 PCLBUZn 引脚的输出时钟的选择
0	副系统时钟 （f_{SUB}）	允许选择副系统时钟 （f_{SUB}）。
1	低速内部振荡器时钟 （f_{IL}）	禁止选择副系统时钟 （f_{SUB}）。

注 当副系统时钟正在振荡时，必须选择副系统时钟 （WUTMMCK0=0）。

注意 只有在实时时钟、12 位间隔定时器和 LCD 驱动器 / 控制器开始运行前，才能通过 WUTMMCK0 位进行一次副系统时钟和低速内部振荡器时钟的切换。禁止在开始运行后进行设定。

各功能的运行停止方法如下：

实时时钟的停止设定： RTCE=0

12 位间隔定时器的停止设定： RINTE=0

LCD 驱动器 / 控制器的停止设定：SCOC=0 并且 VLCON=0

备注 RTCE： 实时时钟控制寄存器 0 （RTCC0）的 bit7

RINTE： 间隔定时器控制寄存器 （ITMC）的bit15

SCOC： LCD模式寄存器1 （LCDM1）的bit6

VLCON：LCD模式寄存器1 （LCDM1）的bit5

13.3.5 LCD 时钟控制寄存器 0 （LCDC0）

这是设定 LCD 源时钟和 LCD 时钟的寄存器。

通过 LCD 时钟和时间片决定帧频。

通过 8 位存储器操作指令设定 LCDC0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-6 LCD 时钟控制寄存器 （LCDC0）的格式 (1/2)

地址：FFF42H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

(1/2)

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCD 时钟 （LCDCL）
0	0	0	0	0	1	$f_{SUB}/2^2$ or $f_{IL}/2^2$
0	0	0	0	1	0	$f_{SUB}/2^3$ or $f_{IL}/2^3$
0	0	0	0	1	1	$f_{SUB}/2^4$ or $f_{IL}/2^4$
0	0	0	1	0	0	$f_{SUB}/2^5$ or $f_{IL}/2^5$
0	0	0	1	0	1	$f_{SUB}/2^6$ or $f_{IL}/2^6$
0	0	0	1	1	0	$f_{SUB}/2^7$ or $f_{IL}/2^7$
0	0	0	1	1	1	$f_{SUB}/2^8$ or $f_{IL}/2^8$
0	0	1	0	0	0	$f_{SUB}/2^9$ or $f_{IL}/2^9$
0	0	1	0	0	1	$f_{SUB}/2^{10}$

注意 1. 必须将 bit6 和 bit7 置 “0”。

2. 必须将帧频设定在 32Hz ～ 128Hz （在选择 f_{IL} 时为 24Hz ～ 128Hz）的范围内。当设定为内部升压方式和电容分割方式时， LCD 时钟 （LCDCL）不能超过 512Hz （在选择 f_{IL} 时为 235Hz）。

3. 在 LCDM1 寄存器的 SCOC 位为 “1” 时，不能设定 LCDC0 寄存器。

图 13-6 LCD 时钟控制寄存器 （LCDC0）的格式 (2/2)

地址：FFF42H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

(2/2)

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCD 时钟 （LCDCL）
0	1	0	0	0	1	$f_{MAIN}/2^8$
0	1	0	0	1	0	$f_{MAIN}/2^9$
0	1	0	0	1	1	$f_{MAIN}/2^{10}$
0	1	0	1	0	0	$f_{MAIN}/2^{11}$
0	1	0	1	0	1	$f_{MAIN}/2^{12}$
0	1	0	1	1	0	$f_{MAIN}/2^{13}$
0	1	0	1	1	1	$f_{MAIN}/2^{14}$
0	1	1	0	0	0	$f_{MAIN}/2^{15}$
0	1	1	0	0	1	$f_{MAIN}/2^{16}$
0	1	1	0	1	0	$f_{MAIN}/2^{17}$
0	1	1	0	1	1	$f_{MAIN}/2^{18}$
1	0	1	0	1	1	$f_{MAIN}/2^{19}$
上述以外						禁止设定

注意 1. 在 LCDM1 寄存器的 SCOC 位为 “1” 时，不能设定 LCDC0 寄存器。

2. 必须将 bit6 和 bit7 置 “0”。

3. 当设定为内部升压方式和电容分割方式时，必须如下设定 LCD 时钟 （LCDCL）。详细内容请参照 “ 表 13-4 显示波形、时间片、偏压法与帧频率的组合 ”。

- 选择 f_{SUB} 时小于等于 512Hz
- 选择 f_{IL} 时小于等于 235Hz

备注 f_{MAIN}：主系统时钟频率

f_{IL}： 低速内部振荡器时钟频率

f_{SUB}： 副系统时钟频率

13.3.6 LCD 升压电平控制寄存器 （VLCD）

这是选择升压电路运行时生成的基准电压 （调整对比度）的寄存器。能选择 16 种基准电压。

通过 8 位存储器操作指令设定 VLCD 寄存器。

通过产生复位信号，此寄存器的值变为 “04H”。

图 13-7 LCD 升压电平控制寄存器 （VLCD）的格式

地址：FFF43H 复位后：04H R/W

符号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基准电压的选择 （调整对比度）	V_{L4} 电压	
						1/3 偏压法	1/4 偏压法
0	0	1	0	0	1.00V （默认值）	3.00V	4.00V
0	0	1	0	1	1.05V	3.15V	4.20V
0	0	1	1	0	1.10V	3.30V	4.40V
0	0	1	1	1	1.15V	3.45V	4.60V
0	1	0	0	0	1.20V	3.60V	4.80V
0	1	0	0	1	1.25V	3.75V	5.00V
0	1	0	1	0	1.30V	3.90V	5.20V
0	1	0	1	1	1.35V	4.05V	禁止设定
0	1	1	0	0	1.40V	4.20V	禁止设定
0	1	1	0	1	1.45V	4.35V	禁止设定
0	1	1	1	0	1.50V	4.50V	禁止设定
0	1	1	1	1	1.55V	4.65V	禁止设定
1	0	0	0	0	1.60V	4.80V	禁止设定
1	0	0	0	1	1.65V	4.95V	禁止设定
1	0	0	1	0	1.70V	5.10V	禁止设定
1	0	0	1	1	1.75V	5.25V	禁止设定
上述以外					禁止设定		

注意 1. 只有在升压电路运行时， VLCD 寄存器的设定才有效。

2. 必须将 bit5 ～ 7 置 “0”。

3. 必须在停止升压电路的运行 （VLCON=0）后更改 VLCD 寄存器的值。

4. 当使用内部升压方式时，必须在通过 VLCD 寄存器设定基准电压后 （当以默认值使用基准电压时，在选择为内部升压方式 （LCDM0 寄存器的 MDSET1、 MDSET0=01B）后）等待基准电压准备时间 （5ms （MIN.））， 然后将 VLCON 位置 “1”。

5. 在外部电阻分割方式和电容分割方式的情况下， VLCD 寄存器必须为初始值 “04H”。

13.3.7 LCD 输入切换控制寄存器 （ISCLCD）

为了在设定 CAPL/P126、 CAPH/P127、 V_{L3}/P125 引脚作为 LCD 功能运行的期间防止贯通电流的流入，需要将施密特触发缓冲器的输入置为无效。

通过 1 位或者 8 位存储器操作指令设定 ISCLCD 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 13-8 LCD 输入切换控制寄存器 （ISCLCD）

地址：F0308H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	V_{L3}/P125 引脚的施密特触发缓冲器的控制
0	输入无效。
1	输入有效。

ISCCAP	CAPL/P126、 CAPH/P127 引脚的施密特触发缓冲器的控制
0	输入无效。
1	输入有效。

注意 1. 当 ISCVL3 位为 “0” 时，对应的端口控制寄存器必须进行以下的设定：
PU12 寄存器的 PU125=0、 P12 寄存器的 P125=0

2. 当 ISCCAP 位为 “0” 时，对应的端口控制寄存器必须进行以下的设定：
PU12 寄存器的 PU127=0、 P12 寄存器的 P127=0
PU12 寄存器的 PU126=0、 P12 寄存器的 P126=0

(a) V_{L3}、 CAPL、 CAPH 引脚复用端口的运行

V_{L3}/P125、 CAPL/P126、 CAPH/P127 引脚的功能取决于 LCD 输入切换控制寄存器 （ISCLCD）、 LCD 模式寄存器 0 （LCDM0）和端口模式寄存器 12 （PM12）的设定。

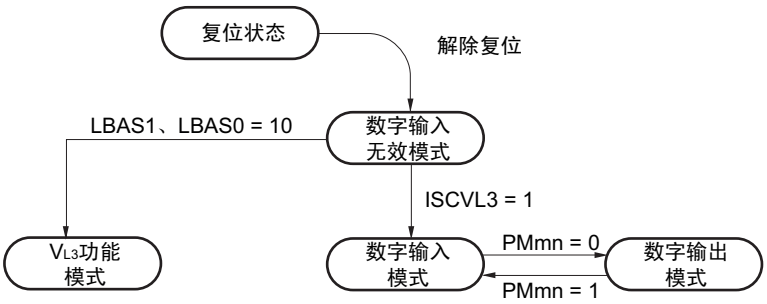
- V_{L3}/P125

表 13-5 V_{L3}/P125 引脚功能的设定

偏压法的设定 （通过 LCDM0 寄存器的 LBAS1 位和 LBAS0 位进行设定）	ISCLCD 寄存器的 ISCVL3 位	PM12 寄存器的 PM125 位	引脚功能	初始状态
1/4 偏压法以外 （LBAS1、 LBAS0=00 或者 01）	0	1	数字输入无效模式	○
	1	0	数字输出模式	—
	1	1	数字输入模式	—
1/4 偏压法 （LBAS1、 LBAS0=10）	0	1	V_{L3} 功能模式	—
上述以外			禁止设定	

V_{L3}/P125 引脚功能的状态转移如下所示。

图 13-9 V_{L3}/P125 引脚功能的状态转移图



注意 要设定为 V_{L3} 功能模式时，必须在段输出开始前 （LCD 模式寄存器 1 （LCDM1）的 SCOC=0 的期间）进行设定。

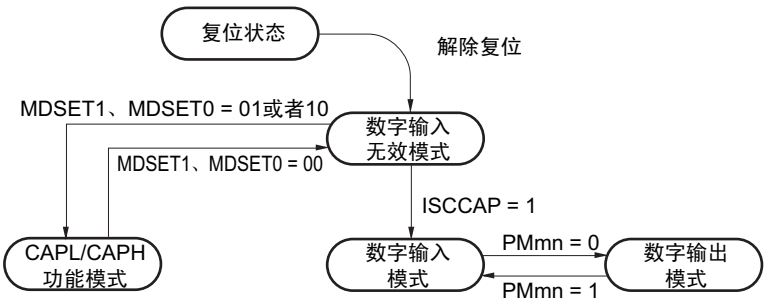
- CAPL/P126、 CAPH/P127

表 13-6 CAPL/P126、 CAPH/P127 引脚功能的设定

LCD 驱动电压的生成（LCDM0 寄存器的 MDSET1 位和 MDSET0 位）	ISCLCD 寄存器的 ISCCAP 位	PM12 寄存器的 PM126 位和 PM127 位	引脚功能	初始状态
外部电阻分割（MDSET1、 MDSET0=00）	0	1	数字输入无效模式	○
	1	0	数字输出模式	—
	1	1	数字输入模式	—
内部升压或者电容分割（MDSET1、 MDSET0=01 或者 10）	0	1	CAPL/CAPH 功能模式	—
上述以外			禁止设定	

CAPL/P126、 CAPH/P127 引脚功能的状态转移如下所示。

图 13-10 CAPL/P126、 CAPH/P127 引脚功能的状态转移图



注意 要设定为 CAPL/CAPH 功能模式时，必须在段输出开始前 （LCD 模式寄存器 1 （LCDM1）的 SCOC=0 的期间）进行设定。

13.3.8 LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4）

此寄存器设定将 P10 ～ P17、P30 ～ P32、P41 ～ P43、P50 ～ P54、P60、P61、P70 ～ P74、P120、P140 ～ P147 引脚用作端口 （段输出除外）还是用作段输出。通过 1 位或者 8 位存储器操作指令设定 PFSEG0 ～ PFSEG4 寄存器。

通过产生复位信号，此寄存器的值变为 “FFH”。

备注 段输出引脚 （SEGxx）和 PFSEG 寄存器 （PFSEGxx 位）的对应以及产品是否有 SEGxx 引脚，如 “ 表 13-7 各产品的段输出引脚和对应的 PFSEG 寄存器 （PFSEG 位） ” 所示。

图 13-11 LCD 端口功能寄存器的格式 （64 引脚产品）

地址：F0300H 复位后：F0H R/W

符号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

地址：F0301H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

地址：F0302H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

地址：F0303H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFDEG26	PFSEG25	PFSEG24

地址：F0304H 复位后：7FH R/W

符号	7	6	5	4	3	2	1	0
PFSEG4	0	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

PFSEGxx （xx=04 ～ 46）	Pmn 引脚的端口 （段输出除外）或者段输出的指定 （mn=10 ～ 17、 30 ～ 32、 41 ～ 43、 50 ～ 54、 60、 61、 70 ～ 74、 120、 140 ～ 147）
0	用作端口 （段输出除外）。
1	用作段输出。

备注 当用作段输出 （PFSEGxx=1）时，必须将 PUm 寄存器的 PUmn 位、 POMm 寄存器的 POMmn 位和 PIMm 寄存器的 PIMmn 位都置 “0”。

表 13-7 各产品的段输出引脚和对应的 PFSEG 寄存器 （PFSEG 位）

PFSEG 寄存器的位名	对应的 SEGxx 引脚	复用的端口	64-pin	48-pin
PFSEG04	SEG4	P15	○	○
PFSEG05	SEG5	P16	○	○
PFSEG06	SEG6	P17	○	○
PFSEG07	SEG7	P50	○	○
PFSEG08	SEG8	P51	○	—
PFSEG09	SEG9	P52	○	—
PFSEG10	SEG10	P53	○	—
PFSEG11	SEG11	P54	○	—
PFSEG12	SEG12	P74	○	—
PFSEG13	SEG13	P73	○	—
PFSEG14	SEG14	P72	○	—
PFSEG15	SEG15	P71	○	—
PFSEG16	SEG16	P70	○	○
PFSEG17	SEG17	P32	○	○
PFSEG18	SEG18	P31	○	○
PFSEG19	SEG19	P30	○	○
PFSEG20	SEG20	P61	○	○
PFSEG21	SEG21	P60	○	○
PFSEG22	SEG22	P43	○	—
PFSEG23	SEG23	P42	○	—
PFSEG24	SEG24	P41	○	○
PFSEG25	SEG25	P120	○	○
PFSEG26	SEG26	P141	○	○
PFSEG27	SEG27	P140	○	○
PFSEG28	SEG28	P10	○	○
PFSEG29	SEG29	P11	○	○
PFSEG30	SEG30	P12	○	○
PFSEG31	SEG31	P13	○	○
PFSEG32	SEG32	P14	○	○
PFSEG33	SEG33	P142	○	○
PFSEG34	SEG34	P143	○	○
PFSEG35	SEG35	P144	○	○
PFSEG36	SEG36	P145	○	—
PFSEG37	SEG37	P146	○	—
PFSEG38	SEG38	P147	○	—

(a) SEGxx 引脚复用端口的运行

段输出引脚 （SEGxx）的功能取决于端口模式控制寄存器 （PMCxx）、端口模式寄存器 （PMxx）和 LCD 端口功能寄存器 0 ～ 4 （PFSEG0 ～ PFSEG4）的设定。

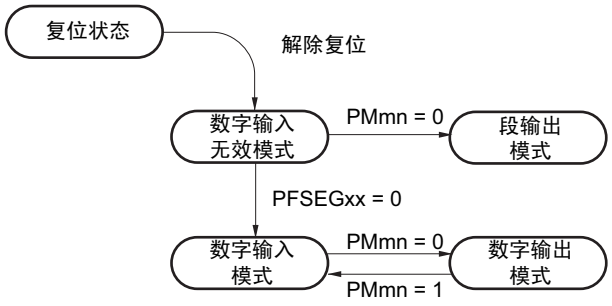
- P10～P12、 P15～P17、 P30～P32、 P42、 P43、 P50～P54、 P60、 P61、 P70～P74、 P140、 P141 （不和模拟输入引脚 （ANIxx）复用的端口）

表 13-8 SEGxx/ 端口引脚功能的设定

PFSEG0 ～ PFSEG4 寄存器的 PFSEGxx 位	PMxx 寄存器的 PMxx 位	引脚功能	初始状态
1	1	数字输入无效模式	○
0	0	数字输出模式	—
0	1	数字输入模式	—
1	0	段输出模式	—

SEGxx/ 端口引脚功能的状态转移如下所示。

图 13-12 SEGxx/ 端口引脚功能的状态转移图



注意 要设定为段输出模式时，必须在段输出开始前 （LCD 模式寄存器 1 （LCDM1）的 SCOC=0 的期间）进行设定。

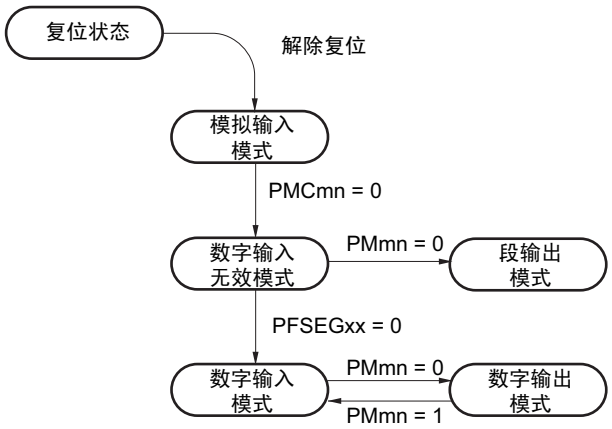
- P13、 P14、 P41、 P120、 P142～P147 （不和模拟输入引脚 （ANIxx）复用的端口）

表 13-9 ANIxx/SEGxx/ 端口引脚功能的设定

PMCxx 寄存器的 PMCxx 位	PFSEG0 ～ PFSEG4 寄存器的 PFSEGxx 位	PMxx 寄存器的 PMxx 位	引脚功能	初始状态
1	1	1	模拟输入模式	○
0	0	0	数字输出模式	—
0	0	1	数字输入模式	—
0	1	0	段输出模式	—
0	1	1	数字输入无效模式	—
上述以外			禁止设定	

ANIxx/SEGxx/ 端口引脚功能的状态转移如下所示。

图 13-13 ANIxx/SEGxx/ 端口引脚功能的状态转移图



注意 要设定为段输出模式时，必须在段输出开始前 （LCD 模式寄存器 1 （LCDM1）的 SCOC=0 的期间）进行设定。

13.3.9 端口模式寄存器 1、 3 ～ 7、 12、 14 （PM1、 PM3 ～ PM7、 PM12、 PM14）

这是以位为单位设定端口 1、 3 ～ 7、 12、 14 的输入 / 输出的寄存器。

在将段输出引脚复用端口 （P10/SCK00/SEG28、 P120/ANI17/SEG25）用作段输出时，必须将各端口对应的端口模式寄存器 （PMxx）的位和端口寄存器 （Pxx）的位置 “0”。

例）将 P10/SCK00/SEG28 用作段输出的情况

将端口模式寄存器 1 的 PM10 位置 “0”。

将端口寄存器 1 的 P10 位置 “0”。

通过 1 位或者 8 位存储器操作指令设定 PM1、 PM3 ～ PM7、 PM12、 PM14 寄存器。

通过产生复位信号，此寄存器的值变为 “FFH”。

图 13-14 端口模式寄存器 1、 3 ～ 7、 12、 14 （PM1、 PM3 ～ PM7、 PM12、 PM14）的格式
（64 引脚产品的情况）

符号	7	6	5	4	3	2	1	0	地址	复位时	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	1	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn 引脚的输入 / 输出模式的选择 （m=1、 3 ～ 7、 12、 14， n=0 ～ 7）
0	输出模式 （输出缓冲器 ON）
1	输入模式 （输出缓冲器 OFF）

备注 上述格式是 64 引脚产品的端口模式寄存器 1、 3 ～ 7、 12、 14 的格式。有关其他产品的端口模式寄存器的格式，请参照 “ 表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 ”。

13.4 LCD 显示数据寄存器

LCD 显示数据寄存器的映像如表 13-10 所示。能通过更改 LCD 显示数据寄存器的内容，更改 LCD 的显示内容。

表 13-10 LCD 显示数据寄存器的内容和段输出、公共输出的关系 (1/2)

(a) 8个时间片以外 （静态、 2个时间片、 3个时间片、 4个时间片）

寄存器名	地址	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	64-pin	48-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 （B 图形区）				SEG0 （A 图形区）				○	○
SEG1	F0401H	SEG1 （B 图形区）				SEG1 （A 图形区）				○	○
SEG2	F0402H	SEG2 （B 图形区）				SEG2 （A 图形区）				○	○
SEG3	F0403H	SEG3 （B 图形区）				SEG3 （A 图形区）				○	○
SEG4	F0404H	SEG4 （B 图形区）				SEG4 （A 图形区）				○	○
SEG5	F0405H	SEG5 （B 图形区）				SEG5 （A 图形区）				○	○
SEG6	F0406H	SEG6 （B 图形区）				SEG6 （A 图形区）				○	○
SEG7	F0407H	SEG7 （B 图形区）				SEG7 （A 图形区）				○	○
SEG8	F0408H	SEG8 （B 图形区）				SEG8 （A 图形区）				○	—
SEG9	F0409H	SEG9 （B 图形区）				SEG9 （A 图形区）				○	—
SEG10	F040AH	SEG10 （B 图形区）				SEG10 （A 图形区）				○	—
SEG11	F040BH	SEG11 （B 图形区）				SEG11 （A 图形区）				○	—
SEG12	F040CH	SEG12 （B 图形区）				SEG12 （A 图形区）				○	—
SEG13	F040DH	SEG13 （B 图形区）				SEG13 （A 图形区）				○	—
SEG14	F040EH	SEG14 （B 图形区）				SEG14 （A 图形区）				○	—
SEG15	F040FH	SEG15 （B 图形区）				SEG15 （A 图形区）				○	—
SEG16	F0410H	SEG16 （B 图形区）				SEG16 （A 图形区）				○	○
SEG17	F0411H	SEG17 （B 图形区）				SEG17 （A 图形区）				○	○
SEG18	F0412H	SEG18 （B 图形区）				SEG18 （A 图形区）				○	○
SEG19	F0413H	SEG19 （B 图形区）				SEG19 （A 图形区）				○	○
SEG20	F0414H	SEG20 （B 图形区）				SEG20 （A 图形区）				○	○
SEG21	F0415H	SEG21 （B 图形区）				SEG21 （A 图形区）				○	○
SEG22	F0416H	SEG22 （B 图形区）				SEG22 （A 图形区）				○	—
SEG23	F0417H	SEG23 （B 图形区）				SEG23 （A 图形区）				○	—
SEG24	F0418H	SEG24 （B 图形区）				SEG24 （A 图形区）				○	○
SEG25	F0419H	SEG25 （B 图形区）				SEG25 （A 图形区）				○	○
SEG26	F041AH	SEG26 （B 图形区）				SEG26 （A 图形区）				○	○
SEG27	F041BH	SEG27 （B 图形区）				SEG27 （A 图形区）				○	○
SEG28	F041CH	SEG28 （B 图形区）				SEG28 （A 图形区）				○	○
SEG29	F041DH	SEG29 （B 图形区）				SEG29 （A 图形区）				○	○
SEG30	F041EH	SEG30 （B 图形区）				SEG30 （A 图形区）				○	○
SEG31	F041FH	SEG31 （B 图形区）				SEG31 （A 图形区）				○	○
SEG32	F0420H	SEG32 （B 图形区）				SEG32 （A 图形区）				○	○
SEG33	F0421H	SEG33 （B 图形区）				SEG33 （A 图形区）				○	○
SEG34	F0422H	SEG34 （B 图形区）				SEG34 （A 图形区）				○	○
SEG35	F0423H	SEG35 （B 图形区）				SEG35 （A 图形区）				○	○
SEG36	F0424H	SEG36 （B 图形区）				SEG36 （A 图形区）				○	—
SEG37	F0425H	SEG37 （B 图形区）				SEG37 （A 图形区）				○	—
SEG38	F0426H	SEG38 （B 图形区）				SEG38 （A 图形区）				○	—

备注 ○：支持 —：不支持

表 13-10 LCD 显示数据寄存器的内容和段输出、公共输出的关系 (2/2)

(b) 8个时间片

寄存器名	地址	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	64-pin	48-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 注								○	○
SEG1	F0401H	SEG1 注								○	○
SEG2	F0402H	SEG2 注								○	○
SEG3	F0403H	SEG3 注								○	○
SEG4	F0404H	SEG4								○	○
SEG5	F0405H	SEG5								○	○
SEG6	F0406H	SEG6								○	○
SEG7	F0407H	SEG7								○	○
SEG8	F0408H	SEG8								○	—
SEG9	F0409H	SEG9								○	—
SEG10	F040AH	SEG10								○	—
SEG11	F040BH	SEG11								○	—
SEG12	F040CH	SEG12								○	—
SEG13	F040DH	SEG13								○	—
SEG14	F040EH	SEG14								○	—
SEG15	F040FH	SEG15								○	—
SEG16	F0410H	SEG16								○	○
SEG17	F0411H	SEG17								○	○
SEG18	F0412H	SEG18								○	○
SEG19	F0413H	SEG19								○	○
SEG20	F0414H	SEG20								○	○
SEG21	F0415H	SEG21								○	○
SEG22	F0416H	SEG22								○	—
SEG23	F0417H	SEG23								○	—
SEG24	F0418H	SEG24								○	○
SEG25	F0419H	SEG25								○	○
SEG26	F041AH	SEG26								○	○
SEG27	F041BH	SEG27								○	○
SEG28	F041CH	SEG28								○	○
SEG29	F041DH	SEG29								○	○
SEG30	F041EH	SEG30								○	○
SEG31	F041FH	SEG31								○	○
SEG32	F0420H	SEG32								○	○
SEG33	F0421H	SEG33								○	○
SEG34	F0422H	SEG34								○	○
SEG35	F0423H	SEG35								○	○
SEG36	F0424H	SEG36								○	—
SEG37	F0425H	SEG37								○	—
SEG38	F0426H	SEG38								○	—

注 COM4～COM7引脚和SEG0～SEG3引脚复用。

备注 ○：支持 —：不支持

当用作静态、2 个时间片、3 个时间片或者 4 个时间片时，LCD 显示数据寄存器的各地址的低 4 位为 A 图形区，高 4 位为 B 图形区。

A 图形区的数据和 COM 信号的对应为 bit0↔COM0、 bit1↔COM1、 bit2↔COM2、 bit3↔COM3。

B 图形区的数据和 COM 信号的对应为 bit4↔COM0、 bit5↔COM1、 bit6↔COM2、 bit7↔COM3。

当 BLON 位和 LCDSEL 位都为 “0” 时， LCD 显示屏显示 A 图形区的数据；当 BLON 位为 “0” 并且 LCDSEL 位为 “1” 时， LCD 显示屏显示 B 图形区的数据。

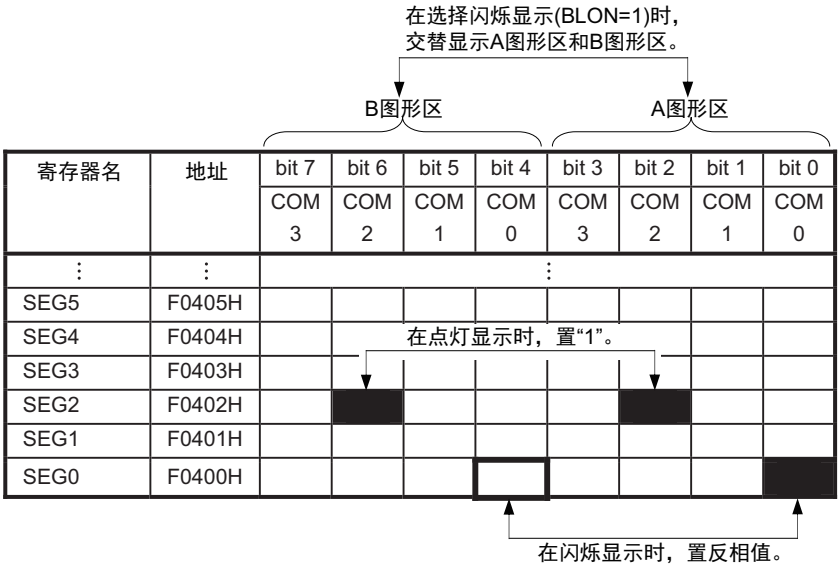
13.5 LCD 显示寄存器的选择

当用于静态、 2 个时间片、 3 个时间片或者 4 个时间片时， R7F0C001G/L、 R7F0C002G/L 能通过设定 BLON 位和 LCDSEL 位，从以下 3 种选择 LCD 显示数据寄存器：

- A 图形区 （LCD 显示数据寄存器的低 4 位）的数据显示
- B 图形区 （LCD 显示数据寄存器的高 4 位）的数据显示
- 交替显示 A 图形区和 B 图形区的数据 （实时计数器 （RTC）的固定周期中断时序对应的闪烁显示）

注意 在使用 8 个时间片时，不能选择 LCD 显示数据寄存器 （A 图形、 B 图形或者闪烁显示）。

图 13-15 图形切换显示时的 LCD 显示寄存器的设定例子



13.5.1 A 图形区和 B 图形区的数据显示

当 BLON 位和 LCDSEL 位都为 “0” 时，将 A 图形区（LCD 显示数据寄存器的低 4 位）的数据作为 LCD 显示寄存器进行输出。

当 BLON 位为 “0” 并且 LCDSEL 位为 “1” 时，将 B 图形区 （LCD 显示数据寄存器的高 4 位）的数据作为 LCD 显示寄存器进行输出。

有关显示区请参照 “13.4 LCD 显示数据寄存器 ”。

13.5.2 闪烁显示 （A 图形区和 B 图形区的数据的交替显示）

当 BLON 位为 “1” 时，对应实时计数器 （RTC）的固定周期中断 （INTRTC）时序，进行 A 图形区和 B 图形区的数据交替显示。有关 RTC 的固定周期中断 （INTRTC、只限于 0.5s 的设定）时序的设定，请参照 “ **第 7 章 实时时钟** ”。

当 LCD 闪烁显示时，必须给与 A 图形区的位对应的 B 图形区的位设定反相值 （ex. 将 F0400H 的 bit0 置 “1”，在闪烁显示时将 F0400H 的 bit4 置 “0”）；当 LCD 不闪烁显示时，必须设定相同值（ex. 将 F0402H 的 bit2 置 “1”，在点灯显示时将 F0402H 的 bit6 置 “1”）。

有关显示区请参照 “**13.4 LCD 显示数据寄存器** ”。

显示的切换时序如下所示。

图 13-16 从 A 图形显示到闪烁显示的切换运行

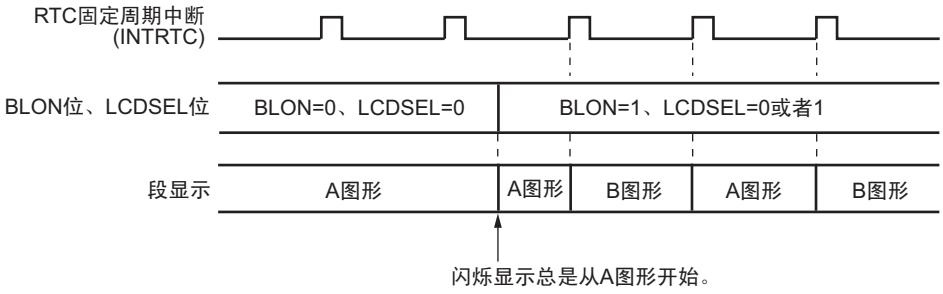
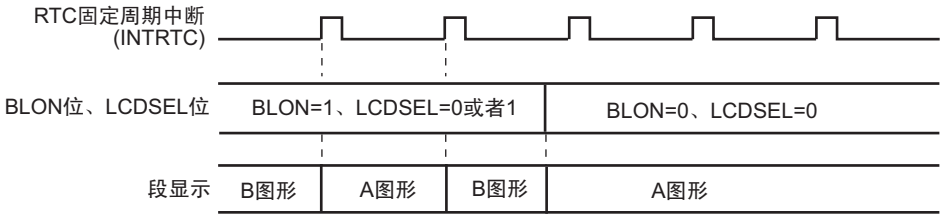


图 13-17 从闪烁显示到 A 图形显示的切换运行



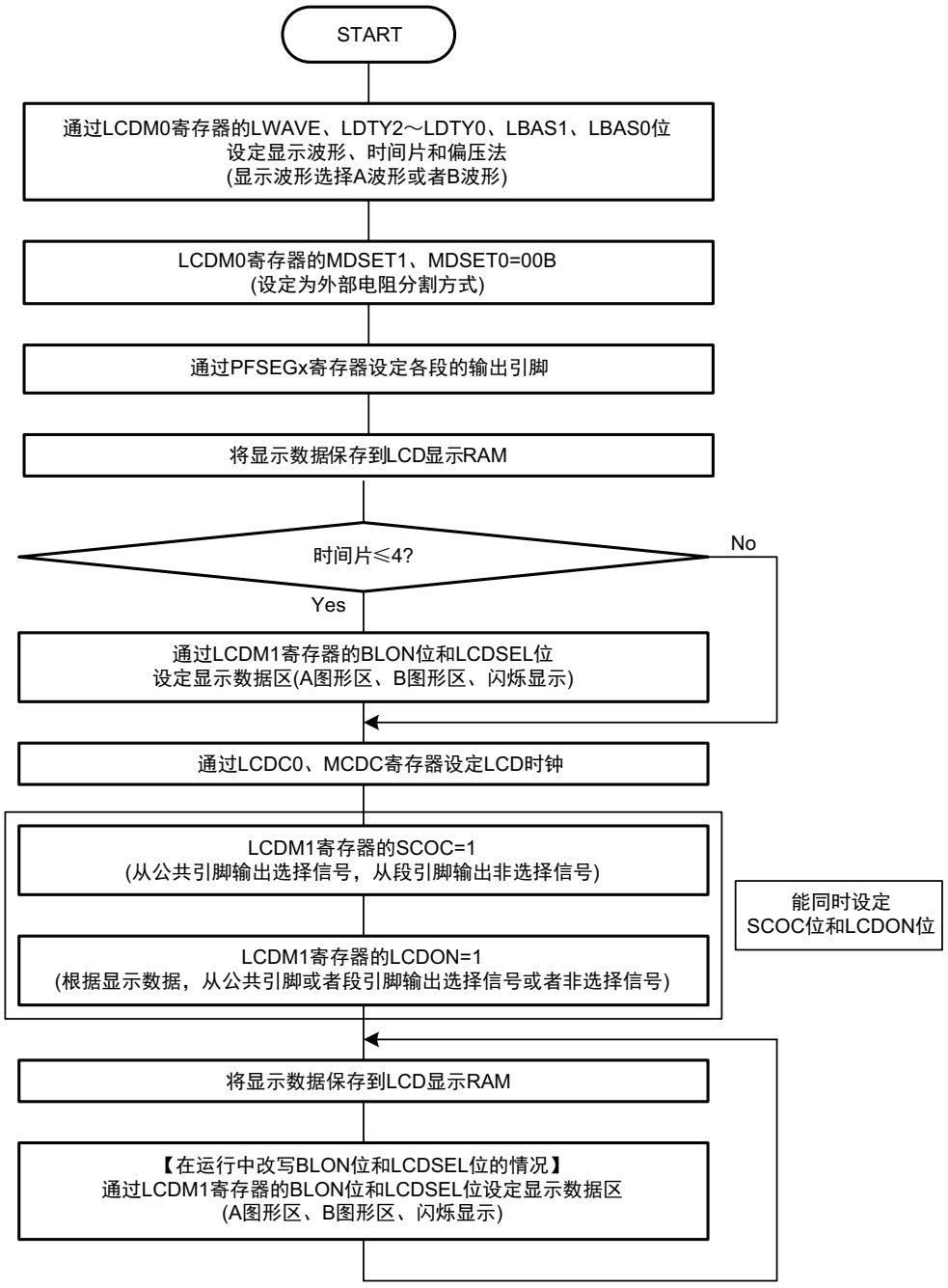
13.6 LCD 控制器 / 驱动器的设定

必须对 LCD 控制器 / 驱动器进行以下的设定：

注意 要使 LCD 控制器 / 驱动器运行时，必须按照 (1) ～ (3) 的设定步骤进行设定。如果不按照设定步骤进行，就不保证运行。

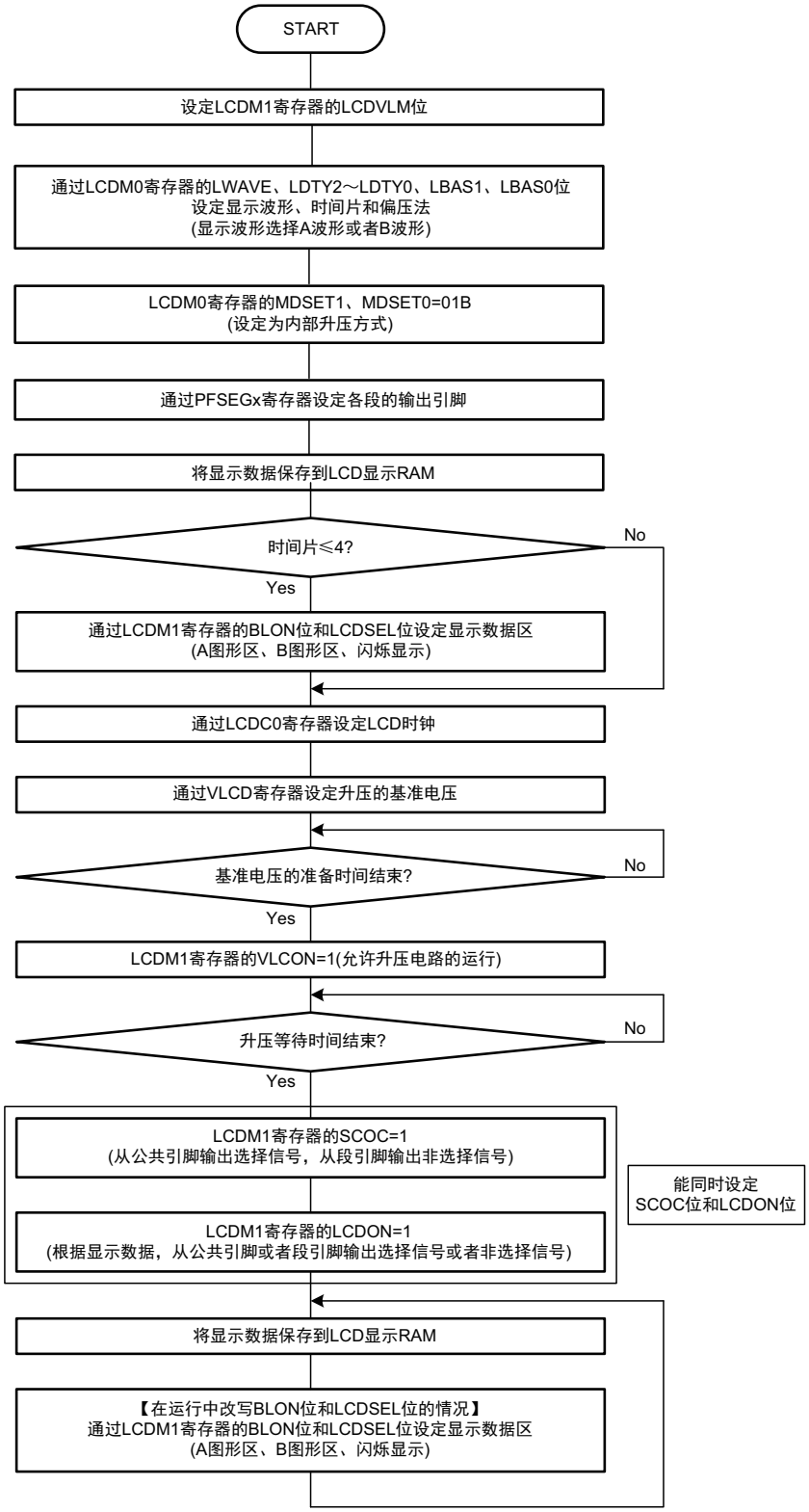
(1) 外部电阻分割方式

图 13-18 外部电阻分割方式的设定步骤



(2) 内部升压方式

图 13-19 内部升压方式的设定步骤

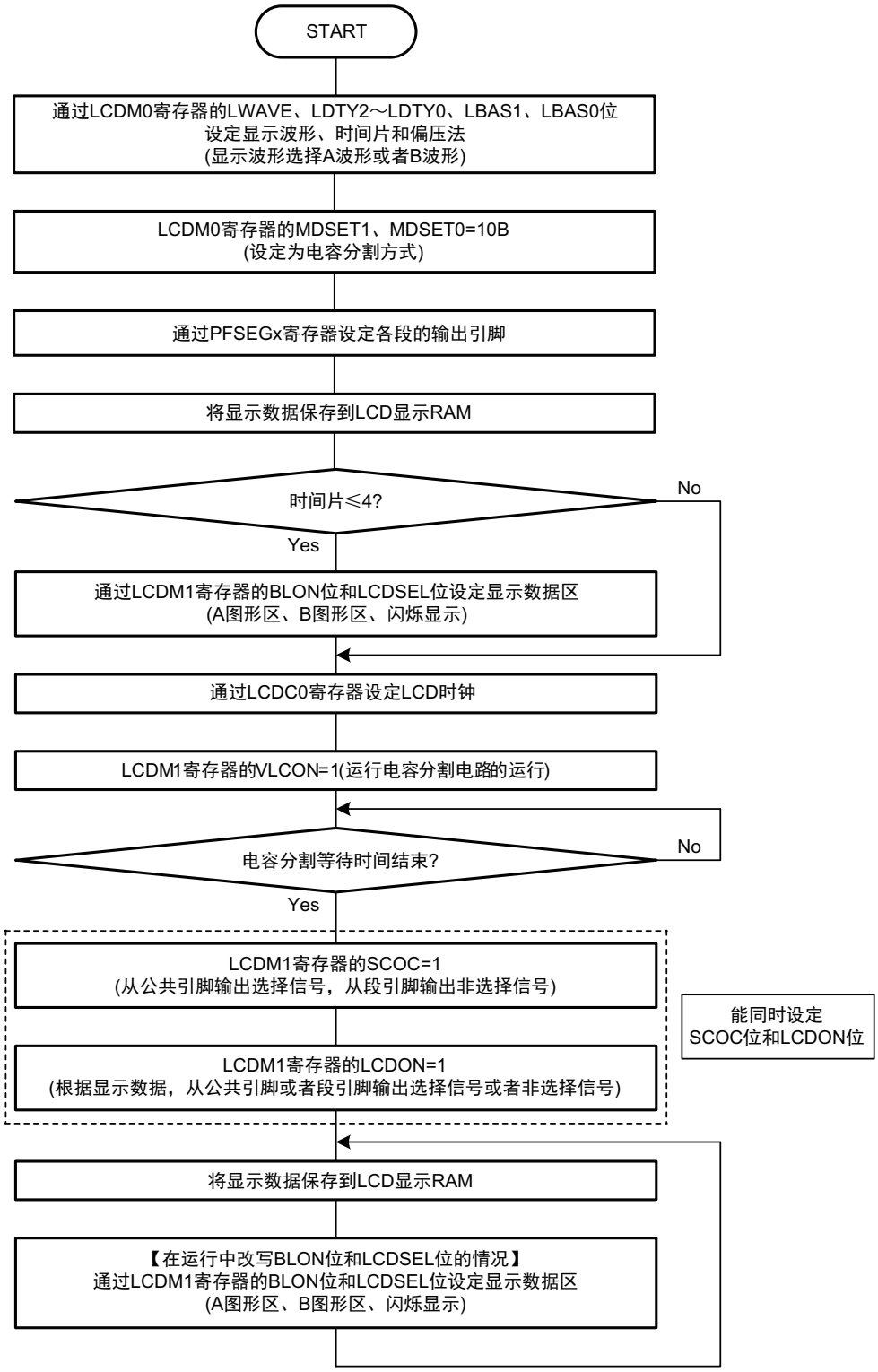


注意 1. 即使不更改 VLCD 寄存器也必须等待准备时间的结束。

2. 有关基准电压准备时间和升压等待时间的规格，请参照 “ 第 27 章 电特性 ”。

(3) 电容分割方式

图 13-20 电容分割方式的设定步骤



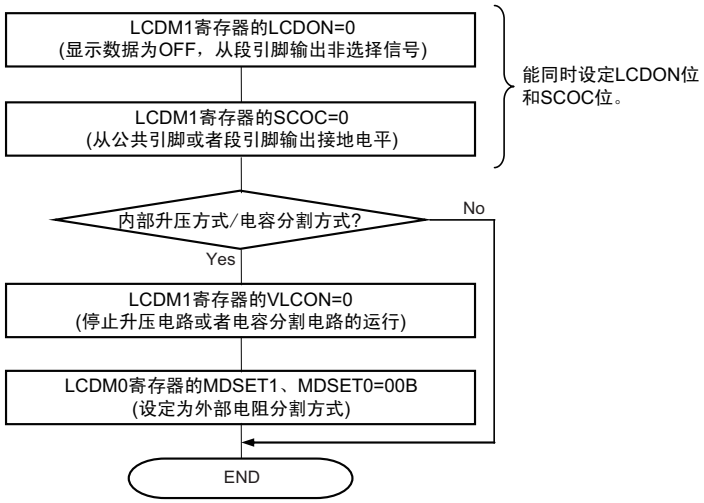
注意 有关电容分割等待时间的规格，请参照“ 第 27 章 电特性 ”。

13.7 运行停止步骤

如果要在 LCD 显示屏正在显示时停止运行，就必须通过以下流程图的设定进行停止。

通过将 LCDM1 寄存器的 LCDON 位置 “0” 并且将 LCDM1 寄存器的 SCOC 位置 “0”，停止 LCD 的运行。

图 13-21 停止运行的步骤



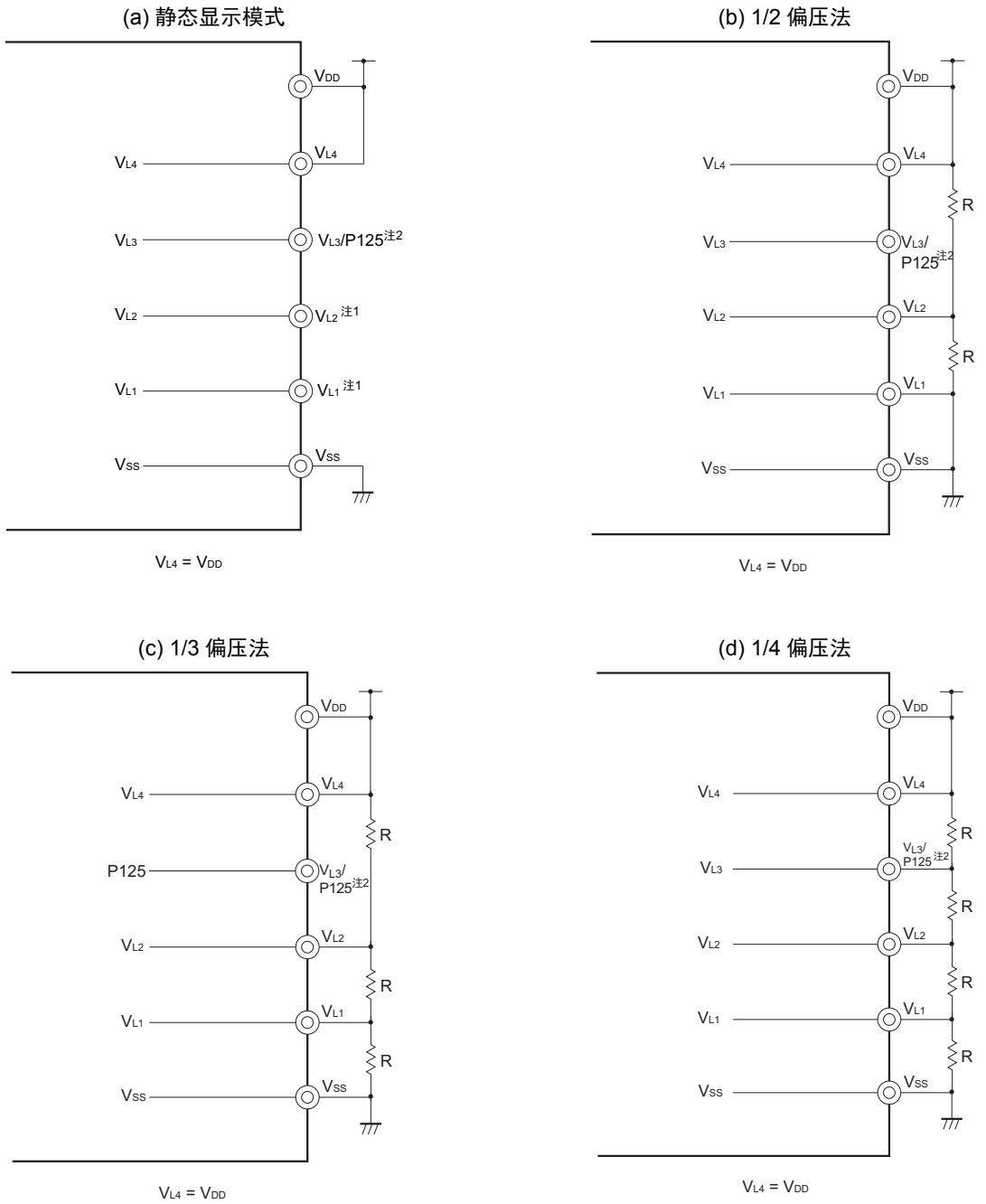
注意 在显示为 ON 状态 （LCDM1 寄存器的 SCOC、 LCDON=11B）的情况下，禁止停止升压电路或者电容分割电路的运行 （LCDM1 寄存器的 VLCON=0），否则不保证设定后的运行。必须在将显示置为 OFF （LCDM1 寄存器的 SCOC、 LCDON=00B）后停止升压电路或者电容分割电路的运行 （LCDM1 寄存器的 VLCON=0）。

13.8 LCD 驱动电压 V_{L1}、 V_{L2}、 V_{L3}、 V_{L4} 的提供

13.8.1 外部电阻分割方式

根据各偏压法进行 LCD 驱动电压连接的例子如图 13-22 所示。

图 13-22 LCD 驱动电源的连接例子 （外部电阻分割方式）



注 1. V_{L1}、 V_{L2} 必须接地或者置为开路。

2. V_{L3} 能用作端口 （P125）。

注意 用于外部电阻分解的电阻 R 的参考值为 10kΩ ～ 1MΩ。当要稳定 V_{L1} ～ V_{L4} 引脚的电压时，必须根据需要，在 V_{L1} ～ V_{L4} 引脚和 GND 之间连接电容器，电容器的参考值约为 0.47μF，取决于使用的 LCD 显示屏、段引脚数、公共引脚数、帧频和使用环境。必须在根据系统进行充分评估的基础上调整和决定电容值。

13.8.2 内部升压方式

R7F0C001G/L、 R7F0C002G/L 内置用于 LCD 驱动电源的内部升压电路。通过外接内部升压电路的电容器（0.47μF±30%），生成 LCD 驱动电压。内部升压方式只能使用 1/3 偏压法或者 1/4 偏压法。

内部升压方式的 LCD 驱动电压和器件本身不是同一个电源，因此与 V_{DD} 的变化无关，能提供固定的电压。

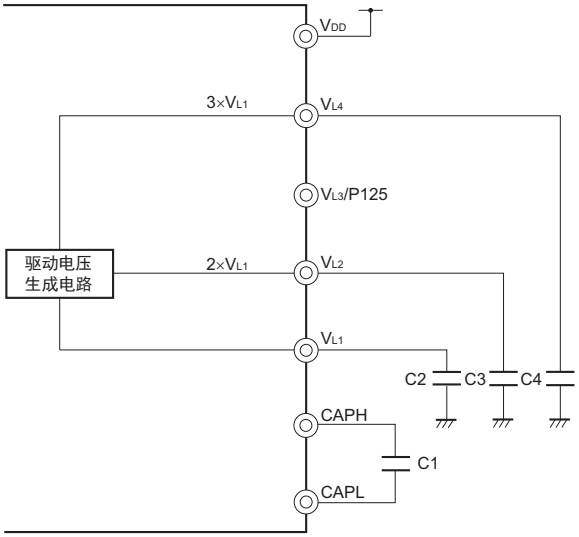
能通过设定 LCD 升压控制寄存器 （VLCD）来调整对比度。

表 13-11 LCD 驱动电压 （内部升压方式）

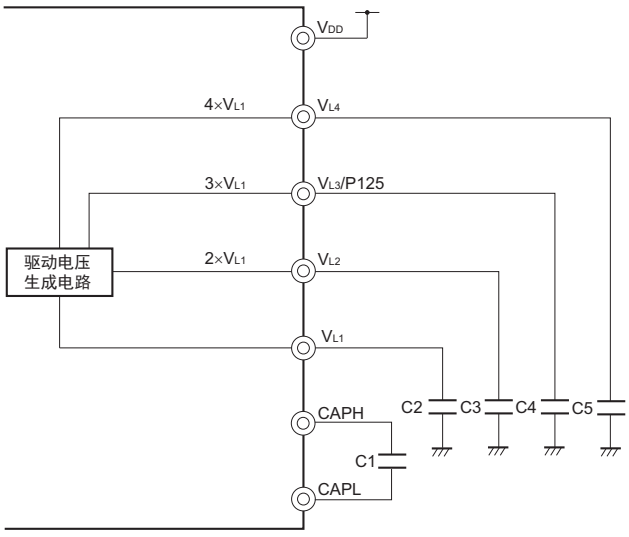
显示模式 / LCD 驱动电源引脚	1/3 偏压法	1/4 偏压法
V_{L4}	$3\times V_{L1}$	$4\times V_{L1}$
V_{L3}	—	$3\times V_{L1}$
V_{L2}	$2\times V_{L1}$	$2\times V_{L1}$
V_{L1}	LCD 基准电压	LCD 基准电压

图 13-23 LCD 驱动电源的连接例子 （内部升压方式）

(a) 1/3 偏压法



(b) 1/4 偏压法



备注 必须尽量使用漏电流小的电容器。 C1 必须是无极性的电容器。

13.8.3 电容分割方式

R7F0C001G/L、 R7F0C002G/L 内置用于 LCD 驱动电源的电容分割电路。通过外接电容分割电路的电容器（0.47μF±30%），生成 LCD 驱动电压。电容分割方式只能使用 1/3 偏压法。

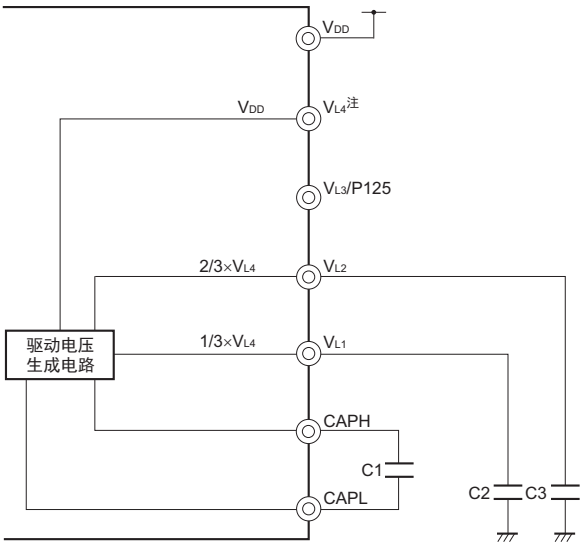
和外部电阻分割方式不同，电容分割方式没有电流流过，因此能减小消费电流。

表 13-12 LCD 驱动电压 （电容分割方式）

显示模式 / LCD 驱动电源引脚	1/3 偏压法
V_{L4}	V_{DD}
V_{L3}	—
V_{L2}	$2/3 \times V_{L4}$
V_{L1}	$1/3 \times V_{L4}$

图 13-24 LCD 驱动电源的连接例子 （电容分割方式）

• 1/3偏压法



注 在转换到内部升压方式后使用时，必须连接到电容器 C4 如 “ 图 13-23 LCD 驱动电源的连接例子 （内部升压方式） ”。

备注 必须尽量使用漏电流小的电容器。 C1 必须是无极性的电容器。

13.9 公共信号和段信号

当各画素对应的公共信号和段信号的电位差高于一定电压 （LCD 驱动电压 V_{LCD}）时， LCD 显示屏的各画素就点灯。如果电位差低于 V_{LCD}，各画素就熄灯。

如果给公共信号和段信号外加 DC 电压， LCD 显示屏就会老化，因此通过 AC 电压进行驱动。

(1) 公共信号

根据设定的时间片，**表 13-13** 所示的顺序为公共信号的选择时序，并且以其为一个周期进行重复运行。在静态模式的情况下， COM0 ～ COM3 输出相同的信号。

必须将 2 个时间片的 COM2 引脚和 COM3 引脚以及 3 个时间片的 COM3 引脚置为开路。

必须将不是 8 个时间片的 COM4 ～ COM7 引脚置为开路或者用作段引脚。

表 13-13 COM 信号

COM信号 / 时间片	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
静态					注	注	注	注
2个时间片			开路	开路	注	注	注	注
3个时间片				开路	注	注	注	注
4个时间片					注	注	注	注
8个时间片								

注 必须置为开路或者用作段引脚。

(2) 段信号

段信号对应 LCD 显示数据寄存器 （参照 “**13.4 LCD 显示数据寄存器** ”）。

在 8 个时间片方式的情况下，各显示数据寄存器的 bit0 ～ bit7 对应 COM0 ～ COM7。与公共信号输出的各时序同步，读数据存储器的数据。如果各位的内容为 “1”，就在转换为选择电压后输出到段引脚 （SEG4 ～ SEG38）。如果各位的内容为 “0”，就在转换为非选择电压后输出到段引脚 （SEG4 ～ SEG38）。

在不是 8 个时间片方式的情况下，在 A 图形区中各显示数据寄存器的 bit0 ～ bit3 对应 COM0 ～ COM3，在 B 图形区中各显示数据寄存器的 bit4 ～ bit7 对应 COM0 ～ COM3。与公共信号输出的各时序同步，读数据存储器的数据。如果各位的内容为 “1”，就在转换为选择电压后输出到段引脚 （SEG0 ～ SEG38）。如果各位的内容为 “0”，就在转换为非选择电压后输出到段引脚 （SEG0 ～ SEG38）。

因此，必须先确认 LCD 显示数据寄存器使用的 LCD 显示屏的前面电极 （对应段信号）和背面电极 （对应公共信号）是如何组合形成显示图形的，然后给显示数据寄存器写与显示图形一一对应的位数据。

备注 配置的段引脚因产品而不同。

- 48 引脚产品：SEG0～SEG7、 SEG16～SEG21、 SEG24～SEG35
- 64 引脚产品：SEG0～SEG38

(3) 公共信号和段信号的输出波形

给公共信号和段信号输出表 13-14 所示的电压。
只有在公共信号和段信号都为选择电压时才为 $\pm V_{LCD}$ 的点灯电压，在其他组合时为熄灯电压。

表 13-14 LCD 驱动电压

(a) 静态显示模式

公共信号 \ 段信号	选择信号电平	非选择信号电平
	V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0V/0V

(b) 1/2 偏压法

公共信号 \ 段信号		选择信号电平	非选择信号电平
		V_{SS}/V_{L4}	V_{L4}/V_{SS}
选择信号电平	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0V/0V
非选择信号电平	V_{L2}	$-\frac{1}{2}V_{LCD} / +\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD} / -\frac{1}{2}V_{LCD}$

(c) 1/3 偏压法 （A 波形、 B 波形）

公共信号 \ 段信号		选择信号电平	非选择信号电平
		V_{SS}/V_{L4}	V_{L2}/V_{L1}
选择信号电平	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD} / +\frac{1}{3}V_{LCD}$
非选择信号电平	V_{L4}/V_{L2}	$-\frac{1}{3}V_{LCD} / +\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD} / -\frac{1}{3}V_{LCD}$

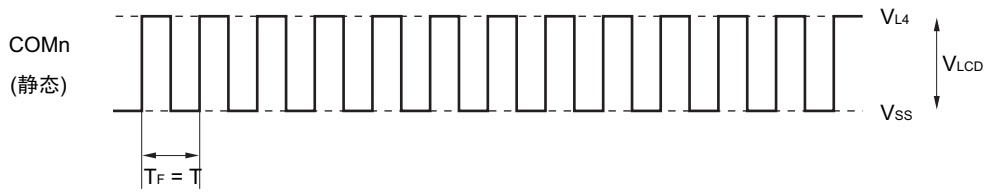
(d) 1/4 偏压法 （A 波形、 B 波形）

公共信号 \ 段信号		选择信号电平	非选择信号电平
		V_{SS}/V_{L4}	V_{L2}
选择信号电平	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2}V_{LCD} / +\frac{1}{2}V_{LCD}$
非选择信号电平	V_{L1}/V_{L3}	$-\frac{1}{4}V_{LCD} / +\frac{1}{4}V_{LCD}$	$+\frac{1}{4}V_{LCD} / -\frac{1}{4}V_{LCD}$

公共信号波形如所示图 13-25，公共信号和段信号的电压和相位如图 13-26 所示。

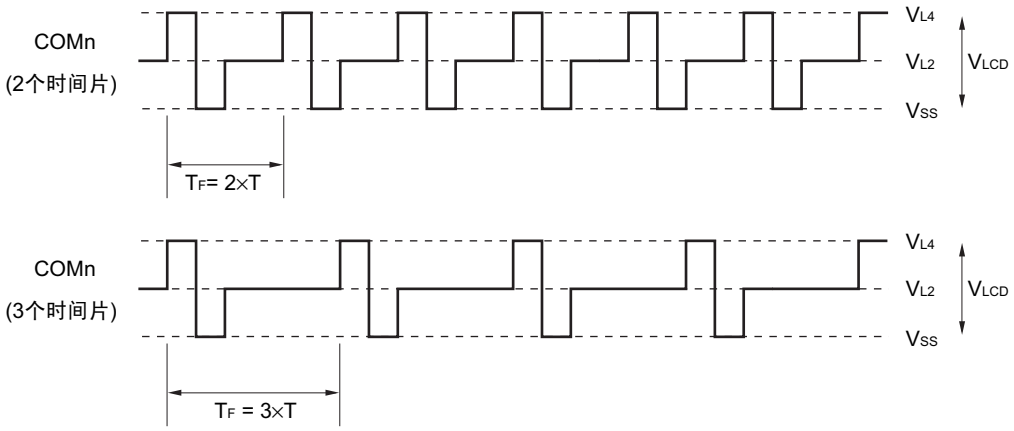
图 13-25 公共信号波形 (1/2)

(a) 静态显示模式



T：LCD 时钟的 1 个周期 T_F：帧频

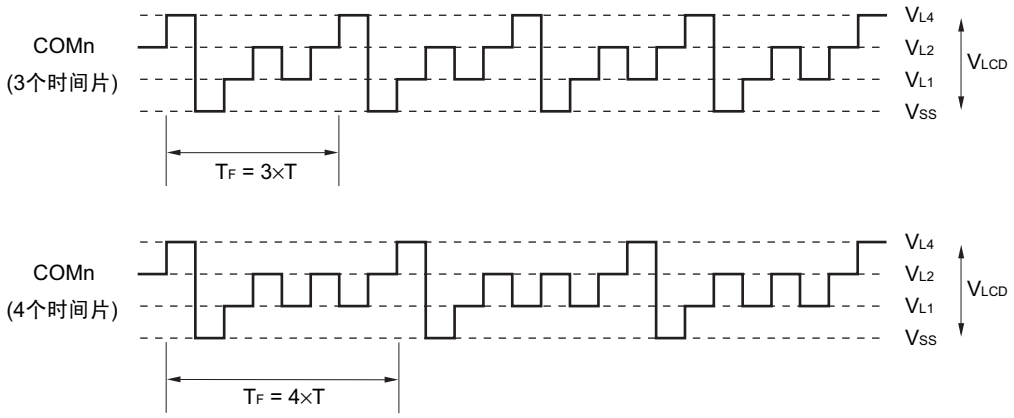
(b) 1/2 偏压法



T：LCD 时钟的 1 个周期 T_F：帧频

图 13-25 公共信号波形 (2/2)

(c) 1/3 偏压法



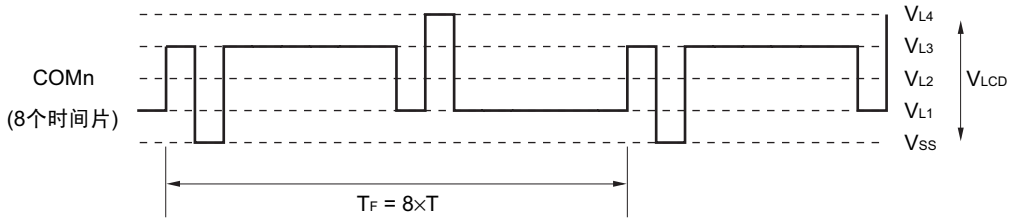
T：LCD 时钟的 1 个周期 T_F：帧频

＜ LCD 帧频的计算例子 （使用 4 个时间片的情况）＞

LCD时钟：32768/2^8=256Hz （LCDC0=07H时）

LCD帧频：64Hz

(d) 1/4 偏压法



T：LCD 时钟的 1 个周期 T_F：帧频

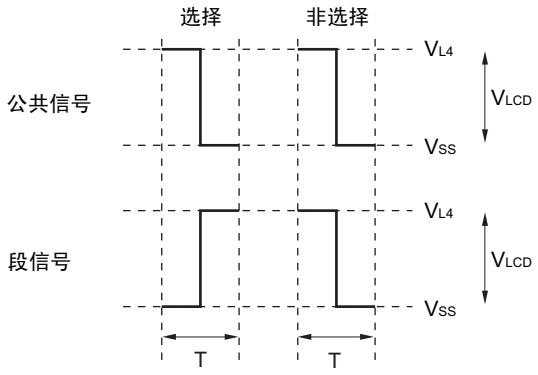
＜ LCD 帧频的计算例子 （使用 8 个时间片的情况）＞

LCD时钟：32768/2^8=256Hz （LCDC0=07H时）

LCD帧频：32Hz

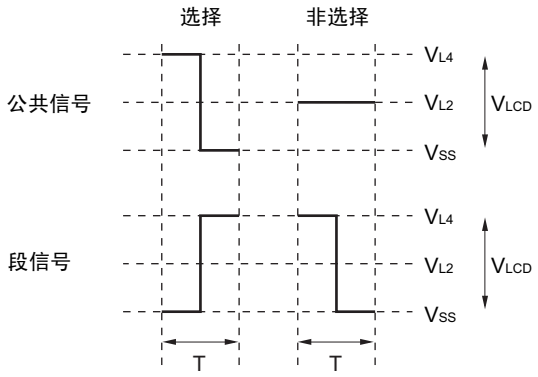
图 13-26 公共信号和段信号的电压和相位 (1/2)

(a) 静态显示模式 （A波形）



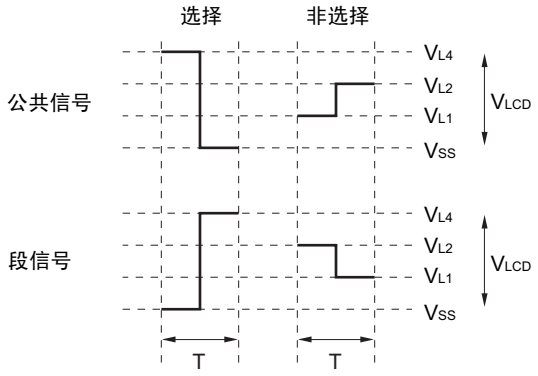
T：LCD 时钟的 1 个周期

(b) 1/2偏压法 （A波形）



T：LCD 时钟的 1 个周期

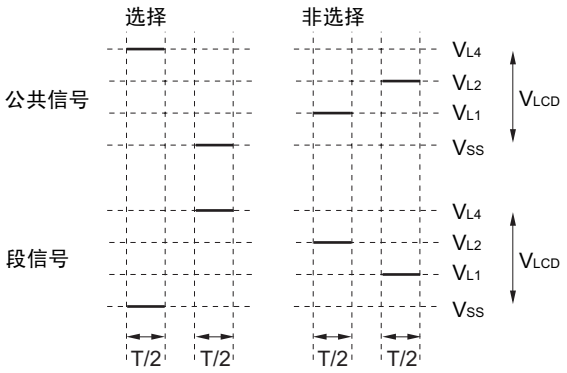
(c) 1/3偏压法 （A波形）



T：LCD 时钟的 1 个周期

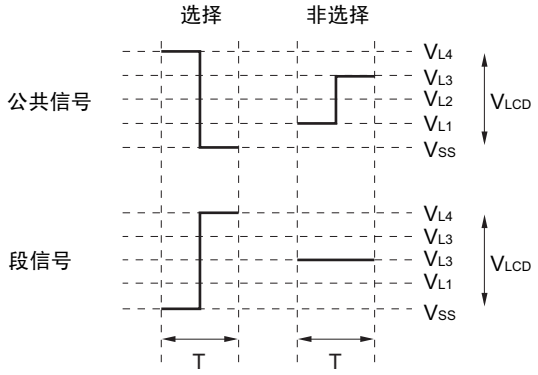
图 13-26 公共信号和段信号的电压和相位 (2/2)

(d) 1/3偏压法 （B波形）



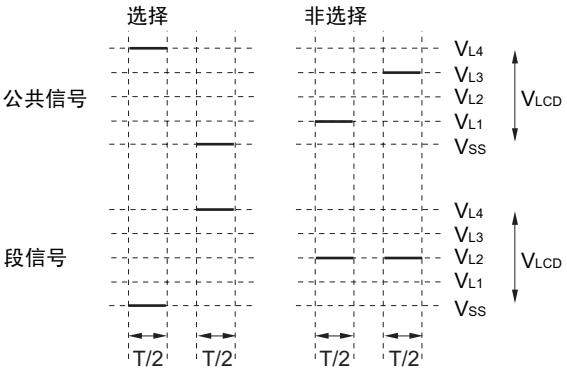
T：LCD 时钟的 1 个周期

(e) 1/4偏压法 （A波形）



T：LCD 时钟的 1 个周期

(f) 1/4偏压法 （B波形）



T：LCD 时钟的 1 个周期

13.10 显示模式

13.10.1 静态显示例子

图 13-27 显示图形的静态方式的 3 位 LCD 显示屏、段信号 （SEG0 ～ SEG23）和公共信号 （COM0）的连接如图 13-28 所示。显示例子是 “12.3”，显示数据寄存器 （F0400H ～ F0417H）的内容对应此显示例子。

在此，以第 2 位的 “2.” （2.）为例进行说明。需要根据图 13-27 的显示图形并且通过 COM0 的公共信号的时序，将表 13-15 所示的选择电压和非选择电压输出到 SEG8 ～ SEG15 引脚。

表 13-15 选择电压和非选择电压 （COM0）

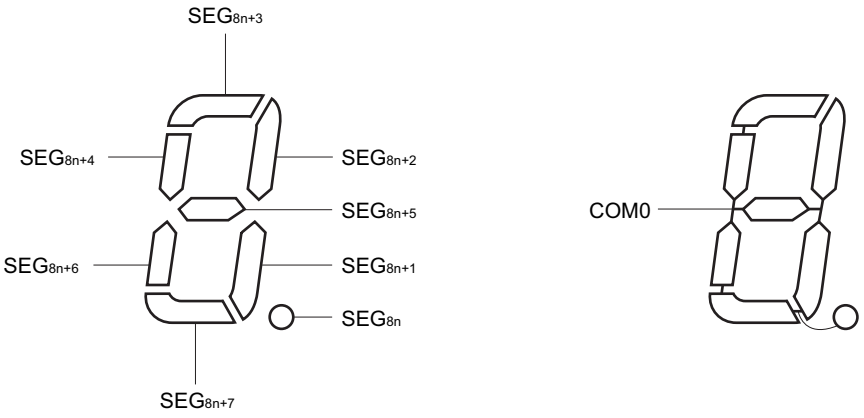
段 / 公共	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	选择	非选择	选择	选择	非选择	选择	选择	选择

因此，给 SEG8 ～ SEG15 对应的显示数据寄存器 （F0408H ～ F040FH）的 bit0 准备 “10110111” 即可。

SEG11、SEG12 和 COM0 的 LCD 驱动波形如图 13-29 所示。如果在选择 COM0 时 SEG11 为选择电压，就知道 LCD 点灯电平 $+V_{LCD}/-V_{LCD}$ 的交流矩形波产生。

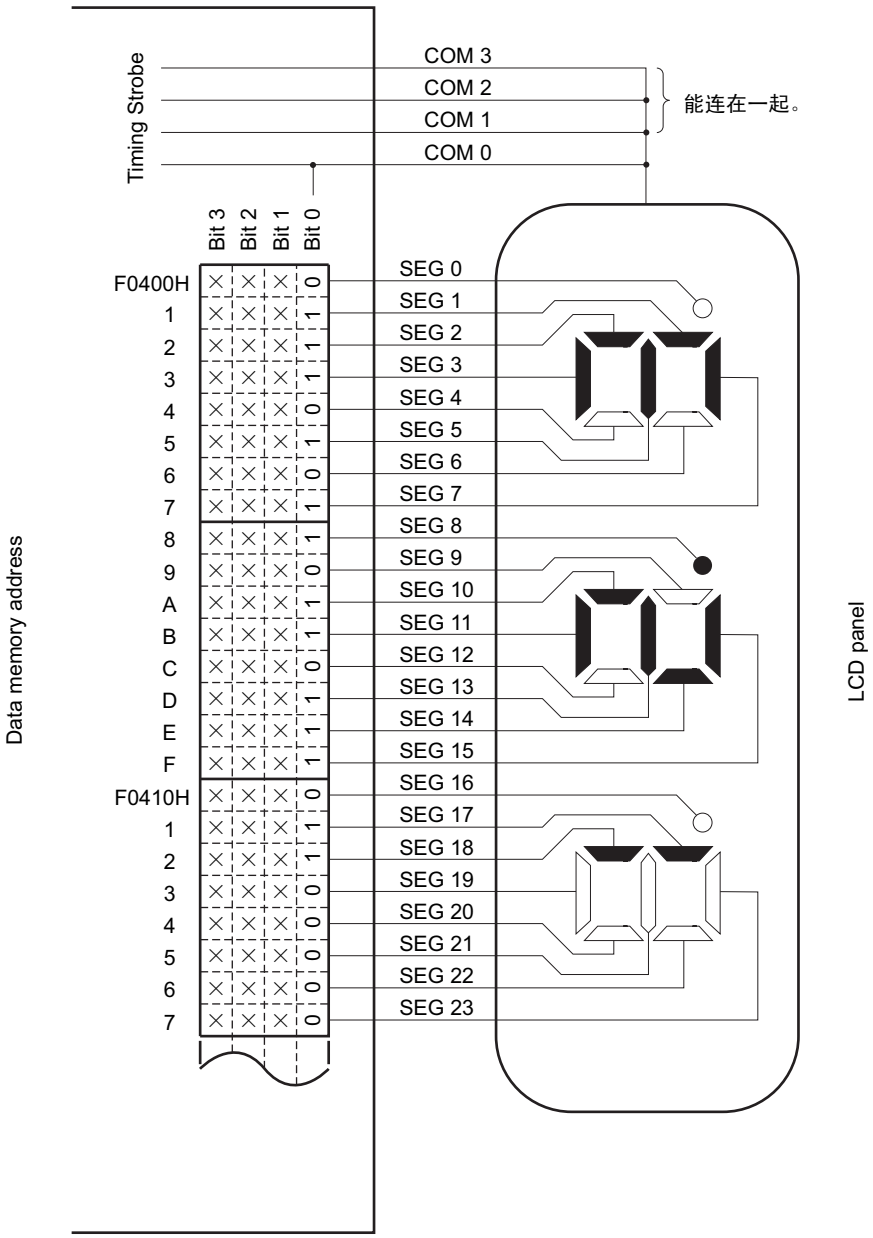
因为 COM1 ～ COM3 输出和 COM0 相同的波形，所以能通过连接 COM0 ～ COM3 来提高驱动能力。

图 13-27 静态 LCD 的显示图形和电极连线



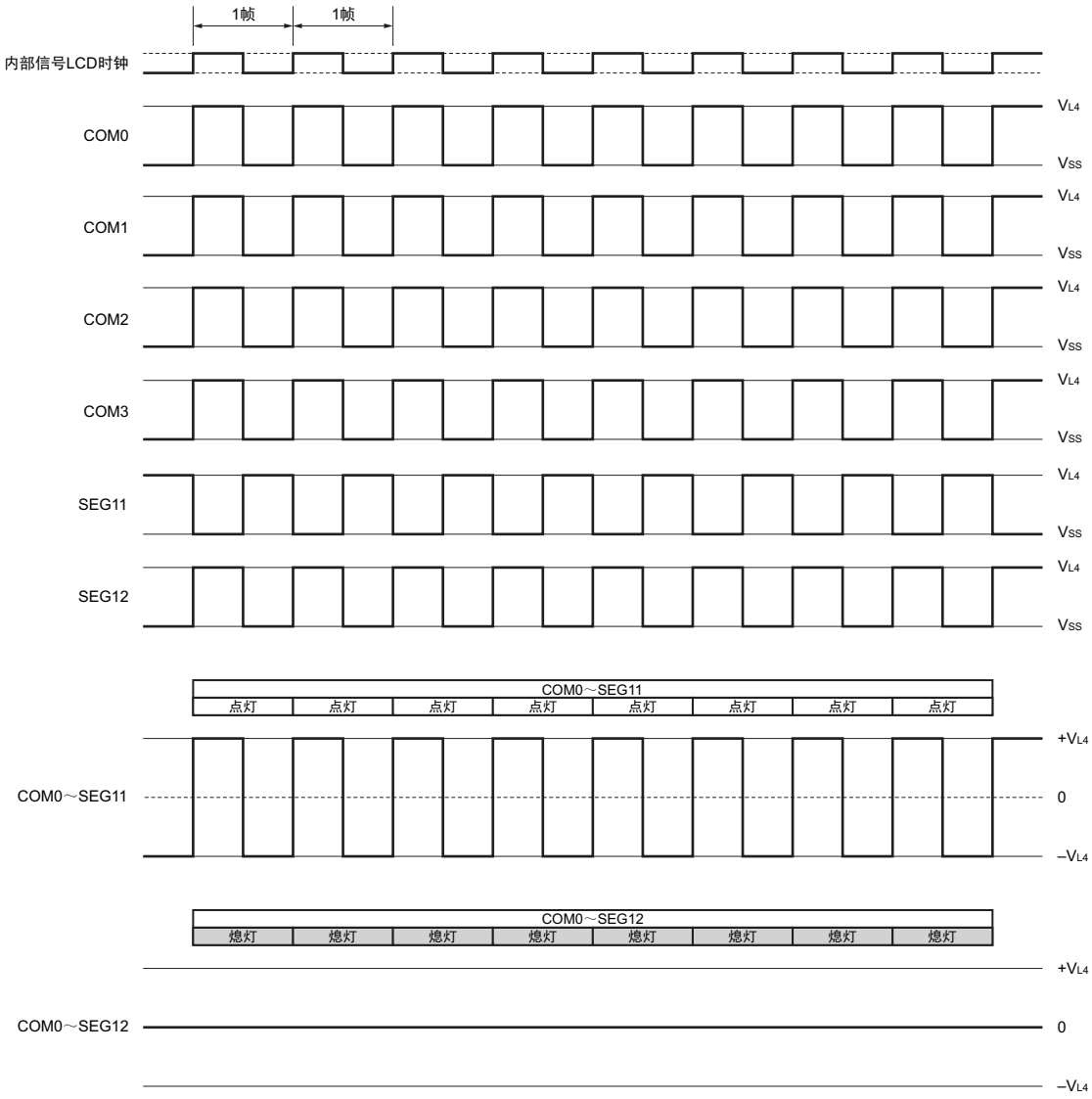
备注 48 引脚产品：n=0 ～ 2
64 引脚产品：n=0 ～ 3

图 13-28 静态 LCD 显示屏的连线例子



备注 ×：忽略

图 13-29 SEG11、 SEG12 和 COM0 的静态 LCD 驱动波形例子



13.10.2 2 个时间片的显示例子

图 13-30 显示图形的 2 个时间片方式的 6 位 LCD 显示屏、段信号 （SEG0 ～ SEG23）和公共信号（COM0、 COM1）的连接如图 13-31 所示。显示例子是 “12345.6”，显示数据寄存器 （F0400H ～ F0417H）的内容对应此显示例子。

在此，以第 4 位的 “3” （ ）为例进行说明。需要根据图 13-30 的显示图形并且通过 COM0 和 COM1 的公共信号的时序，将表 13-16 所示的选择和非选择电压输出到 SEG12 ～ SEG15 引脚。

表 13-16 选择电压和非选择电压 （COM0、 COM1）

段 / 公共	SEG12	SEG13	SEG14	SEG15
COM0	选择	选择	非选择	非选择
COM1	非选择	选择	选择	选择

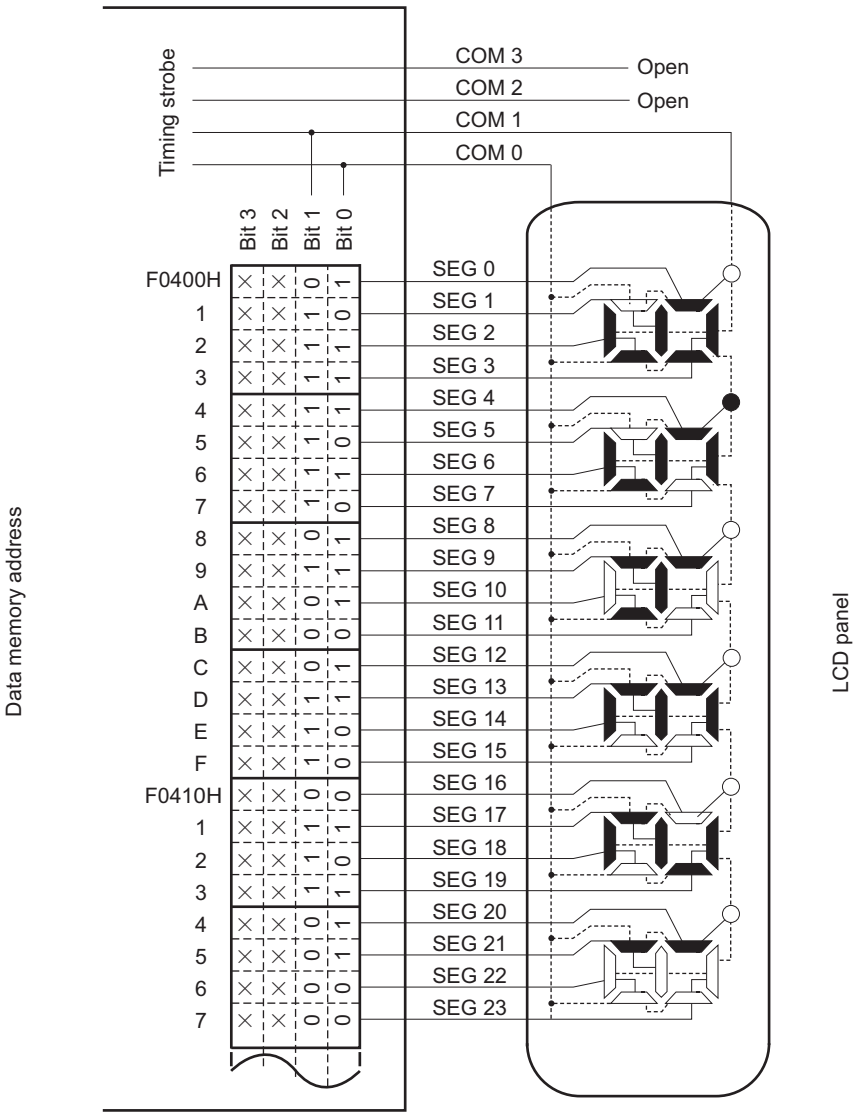
因此，给 SEG15 对应的显示数据寄存器 （F040FH）准备 “xx10” 即可。

SEG15 和各公共信号之间的 LCD 驱动波形例子如图 13-32 所示。在选择 COM1 时 SEG15 为选择电压，就知道 LCD 点灯电平 $+V_{LCD}/-V_{LCD}$ 的交流矩形波产生。

图 13-30 2 个时间片的 LCD 显示图形和电极连线

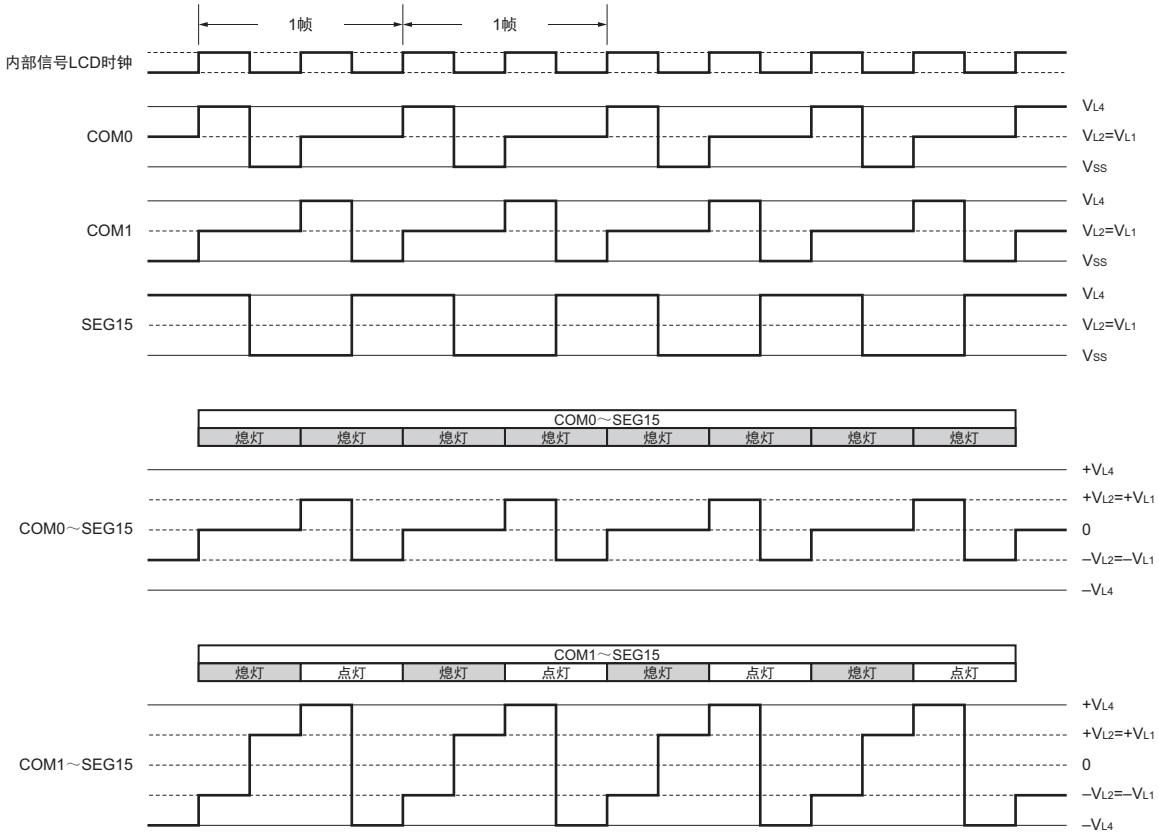
备注 48 引脚产品：n=0 ～ 5
64 引脚产品：n=0 ～ 8

图 13-31 2 个时间片的 LCD 显示屏的连线例子



备注 ×：忽略

图 13-32 SEG15 和各公共信号之间的 2 个时间片的 LCD 驱动波形例子 （1/2 偏压法）



13.10.3 3 个时间片的显示例子

图 13-33 显示图形的 3 个时间片方式的 8 位 LCD 显示屏、段信号（SEG0 ～ SEG23）和公共信号（COM0 ～ COM2）的连接如图 13-34 所示。显示例子是 “123456.78”，显示数据寄存器 （F0400H ～ F0417H）的内容对应此显示例子。

在此，以第 3 位的 “6.” （6.）为例进行说明。需要根据图 13-33 的显示图形并且通过 COM0 ～ COM2 的各公共信号的时序，将表 13-17 所示的选择电压和非选择电压输出到 SEG6 ～ SEG8 引脚。

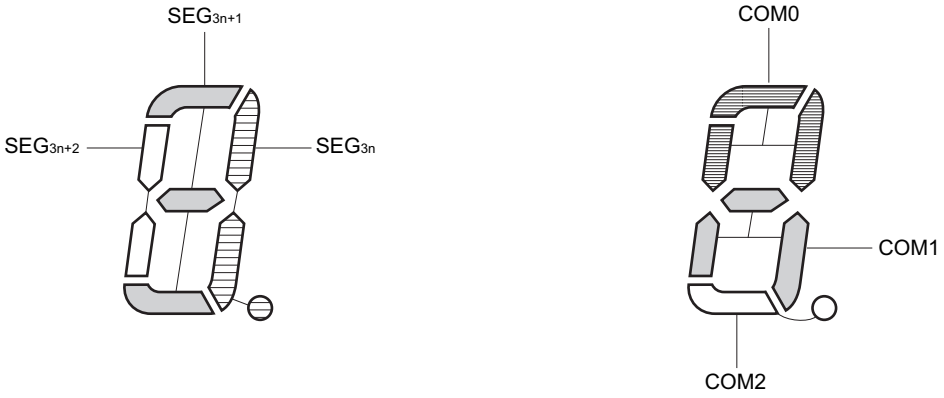
表 13-17 选择电压和非选择电压 （COM0 ～ COM2）

段 / 公共	SEG6	SEG7	SEG8
COM0	非选择	选择	选择
COM1	选择	选择	选择
COM2	选择	选择	—

因此，给 SEG6 对应的显示数据寄存器 （地址 F0406H）准备 “x110” 即可。

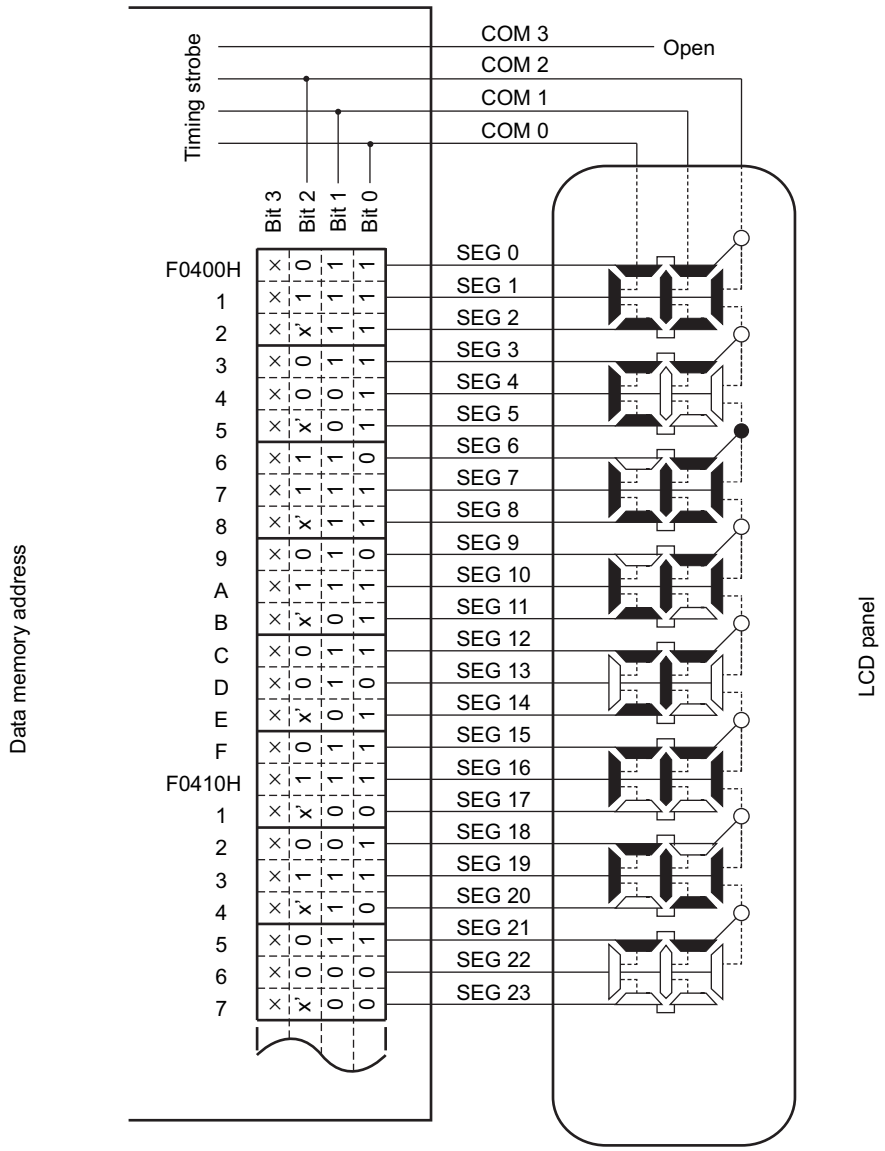
SEG6 和各公共信号之间的 LCD 驱动波形例子如图 13-35 （1/2 偏压法）和图 13-36 （1/3 偏压法）所示。在选择 COM1 或者 COM2 时 SEG6 为选择电压，就知道 LCD 点灯电平 $+V_{LCD}/-V_{LCD}$ 的交流矩形波产生。

图 13-33 3 个时间片的 LCD 显示图形和电极连线



备注 48 引脚产品：n=0 ～ 7
64 引脚产品：n=0 ～ 12

图 13-34 3 个时间片的 LCD 显示屏的连线例子



备注 X：忽略

X′：LCD显示屏没有对应的段。

图 13-35 SEG6 和各公共信号之间的 3 个时间片的 LCD 驱动波形例子 （1/2 偏压法）

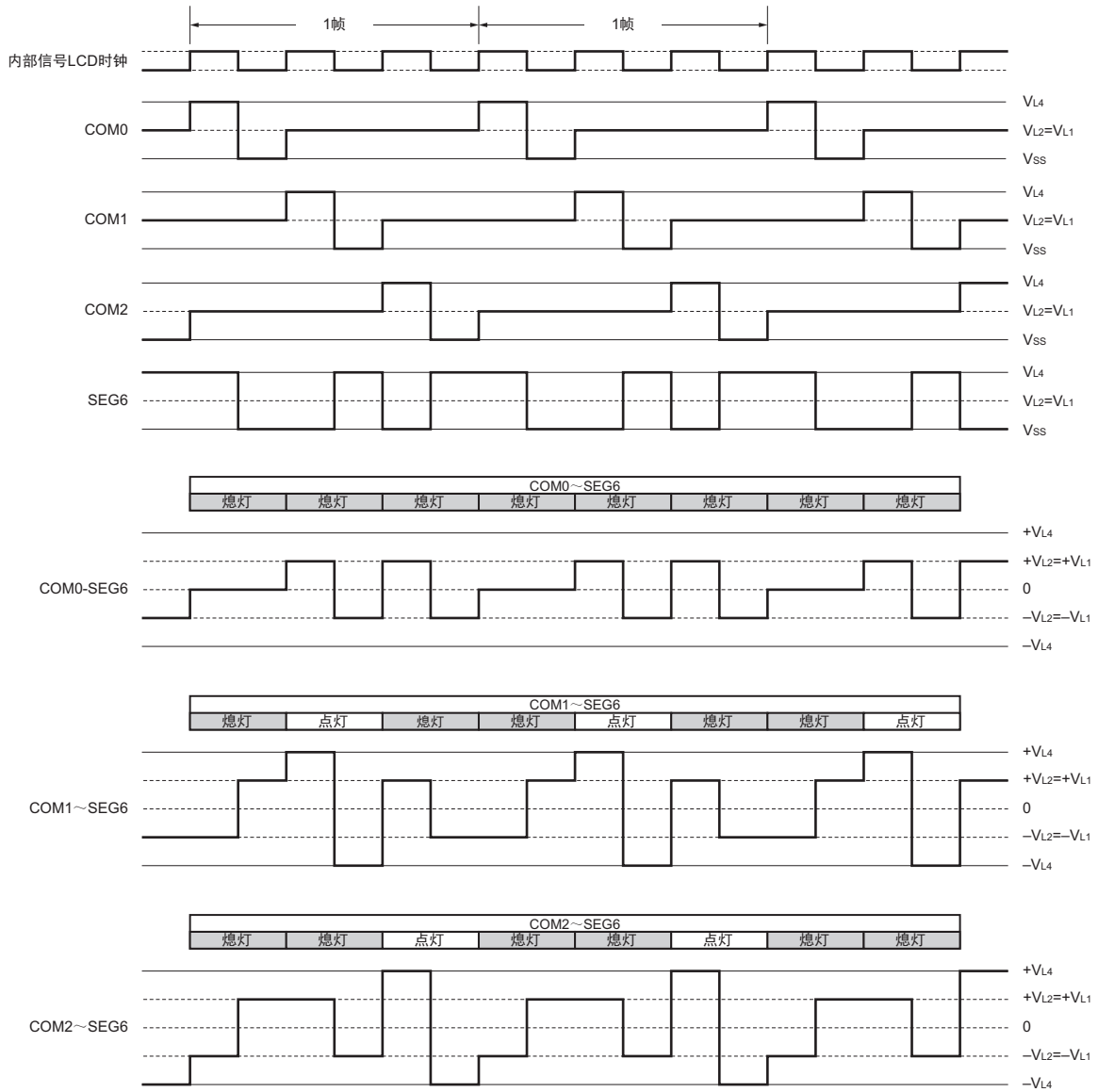
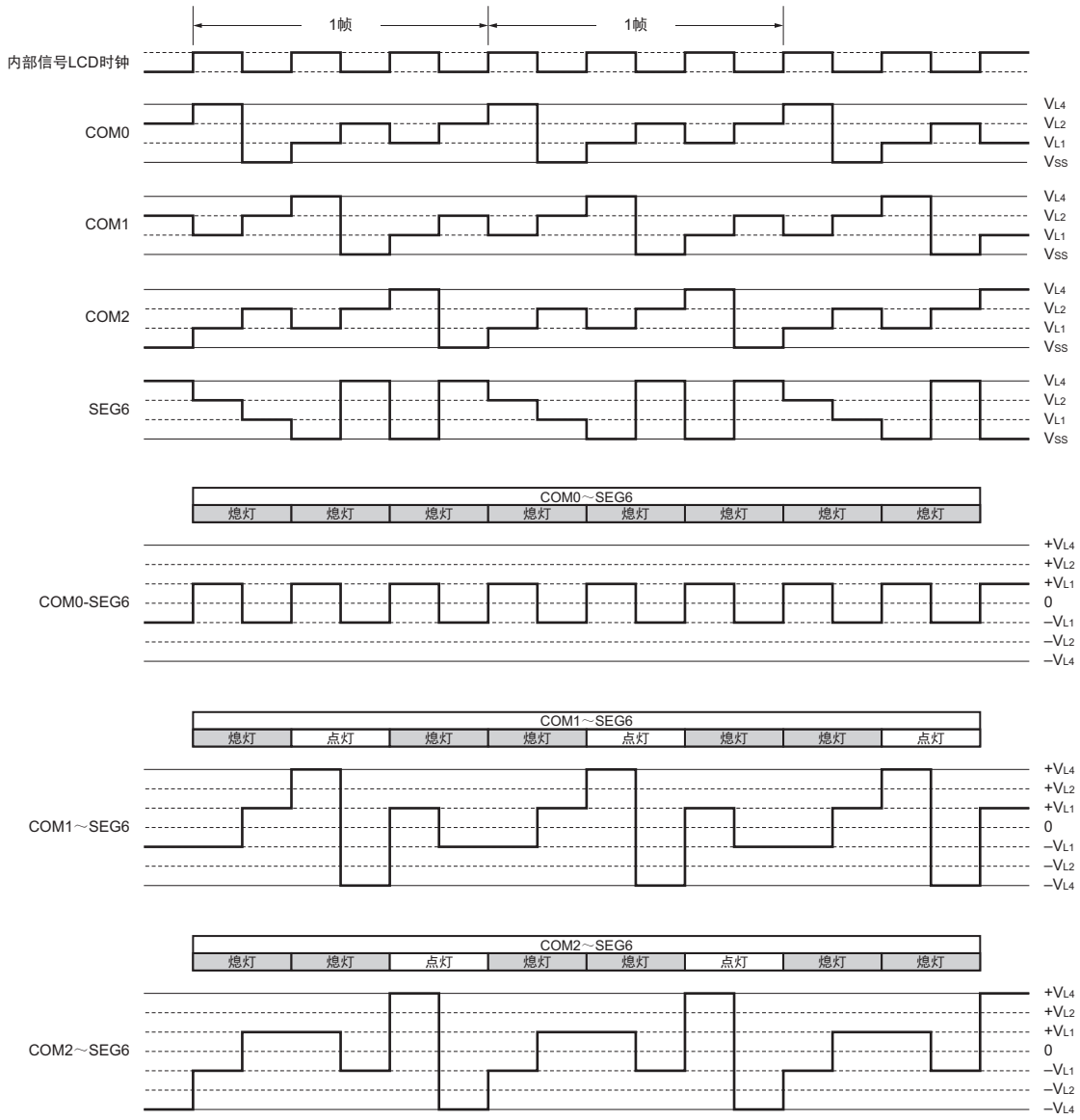


图 13-36 SEG6 和各公共信号之间的 3 个时间片的 LCD 驱动波形例子 （1/3 偏压法）



13.10.4 4 个时间片的显示例子

图 13-37 显示图形的 4 个时间片方式的 12 位 LCD 显示屏、段信号（SEG0 ～ SEG23）和公共信号（COM0 ～ COM3）的连接如图 13-38 所示。显示例子是 “123456.789012”，显示数据寄存器（地址 F0400H ～ F0417H）的内容对应此显示例子。

在此，以第 7 位的 “6.”（ ）为例进行说明。需要根据图 13-37 的显示图形并且通过 COM0 ～ COM3 的各公共信号的时序，将表 13-18 所示的选择电压和非选择电压输出到 SEG12 引脚和 SEG13 引脚。

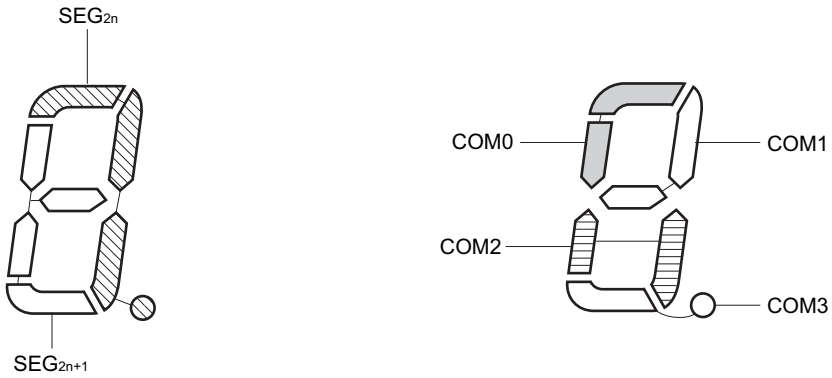
表 13-18 选择电压和非选择电压 （COM0 ～ COM3）

段 / 公共	SEG12	SEG13
COM0	选择	选择
COM1	非选择	选择
COM2	选择	选择
COM3	选择	选择

因此，给 SEG12 对应的显示数据寄存器 （地址 F040CH）准备 “1101” 即可。

SEG12 和各公共信号之间的 LCD 驱动波形例子如图 13-39 所示。在选择 COM0 时 SEG12 为选择电压，就知道 LCD 点灯电平 $+V_{LCD}/-V_{LCD}$ 的交流矩形波产生。

图 13-37 4 个时间片的 LCD 显示图形和电极连线



备注 48 引脚产品：n=0 ～ 12
64 引脚产品：n=0 ～ 18

图 13-38 4 个时间片的 LCD 显示屏的连线例子

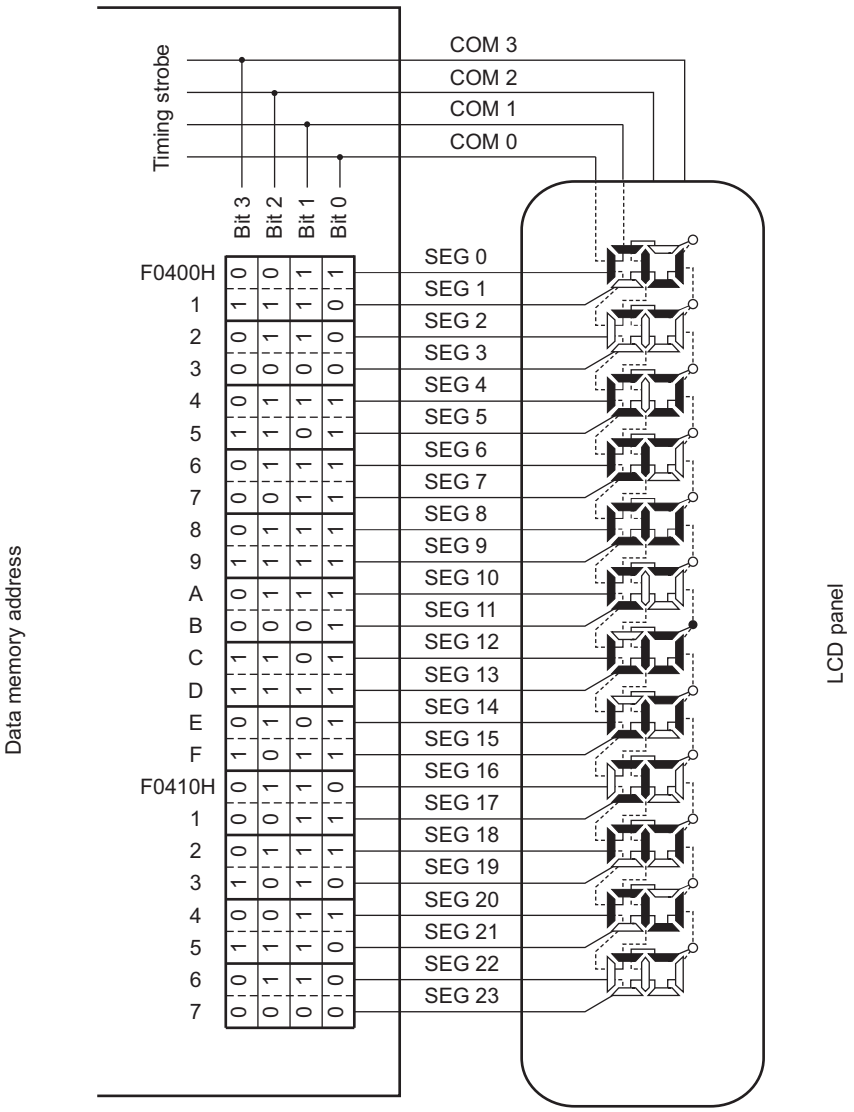


图 13-39 SEG12 和各公共信号之间的 4 个时间片的 LCD 驱动波形例子 （1/3 偏压法） (1/2)

(a) A波形的情况

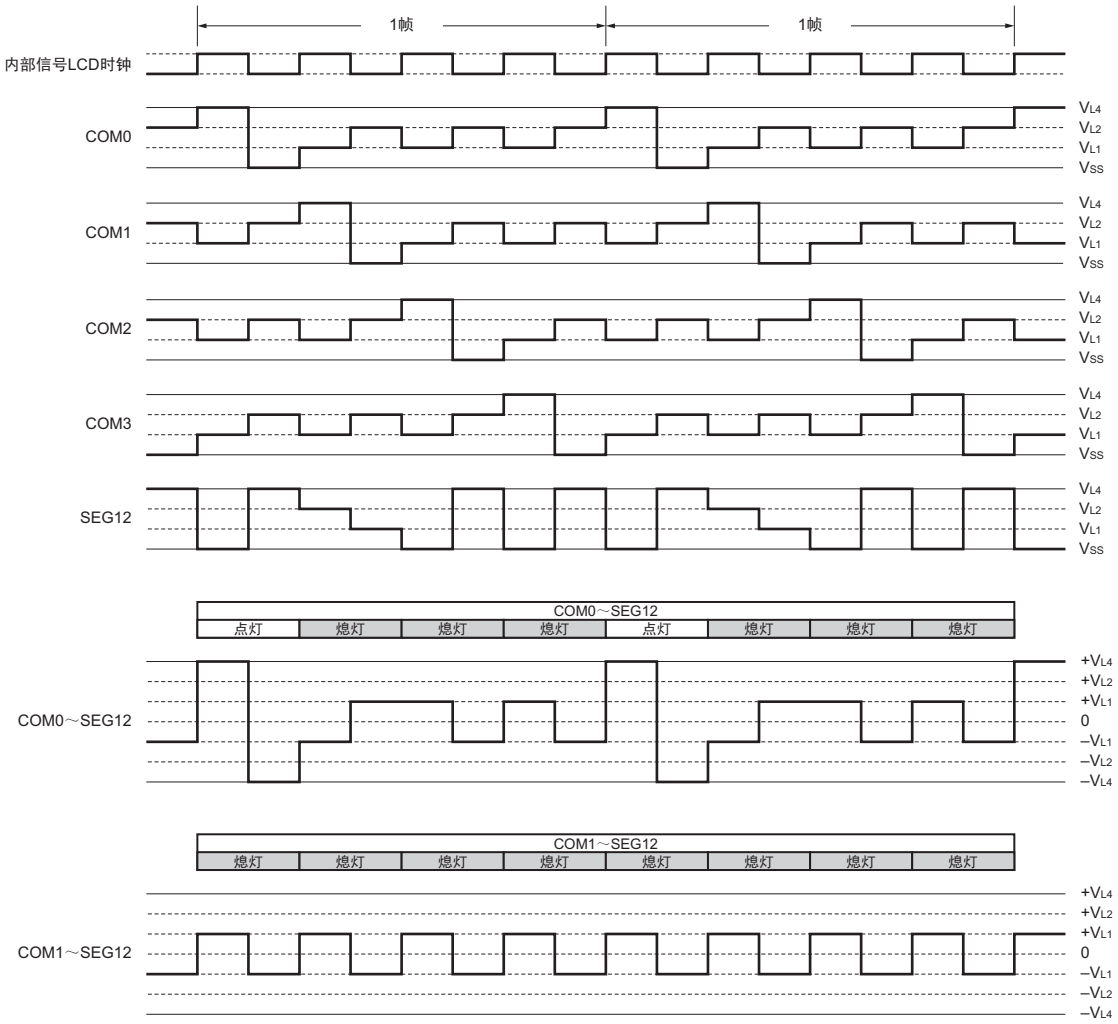
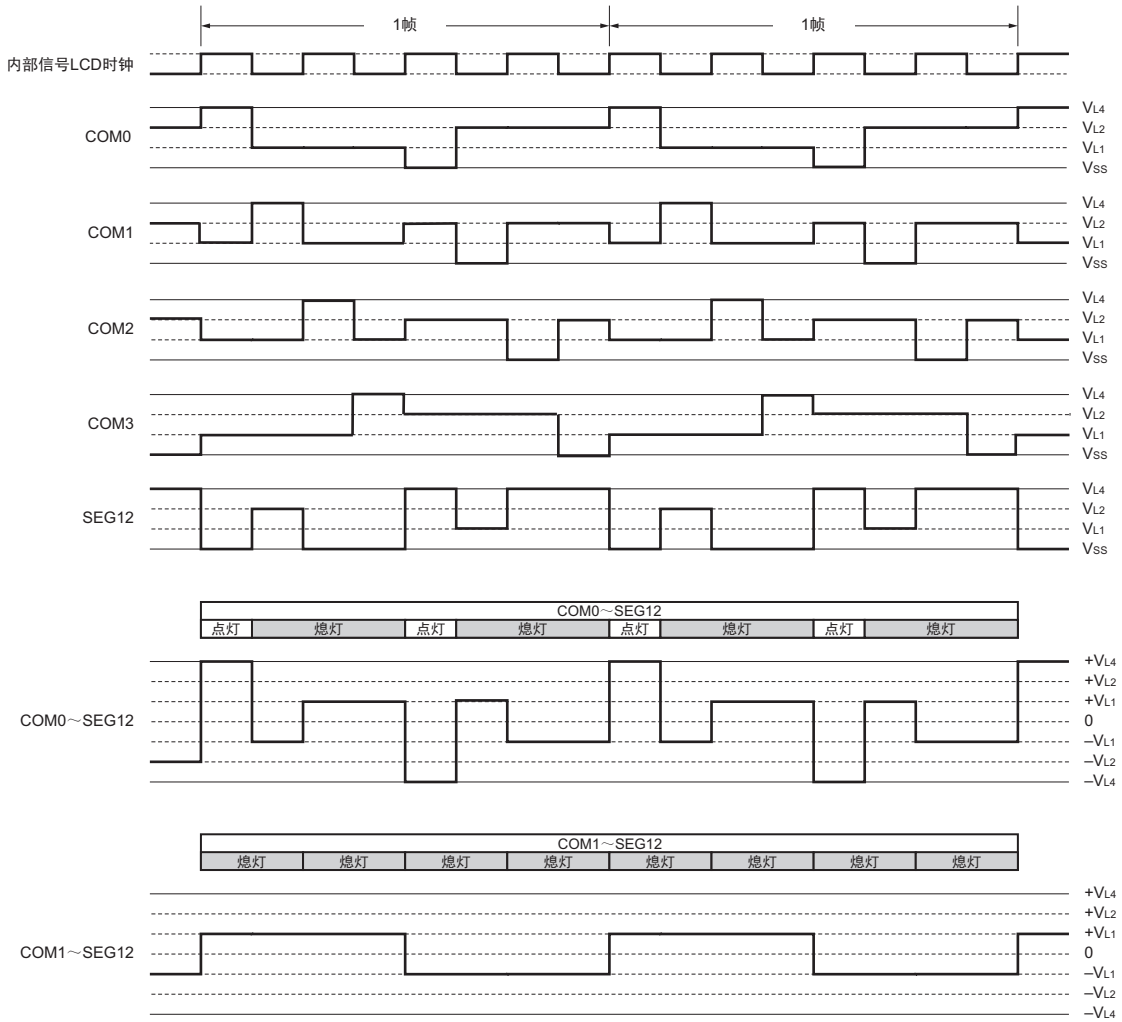


图 13-39 SEG12 和各公共信号之间的 4 个时间片的 LCD 驱动波形例子 （1/3 偏压法） (2/2)

(b) B波形的情况



13.10.5 8 个时间片的显示例子

图 13-40 显示图形的 8 个时间片方式的 15×8 点 LCD 显示屏、段信号 （SEG4 ～ SEG18）和公共信号（COM0 ～ COM7）的连接如图 13-41 所示。显示例子是 “123”，显示数据寄存器 （地址 F0404H ～ F0412H）的内容对应此显示例子。

在此，以第 1 位的 “3” （ ）为例进行说明。需要根据图 13-40 的显示图形并且通过 COM0 ～ COM7 的各公共信号的时序，将表 13-19 所示的选择电压和非选择电压输出到 SEG4 ～ SEG8 引脚。

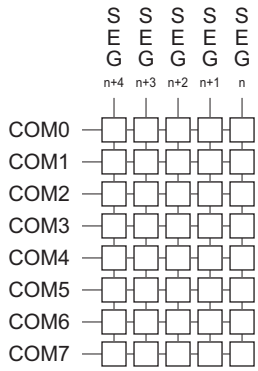
表 13-19 选择电压和非选择电压 （COM0 ～ COM7）

段 / 公共	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	选择	选择	选择	选择	选择
COM1	非选择	选择	非选择	非选择	非选择
COM2	非选择	非选择	选择	非选择	非选择
COM3	非选择	选择	非选择	非选择	非选择
COM4	选择	非选择	非选择	非选择	非选择
COM5	选择	非选择	非选择	非选择	选择
COM6	非选择	选择	选择	选择	非选择
COM7	非选择	非选择	非选择	非选择	非选择

因此，给 SEG4 对应的显示数据寄存器 （地址 F0404H）准备 “00110001” 即可。

SEG4 和各公共信号之间的 LCD 驱动波形例子如图 13-42 所示。在选择 COM0 时 SEG4 为选择电压，就知道 LCD 点灯电平的波形产生。

图 13-40 8 个时间片的 LCD 显示图形和电极连线



备注 48 引脚产品：n=4 ～ 21
64 引脚产品：n=4 ～ 34

图 13-41 8 个时间片的 LCD 显示屏的连线例子

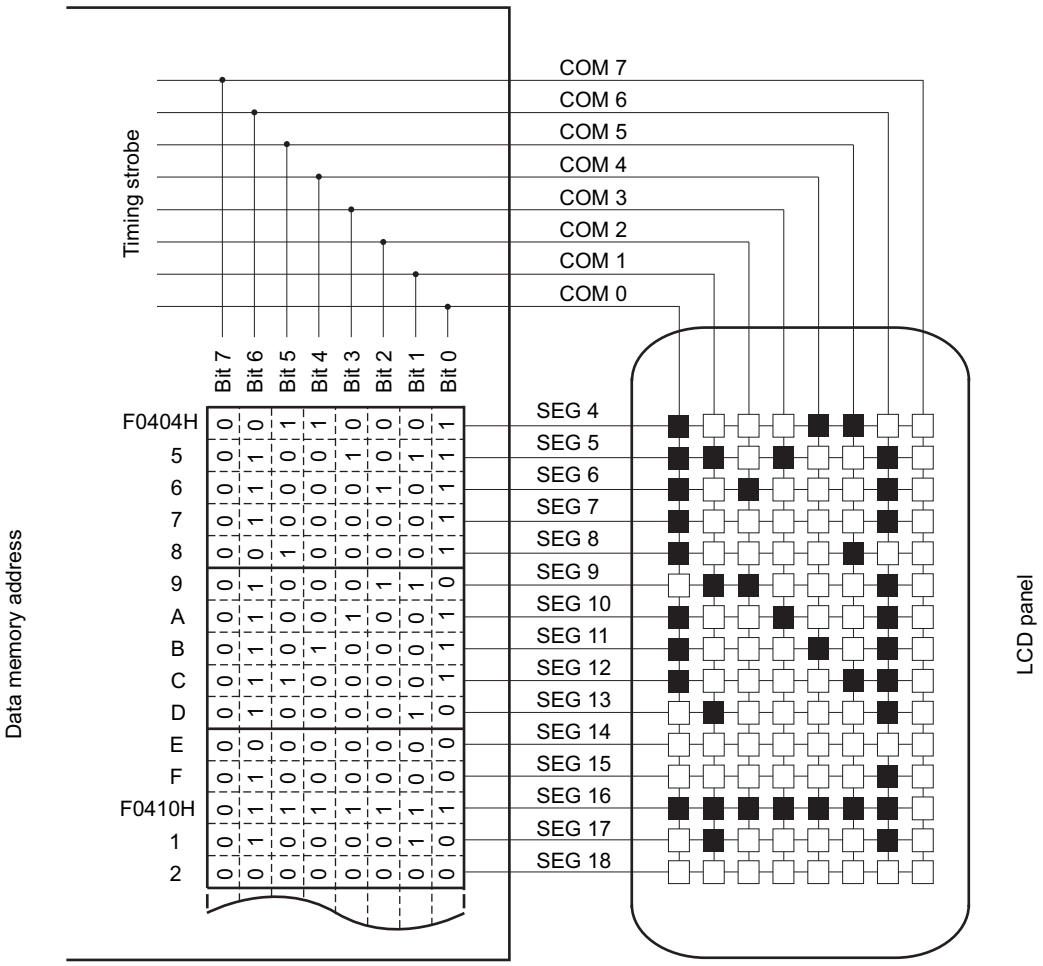


图 13-42 SEG4 和各公共信号之间的 8 个时间片的 LCD 驱动波形例子 （1/4 偏压法） (1/2)

(a) A波形的情况

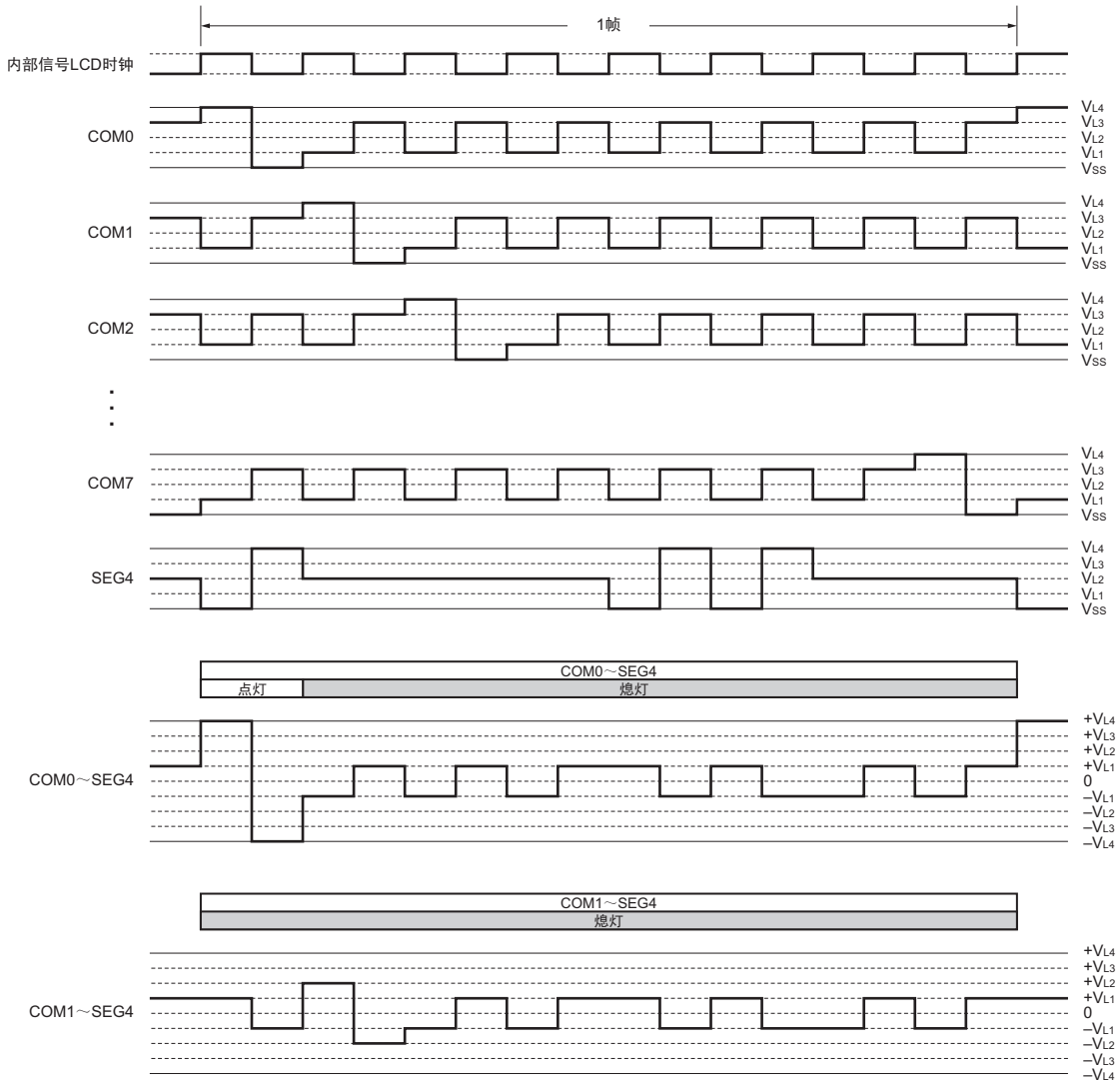
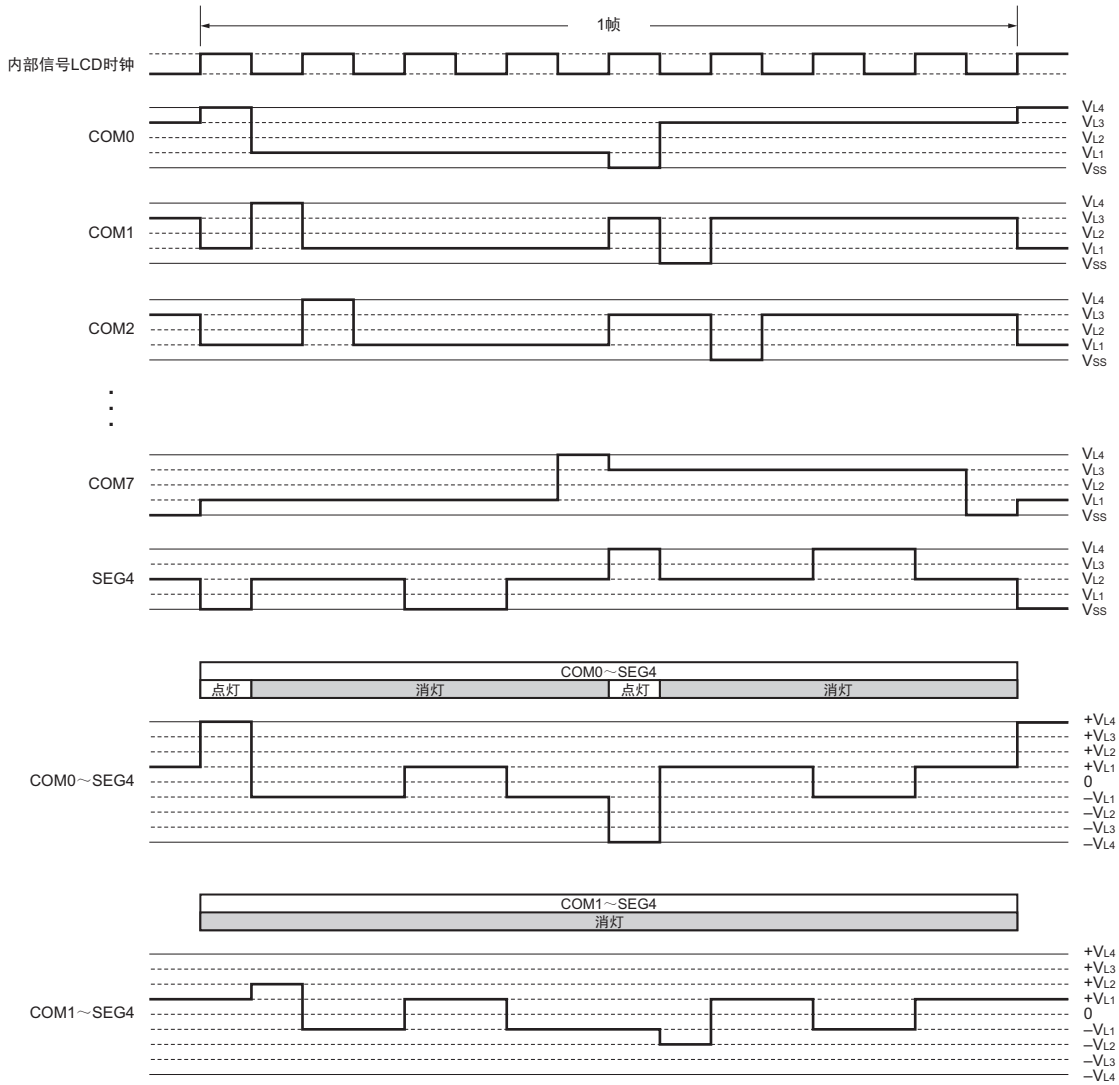


图 13-42 SEG4 和各公共信号之间的 8 个时间片的 LCD 驱动波形例子 （1/4 偏压法） (2/2)

(b) B波形的情况



第 14 章 中断功能

中断功能是指在程序执行过程中将处理程序切换为其他所需处理的程序的一种功能。在转移处理结束后返回到原来中断的执行程序。

中断源的个数因产品而不同。

		48 引脚	64 引脚
可屏蔽中断	外部	7	9
	内部	23	23

14.1 中断功能的种类

中断功能有以下 2 种。

(1) 可屏蔽中断

这是接受屏蔽控制的中断。通过设定优先级指定标志寄存器（PR00L、PR00H、PR01L、PR01H、PR02L、PR10L、PR10H、PR11L、PR11H、PR12L），能将可屏蔽中断的优先级分成四组。高优先级的中断能对低优先级中断进行多重中断处理。如果同时发生相同优先级的多个中断请求，就根据向量中断处理的优先级进行处理。有关优先级，请参照**表 14-1**。

产生待机解除信号，解除 STOP 模式、 HALT 模式和 SNOOZE 模式。

可屏蔽中断分为外部中断请求和内部中断请求。

(2) 软件中断

这是通过执行 BRK 指令而产生的向量中断。即使在禁止中断的状态下也接受软件中断，而且软件中断不受中断优先级控制。

14.2 中断源和结构

中断源除了有可屏蔽中断和软件中断以外还有最多 7 种复位源 （参照**表 14-1**）。当发生复位或者各种中断请求而进行转移时，因为保存程序起始地址的向量代码各为两个字节，所以中断的转移目标地址为 00000H ～ 0FFFFH 的 64K 地址。

表 14-1 中断源一览表 (1/2)

中断处理	默认优先级 注 1	中断源		内部 / 外部	向量表地址	基本结构类型 注 2	64 引脚	48 引脚
		名称	触发					
可屏蔽	0	INTWDTI	看门狗定时器的间隔注 3（上溢时间的 75%+1/2f_{IL}）	内部	0004H	(A)	○	○
	1	INTLVI	电压检测注 4		0006H		○	○
	2	INTP0	引脚输入边沿的检测	外部	0008H	(B)	○	○
	3	INTP1			000AH		○	○
	4	INTP2			000CH		○	○
	5	INTP3			000EH		○	○
	6	INTP4			0010H		○	○
	7	INTP5			0012H		○	○
	8	INTST0	UART0 发送的传送结束或者缓冲器空中断	内部	0018H	(A)	○	○
		INTCSI00	CSI00 的传送结束或者缓冲器空中断				○	○
	9	INTSR0	UART0 接收的传送结束		001AH		○	○
		INTCSI01	CSI01 的传送结束或者缓冲器空中断				○	○
	10	INTSRE0	UART0 接收的通信错误的发生		001CH		○	○
		INTTM01H	定时器通道 01 的计数结束或者捕捉结束（高 8 位定时器工作时）				○	○
	11	INTTM00	定时器通道 00 的计数结束或者捕捉结束		0020H		○	○
	12	INTTM03H	定时器通道 03 的计数结束或者捕捉结束（高 8 位定时器工作时）		0024H		○	○

注 1. 在发生多个可屏蔽中断时，默认优先级决定优先顺序。 0 表示最高优先级， 24 表示最低优先级。

2. 基本结构类型 (A) ～ (D) 分别对应图 14-1 的 (A) ～ (D)。

3. 当将选项字节 （000C0H）的 bit7 （WDTINT）置 “1” 时。

4. 当将电压检测电平寄存器 （LVIS）的 bit7 （LVIMD）置 “0” 时。

备注 ○：支持

—：不支持

表 14-1 中断源一览表 (2/2)

中断处理	默认优先级注 1	中断源		内部 / 外部	向量表地址	基本结构类型注 2	64 引脚	48 引脚
		名称	触发					
可屏蔽	13	INTTM01	定时器通道 01 的计数结束或者捕捉结束	内部	0028H	(A)	○	○
	14	INTTM02	定时器通道 02 的计数结束或者捕捉结束		002AH		○	○
	15	INTTM03	定时器通道 03 的计数结束或者捕捉结束		002CH		○	○
	16	INTAD	A/D 转换结束		002EH		○	○
	17	INTRTC	实时时钟的固定周期信号 / 闹钟一致检测		0030H		○	○
	18	INTIT	间隔信号检测		0032H		○	○
	19	INTKR	键返回信号的检测	外部	0034H	(C)	○	○
	20	INTTM06	定时器通道 06 的计数结束或者捕捉结束	内部	0040H	(A)	○	○
	21	INTTM07	定时器通道 07 的计数结束或者捕捉结束		0042H		○	○
	22	INTP6	引脚输入边沿的检测	外部	0046H	(B)	○	—
	23	INTP7			0048H		○	—
	24	INTFL	定序器结束中断注 3	内部	004CH	(A)	○	○
软件	—	BRK	BRK 指令的执行	—	007EH	(D)	○	○
复位	—	RESET	$\overline{\text{RESET}}$ 引脚的输入	—	0000H	—	○	○
		POR	上电复位				○	○
		LVD	电压检测注 4				○	○
		WDT	看门狗定时器的上溢				○	○
		TRAP	非法指令的执行注 5				○	○
		IAW	存储器的非法存取				○	○
		RPE	RAM 奇偶校验错误				○	○

注 1. 在发生多个可屏蔽中断时，默认优先级决定优先顺序。 0 表示最高优先级， 24 表示最低优先级。

2. 基本结构类型 (A) ～ (D) 分别对应图 14-1 的 (A) ～ (D)。

3. 只限于自编程库使用。

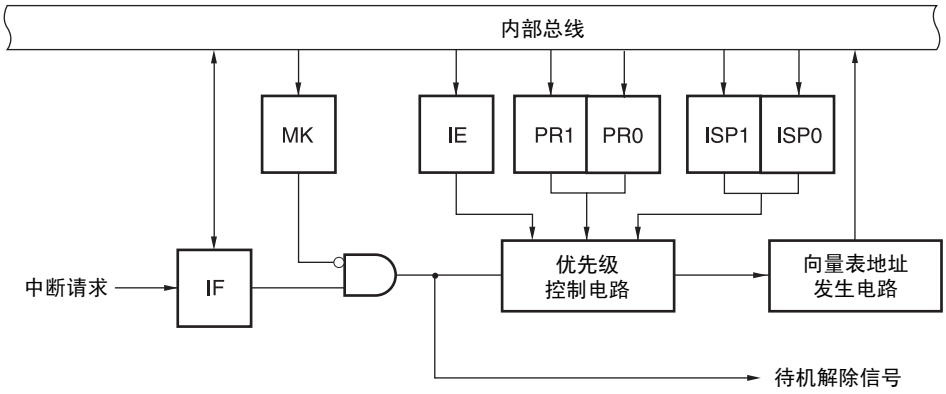
4. 当将电压检测电平寄存器 （LVIS）的 bit7 （LVIMD）置 “1” 时。

5. 在执行指令码 FFH 时发生。
在通过在线仿真器或者片上调试仿真器进行仿真时，不会因执行非法指令而产生复位。

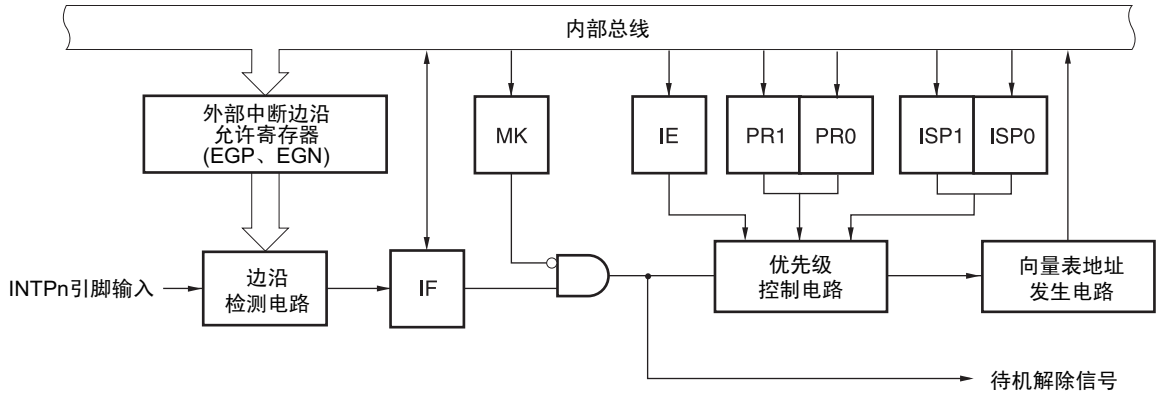
备注 ○：支持
—：不支持

图 14-1 中断功能的基本结构 (1/2)

(A) 内部可屏蔽中断



(B) 外部可屏蔽中断 （INTPn）

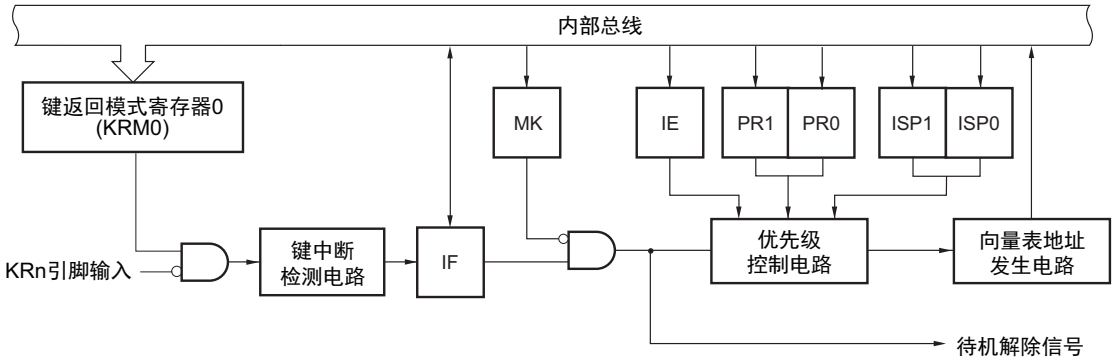


IF： 中断请求标志
IE： 中断允许标志
ISP0： 接受中断的优先级标志 0
ISP1： 接受中断的优先级标志 1
MK： 中断屏蔽标志
PR0： 优先级指定标志 0
PR1： 优先级指定标志 1

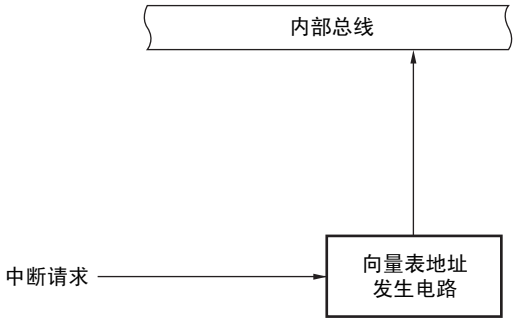
备注 48 引脚产品：n=0 ～ 5
64 引脚产品：n=0～7

图 14-1 中断功能的基本结构 (2/2)

(C) 外部可屏蔽中断 （INTKR）



(D) 软件中断



IF： 中断请求标志
IE： 中断允许标志
ISP0： 接受中断的优先级标志 0
ISP1： 接受中断的优先级标志 1
MK： 中断屏蔽标志
PR0： 优先级指定标志 0
PR1： 优先级指定标志 1

备注 n=0 ～ 3

14.3 控制中断功能的寄存器

通过以下 6 种寄存器控制中断功能。

- 中断请求标志寄存器 （IF0L、 IF0H、 IF1L、 IF1H、 IF2L）
- 中断屏蔽标志寄存器 （MK0L、 MK0H、 MK1L、 MK1H、 MK2L）
- 优先级指定标志寄存器 （PR00L、 PR00H、 PR01L、 PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H、 PR12L）
- 外部中断上升沿允许寄存器 （EGP0）
- 外部中断下降沿允许寄存器 （EGN0）
- 程序状态字 （PSW）

各中断请求源对应的中断请求标志、中断屏蔽标志和优先级指定标志的名称如表 14-2 所示。

表 14-2 中断请求源对应的各种标志 (1/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志		64 引脚	48 引脚
		寄存器		寄存器		寄存器		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0、 WDTIPR1	PR00L、 PR10L	○	○
INTLVI	LVIIF		LVIMK		LVIPR0、 LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00、 PPR10		○	○
INTP1	PIF1		PMK1		PPR01、 PPR11		○	○
INTP2	PIF2		PMK2		PPR02、 PPR12		○	○
INTP3	PIF3		PMK3		PPR03、 PPR13		○	○
INTP4	PIF4		PMK4		PPR04、 PPR14		○	○
INTP5	PIF5		PMK5		PPR05、 PPR15		○	○
INTST0 注 1	STIF0 注 1	IF0H	STMK0 注 1	MK0H	STPR00、 STPR10 注 1	PR00H、 PR10H	○	○
INTCSI00 注 1	CSIIF00 注 1		CSIMK00 注 1		CSIPR000、 CSIPR100 注 1		○	○
INTSR0 注 2	SRIF0 注 2		SRMK0 注 2		SRPR00、 SRPR10 注 2		○	○
INTCSI01 注 2	CSIIF01 注 2		CSIMK01 注 2		CSIPR001、 CSIPR101 注 2		○	○
INTSRE0 注 3	SREIF0 注 3		SREMK0 注 3		SREPR00、 SREPR10 注 3		○	○
INTTM01H 注 3	TMIF01H 注 3		TMMK01H 注 3		TMPR001H、 TMPR101H 注 3		○	○
INTTM00	TMIF00		TMMK00		TMPR000、 TMPR100		○	○

注 1. 如果发生 INTST0 或者 INTCSI00 的中断源，就将 IF0H 寄存器的 bit2 置 “1”。MK0H、PR00H、PR10H 寄存器的 bit2 对应这 2 个中断源。

2. 如果发生 INTSR0 或者 INTCSI01 的中断源，就将 IF0H 寄存器的 bit3 置 “1”。MK0H、PR00H、PR10H 寄存器的 bit3 对应这 2 个中断源。

3. 由于 UART0 接收的错误中断、TAU0 的通道 1（高 8 位定时器运行时）的中断与中断请求源对应的各种标志复用，因此不能同时使用。在不使用 UART0 接收的错误中断（EOC01=0）时，能同时使用 UART0、TAU0 的通道 1（高 8 位定时器运行）。如果发生 INTSRE0 或者 INTTM01H 的中断源，就将 IF0H 寄存器的 bit4 置 “1”。MK0H、PR00H、PR10H 寄存器的 bit7 对应这 2 个中断源。

备注 ○：支持

—：不支持

表 14-2 中断请求源对应的各种标志 (2/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志		64 引脚	48 引脚
		寄存器		寄存器		寄存器		
INTTM03H	TMIF03H	IF1L	TMMK03H	MK1L	TMPR003H、 TMPR103H	PR01L、 PR11L	○	○
INTTM01	TMIF01		TMMK01		TMPR001、 TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002、 TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003、 TMPR103		○	○
INTAD	ADIF		ADMK		ADPR0、 ADPR1		○	○
INTRTC	RTCIF		RTCMK		RTCPR0、 RTCPR1		○	○
INTIT	ITIF		ITMK		ITPR0、 ITPR1		○	○
INTKR	KRIF	IF1H	KRMK	MK1H	KRPR0、 KRPR1	PR01H、 PR11H	○	○
INTTM06	TMIF06		TMMK06		TMPR006、 TMPR106		○	○
INTTM07	TMIF07		TMMK07		TMPR007、 TMPR107		○	○
INTP6	PIF6	IF2L	PMK6	MK2L	PPR06、 PPR16	PR02L、 PR12L	○	—
INTP7	PIF7		PMK7		PPR07、 PPR17		○	—
INTFL	FLIF		FLMK		FLPR0、 FLPR1		○	○

备注 ○：支持
—：不支持

14.3.1 中断请求标志寄存器 （IF0L、 IF0H、 IF1L、 IF1H、 IF2L）

通过发生对应的中断请求或者执行指令，将中断请求标志置 “1”。通过接受中断请求或者产生复位信号或者执行指令，将中断请求标志清 “0”。

在接受中断时，首先自动清除中断请求标志，然后进入中断程序。

通过 1 位或者 8 位存储器操作指令设定 IF0L、 IF0H、 IF1L、 IF1H、 IF2L 寄存器。当将 IF0L 寄存器和 IF0H 寄存器以及 IF1L 寄存器和 IF1H 寄存器一起用作 IF0 和 IF1 的 16 位寄存器时，通过 16 位存储器操作指令进行设定。

通过产生复位信号，这些寄存器的值变为 “00H”。

备注 当执行写此寄存器的指令时，指令执行时钟数增加 2 个时钟。

图 14-2 中断请求标志寄存器 （IF0L、 IF0H、 IF1L、 IF1H、 IF2L）的格式
（64 引脚产品）

地址：FFFE0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

地址：FFFE1H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IF0H	0	TMIF00	0	SREIF0 TMIF01H	SRIF0 CSIIF01	STIF0 CSIIF00	0	0

地址：FFFE2H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IF1L	ITIF	RTCIF	ADIF	TMIF03	TMIF02	TMIF01	0	TMIF03H

地址：FFFE3H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IF1H	TMIF07	TMIF06	0	0	0	0	0	KRIF

地址：FFFD0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IF2L	0	0	0	FLIF	0	PIF7	PIF6	0

××IFX	中断请求标志
0	不产生中断请求信号
1	产生中断请求，处于中断请求状态。

注意 1. 配置的寄存器和位因产品而不同。

有关给各产品配置的寄存器和位，请参照表 14-2。必须将未配置的位设定为初始值。

2. 在操作中断请求标志寄存器的标志时，必须使用 1 位存储器操作指令 （CLR1）。当使用 C 语言描述时，编译后的汇编程序需要变为 1 位存储器操作指令 （CLR1），因此必须使用类似 “IF0L.0=0;” 或者 “_asm("clr1 IF0L, 0");” 的位操作指令。

如果在 C 语言中使用类似于 “IF0L &= 0xfe;” 的 8 位存储器操作指令描述的情况下进行编译，就变为 3 条指令的汇编程序。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

此时，即使在 “mov a, IF0L” 与 “mov IF0L, a” 之间将同一中断请求标志寄存器 （IF0L）的其他位的请求标志置 “1”，该标志也会被 “mov IF0L, a” 清 “0”。因此，在 C 语言中使用 8 位存储器操作指令时，必须注意。

14.3.2 中断屏蔽标志寄存器 （MK0L、 MK0H、 MK1L、 MK1H、 MK2L）

中断屏蔽标志设定允许或者禁止对应的可屏蔽中断处理。

通过 1 位或者 8 位存储器操作指令设定 MK0L、 MK0H、 MK1L、 MK1H、 MK2L 寄存器。当将 MK0L 寄存器和 MK0H 寄存器以及 MK1L 寄存器和 MK1H 寄存器一起用作 MK0 和 MK1 的 16 位寄存器时，通过 16 位存储器操作指令进行设定。

通过产生复位信号，这些寄存器的值变为 “FFH”。

备注 当执行写此寄存器的指令时，指令执行时钟数增加 2 个时钟。

图 14-3 中断屏蔽标志寄存器 （MK0L、 MK0H、 MK1L、 MK1H、 MK2L）的格式
（64 引脚产品）

地址：FFFE4H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

地址：FFFE5H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
MK0H	1	TMMK00	1	SREMK0 TMMK01H	SRMK0 CSIMK01	STMK0 CSIMK00	1	1

地址：FFFE6H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
MK1L	ITMK	RTCMK	ADMK	TMMK03	TMMK02	TMMK01	1	TMMK03H

地址：FFFE7H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
MK1H	TMMK07	TMMK06	TMMK05	TMMK04	1	1	1	KRMK

地址：FFFD4H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
MK2L	1	1	1	FLMK	1	PMK7	PMK6	1

xxMKX	中断处理的控制
0	允许中断处理。
1	禁止中断处理。

注意 以上的位结构是 64 引脚产品的位结构，分配的位因产品而不同。有关各产品的位结构，请参照表 14-2。必须将未分配的位设定为初始值。

14.3.3 优先级指定标志寄存器（PR00L、PR00H、PR01L、PR01H、PR02L、PR10L、PR10H、 PR11L、 PR11H、 PR12L）

优先级指定标志寄存器设定对应的可屏蔽中断优先级。

通过组合 PR0xy 寄存器和 PR1xy 寄存器来设定优先级 （xy=0L、 0H、 1L、 1H、 2L）。

通过 1 位或者 8 位存储器操作指令设定 PR00L、 PR00H、 PR01L、 PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H、 PR12L 寄存器。当将 PR00L 寄存器和 PR00H 寄存器、 PR01L 寄存器和 PR01H 寄存器、 PR10L 寄存器和 PR10H 寄存器以及 PR11L 寄存器和 PR11H 寄存器一起用作 PR00、PR01、PR10、PR11 的 16 位寄存器时，通过 16 位存储器操作指令进行设定。

通过产生复位信号，这些寄存器的值变为 “FFH”。

备注 当执行写此寄存器的指令时，指令执行时钟数增加 2 个时钟。

图 14-4 优先级指定标志寄存器 （PR00L、 PR00H、 PR01L、 PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H、 PR12L）的格式 （64 引脚产品）(1/2)

地址：FFFE8H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

地址：FFFECH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

地址：FFFE9H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR00H	1	TMPR000	1	SREPR00 TMPR001H	SRPR00 CSIPR001	STPR00 CSIPR000	1	1

地址：FFFEDH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR10H	1	TMPR100	1	SREPR10 TMPR101H	SRPR10 CSIPR101	STPR10 CSIPR100	1	1

地址：FFFEAH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR01L	ITPR0	RTCPR0	ADPR0	TMPR003	TMPR002	TMPR001	1	TMPR003H

图 14-4 优先级指定标志寄存器 （PR00L、 PR00H、 PR01L、 PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H、 PR12L）的格式 （64 引脚产品）(2/2)

地址：FFFEEH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR11L	ITPR1	RTCPR1	ADPR1	TMPR103	TMPR102	TMPR101	1	TMPR103H

地址：FFFEBH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR01H	TMPR007	TMPR006	1	1	1	1	1	KRPR0

地址：FFFEFH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR11H	TMPR107	TMPR106	1	1	1	1	1	KRPR1

地址：FFFD8H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR02L	1	1	1	FLPR0	1	PPR07	PPR06	1

地址：FFFDCH 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PR12L	1	1	1	FLPR1	1	PPR17	PPR16	1

xxPR1X	xxPR0X	优先级的选择
0	0	指定优先级 0 （高优先级）
0	1	指定优先级 1
1	0	指定优先级 2
1	1	指定优先级 3 （低优先级）

注意 以上的位结构是 64 引脚产品的位结构，分配的位因产品而不同。有关各产品的位结构，请参照表 14-2。必须将未分配的位设定为初始值。

14.3.4 外部中断上升沿允许寄存器 （EGP0）和外部中断下降沿允许寄存器 （EGN0）

这些寄存器设定 INTP0 ～ INTP7 的有效边沿。

通过 1 位或者 8 位存储器操作指令设定 EGP0 寄存器和 EGN0 寄存器。

通过产生复位信号，这些寄存器的值变为 “00H”。

图 14-5 外部中断上升沿允许寄存器 （EGP0）和外部中断下降沿允许寄存器 （EGN0）的格式
（64 引脚产品）

地址：FFF38H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

地址：FFF39H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn 引脚有效边沿的选择 （n=0 ～ 7）
0	0	禁止检测边沿
0	1	下降沿
1	0	上升沿
1	1	上升和下降的两边沿

对应 EGPn 位和 EGNn 位的端口如表 14-3 所示。

表 14-3 对应 EGPn 位和 EGNn 位的端口

检测允许位		边沿检测端口	中断请求信号	64 引脚	48 引脚
EGP0	EGN0	P137	INTP0	○	○
EGP1	EGN1	P15	INTP1	○	○
EGP2	EGN2	P16	INTP2	○	○
EGP3	EGN3	P31	INTP3	○	○
EGP4	EGN4	P32	INTP4	○	○
EGP5	EGN5	P50	INTP5	○	○
EGP6	EGN6	P52	INTP6	○	—
EGP7	EGN7	P43	INTP7	○	—

注意 当从外部中断功能切换为端口功能时，可能会检测边沿，因此必须在将 EGPn 位和 EGNn 位置 “0” 后切换端口模式。

备注 1. n=0 ～ 7

2. ○：支持
—：不支持

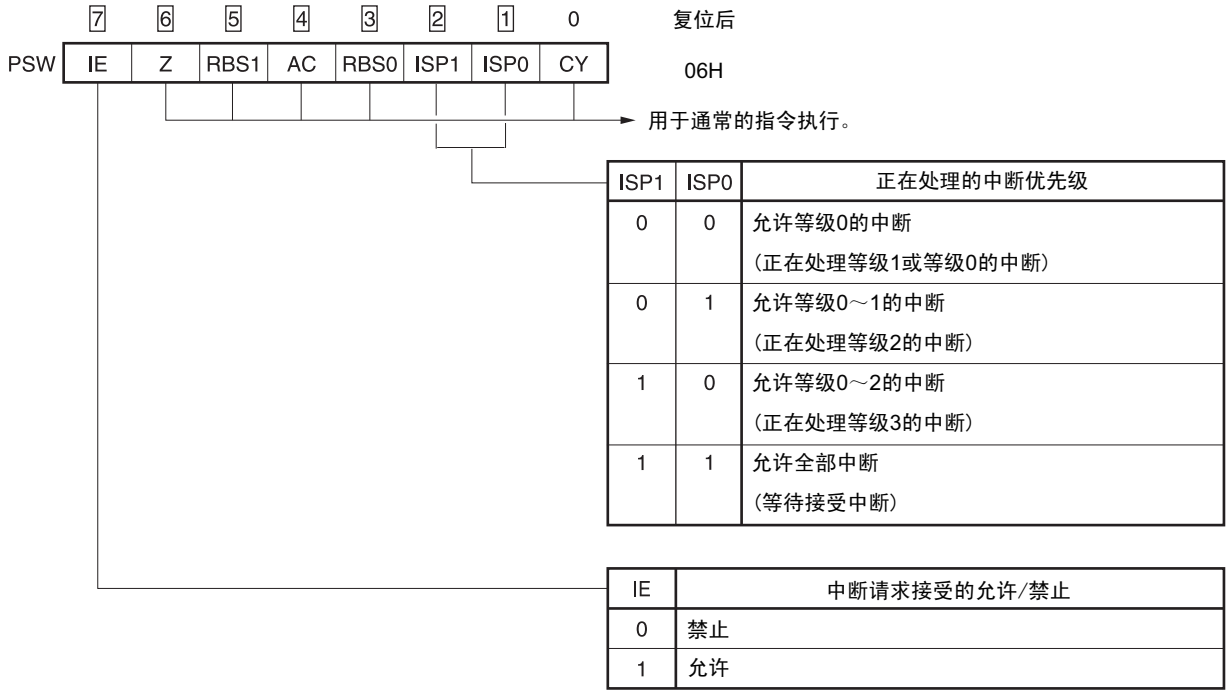
14.3.5 程序状态字 （PSW）

程序状态字是保存指令执行结果和中断请求当前状态的寄存器，映射设定允许或者禁止可屏蔽中断的 IE 标志以及控制多重中断处理的 ISP0 标志和 ISP1 标志。

除了能以 8 位为单位读写 PSW 以外，还能利用位操作指令和专用指令 （EI 和 DI）操作 PSW。在接受向量中断请求及执行 BRK 指令时，自动将 PSW 的内容压栈，并且将 IE 标志恢复为 “0”。在接受可屏蔽中断请求时，将接受的中断优先级指定标志寄存器的内容 （“00” 以外） “– 1” 后的值传送到 ISP0 标志和 ISP1 标志。PSW 的内容也能通过 PUSH PSW 指令进行压栈，通过 RETI、 RETB、 POP PSW 指令进行退栈。

通过产生复位信号， PSW 的值变为 “06H”。

图 14-6 程序状态字的结构



ISP1	ISP0	正在处理的中断优先级
0	0	允许等级0的中断 （正在处理等级1或等级0的中断）
0	1	允许等级0～1的中断 （正在处理等级2的中断）
1	0	允许等级0～2的中断 （正在处理等级3的中断）
1	1	允许全部中断 （等待接受中断）

IE	中断请求接受的允许/禁止
0	禁止
1	允许

14.4 中断处理的操作

14.4.1 可屏蔽中断请求的接受

如果中断请求标志被置 “1” 并且该中断请求的屏蔽 （MK）标志已被清 “0”，就进入能接受可屏蔽中断请求的状态，在中断允许状态 （IE 标志已被置 “1”）下接受向量中断请求。但是，在处理优先级高的中断请求的过程中，不接受被指定为低优先级的中断请求。

从产生可屏蔽中断请求到进行向量中断处理的时间如**表 14-4** 所示。

有关中断请求的接受时序，请参照**图 14-8** 和**图 14-9**。

表 14-4 从产生可屏蔽中断到处理的时间

	最短时间	最长时间注
处理时间	9 个时钟	16 个时钟

注 执行内部 RAM 区的指令时除外。

备注 1 个时钟：$1/f_{CLK}$ （f_{CLK}：CPU 时钟）

如果同时发生多个可屏蔽中断请求，就从优先级指定标志所指定的高优先级的请求开始接受。如果优先级指定标志所指定的优先级相同，就从默认优先级高的请求开始接受。

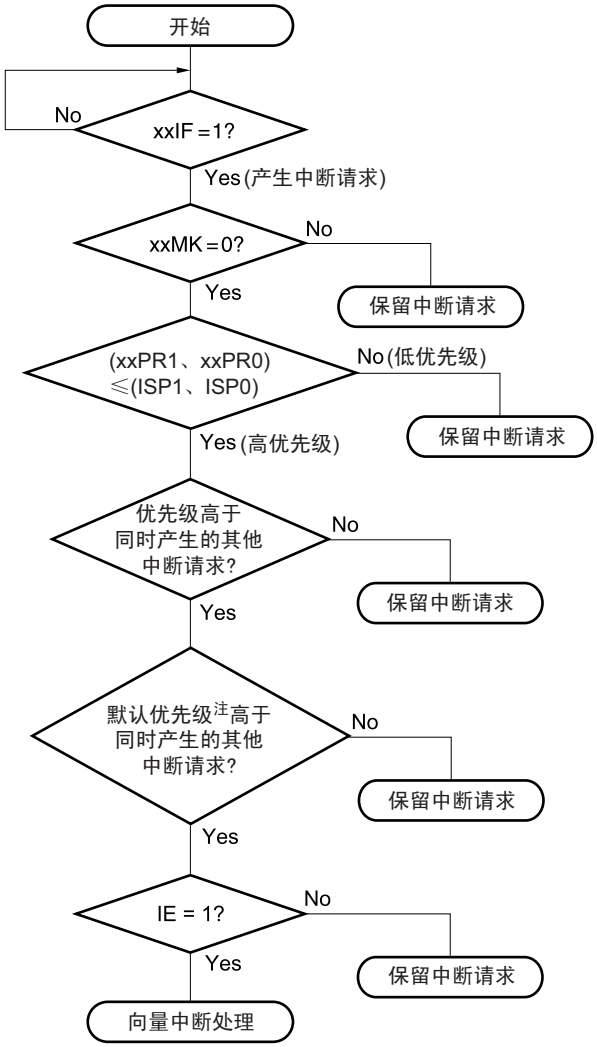
被保留的中断请求在可接受的状态时被接受。

中断请求的接受算法如**图 14-7** 所示。

如果接受可屏蔽中断请求，就按程序状态字 （PSW）、程序计数器 （PC）的顺序将内容压栈，将 IE 标志恢复为 “0”，并且将接受的中断优先级指定标志的内容传送到 ISP1 标志和 ISP0 标志。将各中断请求决定的向量表中的数据载入 PC 并且进行转移。

能使用 RETI 指令从中断返回。

图 14-7 接受中断请求的处理算法



xxIF： 中断请求标志

xxMK： 中断屏蔽标志

xxPR0： 优先级指定标志 0

xxPR1： 优先级指定标志 1

IE： 可屏蔽中断请求的接受控制标志 （1= 允许、 0= 禁止）

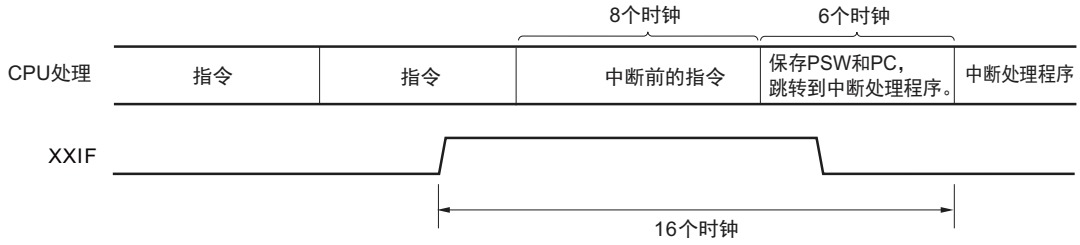
ISP0、 ISP1：表示正在处理的中断优先级的标志 （参照图 14-6）

注 有关默认优先级，请参照 “ 表 14-1 中断源一览表 ”。

图 14-8 中断请求的接受时序 （最短时间）

备注 1 个时钟：$1/f_{CLK}$ （f_{CLK}：CPU 时钟）

图 14-9 中断请求的接受时序 （最长时间）



备注 1 个时钟：$1/f_{CLK}$ （f_{CLK}：CPU 时钟）

14.4.2 软件中断请求接受

通过执行 BRK 指令接受软件中断请求，不能禁止软件中断。

如果接受软件中断请求，就按程序状态字 （PSW）、程序计数器 （PC）的顺序将内容压栈，将 IE 标志复位为 “0”，并且将向量表 （0007EH、 0007FH）的内容装入 PC 进行转移。

能使用 RETB 指令从软件中断返回。

注意 不能使用 RETI 指令从软件中断返回。

14.4.3 多重中断处理

在中断处理过程中接受了另一个中断请求的情况称为多重中断。

除非为中断请求接受允许状态 （IE=1），否则不会发生多重中断。在接受中断请求时，中断请求为接受被禁止状态 （IE=0）。因此，如果要允许多重中断，就需要在中断处理过程中用 EI 指令将 IE 标志置 “1”，进入中断允许状态。

另外，即使在中断允许状态下也可能不允许多重中断，由中断优先级进行控制。中断优先级有默认优先级和可编程优先级，通过可编程优先级控制多重中断。

在中断允许状态下，如果产生的中断请求的优先级高于正在处理的中断优先级，就作为多重中断进行接受。如果产生的中断请求的优先级等于或者低于正在处理的中断优先级，就不作为多重中断进行接受。但是，如果在处理优先级 0 的中断过程中将 IE 标志置 “1”，就允许优先级 0 的其他中断。

保留因中断被禁止或者优先级低而不允许多重中断的中断请求，在当前的中断处理结束后至少执行一条主处理的指令，然后接受被保留的中断请求。

能多重中断的中断请求的关系和多重中断的例子如**表 14-5** 和**图 14-10** 所示。

表 14-5 在中断处理过程中能多重中断的中断请求的关系

多重中断请求 / 正在处理的中断		可屏蔽中断请求								软件中断请求
		优先级 0（PR=00）		优先级 1（PR=01）		优先级 2（PR=10）		优先级 3（PR=11）		
		IE=1	IE=0	IE=1	IE=0	IE=1	IE=0	IE=1	IE=0	
可屏蔽中断	ISP1=0 ISP0=0	○	×	×	×	×	×	×	×	○
	ISP1=0 ISP0=1	○	×	○	×	×	×	×	×	○
	ISP1=1 ISP0=0	○	×	○	×	○	×	×	×	○
	ISP1=1 ISP0=1	○	×	○	×	○	×	○	×	○
软件中断		○	×	○	×	○	×	○	×	○

备注 1. ○：能多重中断

2. ×：不能多重中断

3. ISP0、 ISP1 和 IE 是 PSW 中的标志。

ISP1=0、 ISP0=0：正在处理优先级 1 或者优先级 0 的中断。

ISP1=0、 ISP0=1：正在处理优先级 2 的中断。

ISP1=1、 ISP0=0：正在处理优先级 3 的中断。

ISP1=1、 ISP0=1：等待接受中断 （允许全部中断）。

IE=0：禁止接受中断请求。

IE=1：允许接受中断请求。

4. PR 是 PR00L、PR00H、PR01L、PR01H、PR02L、PR10L、PR10H、PR11L、PR11H、PR12L 寄存器中的标志。

PR=00：通过 xxPR1x=0、 xxPR0x=0 指定优先级 0 （高优先级）。

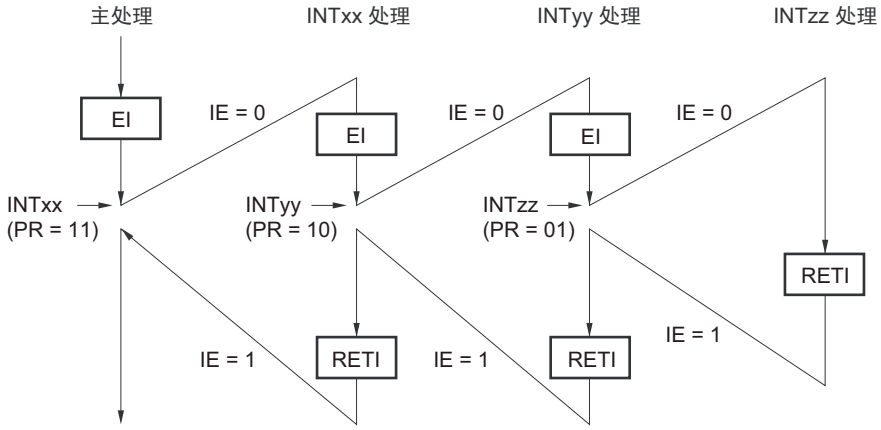
PR=01：通过 xxPR1x=0、 xxPR0x=1 指定优先级 1。

PR=10：通过 xxPR1x=1、 xxPR0x=0 指定优先级 2。

PR=11：通过 xxPR1x=1、 xxPR0x=1 指定优先级 3 （低优先级）。

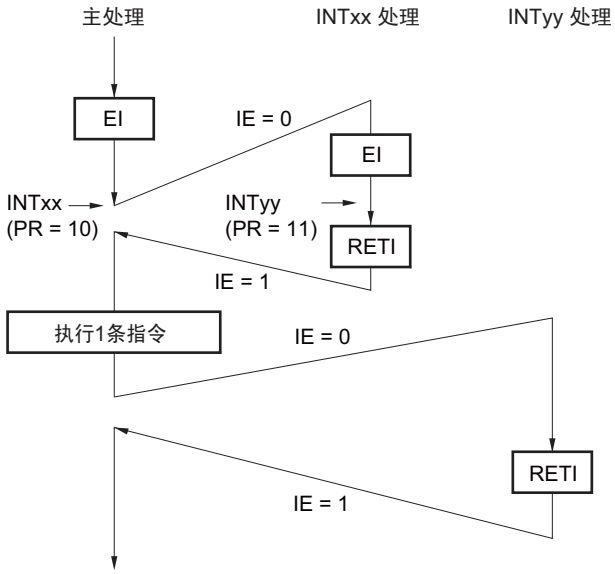
图 14-10 多重中断的例子 (1/2)

例 1. 发生 2 次多重中断的例子



在处理中断 INTxx 的过程中接受 INTyy 和 INTzz 的 2 个中断请求，发生多重中断。必须在接受各中断请求之前发行 EI 指令，使中断请求处于允许接受的状态。

例 2. 因控制优先级而不发生多重中断的例子

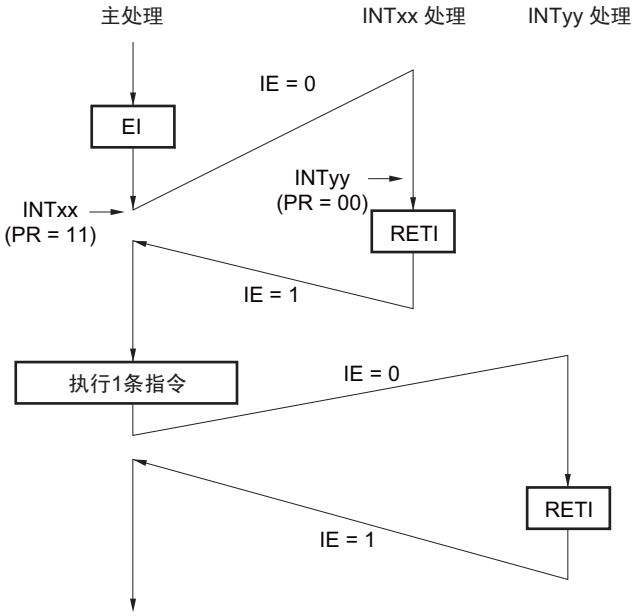


在处理中断 INTxx 的过程中，发生的中断请求 INTyy 因其中断优先级低于 INTxx 而不被接受，所以不发生多重中断。保留 INTyy 请求，在执行一条主处理的指令后接受被保留的 INTyy 请求。

PR=00： 通过 xxPR1x=0、 xxPR0x=0 指定优先级 0 （高优先级）。
PR=01： 通过 xxPR1x=0、 xxPR0x=1 指定优先级 1。
PR=10： 通过 xxPR1x=1、 xxPR0x=0 指定优先级 2。
PR=11： 通过 xxPR1x=1、 xxPR0x=1 指定优先级 3 （低优先级）。
IE=0： 禁止接受中断请求。
IE=1： 允许接受中断请求。

图 14-10 多重中断的例子 (2/2)

例 3. 因不允许中断而不发生多重中断的例子



在处理中断 INTxx 的过程中，因不允许中断（未发行 EI 指令）而不接受中断请求 INTyy，所以不发生多重中断。保留 INTyy 请求，在执行一条主处理的指令后接受被保留的 INTyy 请求。

PR=00： 通过 xxPR1x=0、 xxPR0x=0 指定优先级 0 （高优先级）。
PR=01： 通过 xxPR1x=0、 xxPR0x=1 指定优先级 1。
PR=10： 通过 xxPR1x=1、 xxPR0x=0 指定优先级 2。
PR=11： 通过 xxPR1x=1、 xxPR0x=1 指定优先级 3 （低优先级）。
IE=0： 禁止接受中断请求。
IE=1： 允许接受中断请求。

14.4.4 中断请求的保留

有些指令，在执行指令的过程中发生了中断请求时，会将中断请求保留到下一条指令执行结束为止。这些指令 （中断请求保留指令）如下所示。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L、IF0H、IF1L、IF1H、IF2L、MK0L、MK0H、MK1L、MK1H、MK2L、PR00L、PR00H、PR01L、PR01H、 PR02L、 PR10L、 PR10H、 PR11L、 PR11H和PR12L的各个寄存器的操作指令

中断请求的保留时序如图 14-11 所示。

图 14-11 中断请求的保留

备注 1. 指令 N：中断请求的保留指令

2. 指令 M：中断请求保留指令以外的指令

第 15 章 键中断功能

15.1 键中断的功能

能通过给键中断输入引脚 （KR0 ～ KR3）输入下降沿或者上升沿来产生键中断 （INTKR）。

表 15-1 键中断检测引脚的分配

键中断引脚	键返回模式寄存器 （KRM）
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3

15.2 键中断的结构

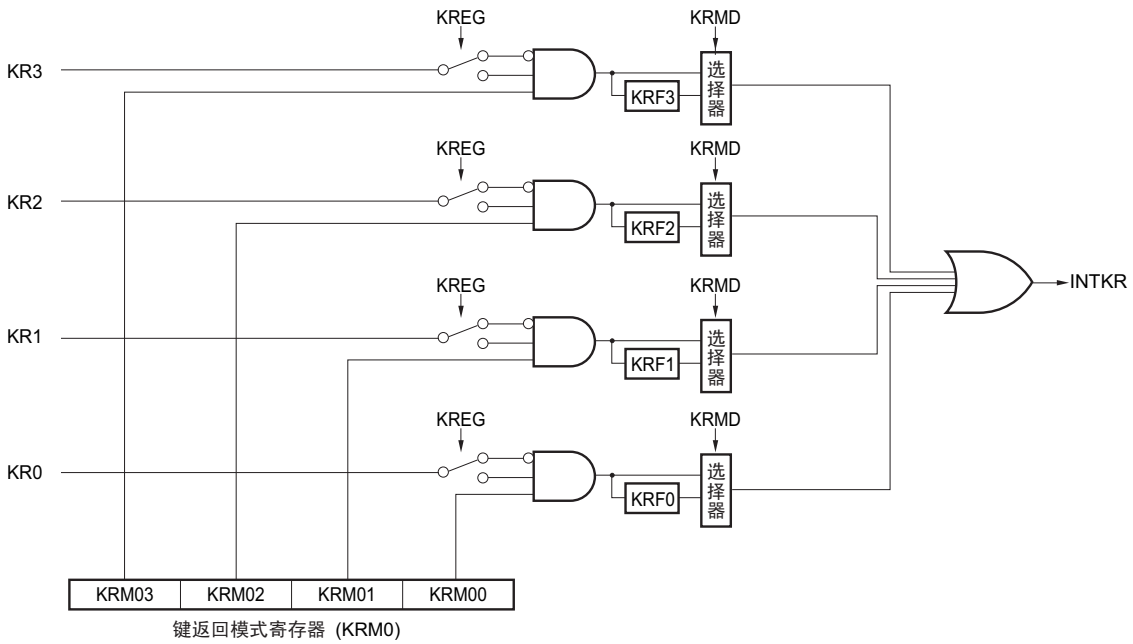
键中断由以下硬件构成。

表 15-2 键中断的结构

项目	控制寄存器
控制寄存器	键返回控制寄存器 （KRCTL）
	键返回模式寄存器 0 （KRM0）
	端口模式寄存器 3、 7 （PM3、 PM7）注

注 要设定的端口模式寄存器（PMxx）因产品而不同。详细内容请参照 “15.3.4 端口模式寄存器 3、7（PM3、PM7）”。

图 15-1 键中断的框图



15.3 控制键中断的寄存器

通过以下 5 种寄存器控制键中断功能。

- 键返回控制寄存器 （KRCTL）
- 键返回模式寄存器0 （KRM0）
- 键返回标志寄存器 （KRF）
- 端口模式寄存器3、 7 （PM3、 PM7）注

注 要设定的端口模式寄存器（PMxx）因产品而不同。详细内容请参照 “15.3.4 端口模式寄存器 3、7（PM3、PM7）”。

15.3.1 键返回控制寄存器 （KRCTL）

这是设定键中断标志 （KRF0 ～ KRF3）的使用和检测边沿的寄存器。
通过 1 位或者 8 位存储器操作指令设定 KRCTL 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 15-2 键返回控制寄存器 （KRCTL）的格式

地址：FFF34H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	键中断标志 （KRF0 ～ KRF3）的使用
0	不使用键中断标志。
1	使用键中断标志。

KREG	检测边沿的选择 （KR0 ～ KR3）
0	上升沿
1	下降沿

15.3.2 键返回模式寄存器 0 （KRM0）

这是设定键中断模式的寄存器。

通过 1 位或者 8 位存储器操作指令设定 KRM0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 15-3 键返回模式寄存器 0 （KRM0）的格式

地址：FFF37H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
KRM0	0	0	0	0	KRM03	KRM02	KRM01	KRM00

KRM0n	键中断模式的控制
0	不检测键中断信号。
1	检测键中断信号。

注意 1. 能通过将键中断输入引脚的上拉电阻寄存器 3、 7 （PU3、 PU7）的对应位置 “1”，使用内部上拉电阻。

2. 如果在给键中断输入引脚输入低电平（KREG 位为 “0” 时）或者高电平（KREG 位为 “1” 时）的状态下将 KRM0 寄存器的对应位置位，就产生中断。

   要忽视此中断时，必须在通过中断屏蔽标志禁止中断处理后设定 KRM0 寄存器。然后，必须在等待键中断输入的高低电平宽度 （参照 “27.4 AC 特性 ”）后清除中断请求标志，允许中断处理。

3. 在键中断模式中未使用的引脚通常能用作端口。

备注 n=0 ～ 3

15.3.3 键返回标志寄存器 （KRF）

这是控制键中断标志 （KRF0 ～ KRF3）的寄存器。

通过 8 位存储器操作指令设定 KRF 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 15-4 键返回标志寄存器 （KRF）的格式

地址：FFF35H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
KRF	0	0	0	0	KRF3	KRF2	KRF1	KRF0

KRFn	键中断标志 （n=0 ～ 3）
0	未检测到键中断信号。
1	检测到键中断信号。

注意 当 KRMD 位为 “0” 时，禁止将 KRFn 位置 “1”。

15.3.4 端口模式寄存器 3、 7 （PM3、 PM7）

这是以位为单位设定端口 3、 7 输入 / 输出的寄存器。

键输入引脚的有无因产品而不同。因此，在使用键中断功能时各产品需要设定的端口模式寄存器如下：

48 引脚产品：PM3、 PM7

64 引脚产品：PM7

将 P30/KR3 ～ P32/KR1、 P70/KR0 ～ P73/KR3 用作键输入时，必须将各端口对应的端口模式寄存器（PM3、 PM7）的位置 “1”。

能通过 1 位或者 8 位存储器操作指令设定 PM3、 PM7 寄存器。

通过产生复位信号， PM3、 PM7 寄存器的值变为 “FFH”。

图 15-5 端口模式寄存器 7 （PM7）的格式 （64 引脚产品）

地址：FFF27H 复位后：FFH R/W

符号	7	6	5	4	3	2	1	0
PM7	1	1	1	PM74	PM73	PM72	PM71	PM70

PM7n	P7n 引脚的输入 / 输出模式的选择 （n=0 ～ 4）
0	输出模式 （输出缓冲器 ON）
1	输入模式 （输出缓冲器 OFF）

备注 上述格式是 64 引脚产品的端口模式寄存器 7 的格式。有关其他产品的端口模式寄存器的格式，请参照 “ 表 4-3 各产品配置的 PMxx、 Pxx、 PUxx、 PIMxx、 POMxx、 PMCxx 寄存器及其位 ”。

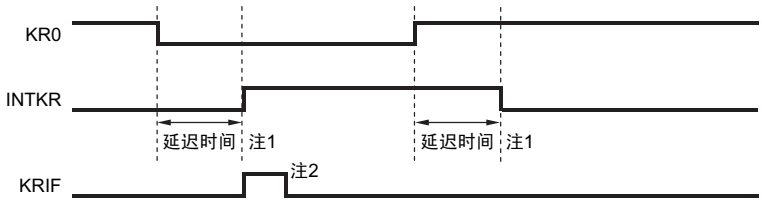
15.4 键中断功能的运行

15.4.1 不使用键中断标志的情况 （KRMD=0）

通过给键中断输入引脚（KR0 ～ KR3）输入 KREG 位设定的有效边沿，产生键中断（INTKR）。另外，在产生键中断 （INTKR）后，能通过读端口寄存器并且确认输入电平，确定输入有效边沿的通道。

INTKR 信号与键中断输入引脚 （KR0 ～ KR3）的输入电平同步发生变化。

图 15-6 给 1 个通道输入键中断时的 INTKR 信号变化 （KRMD=0、 KREG=0 的情况）

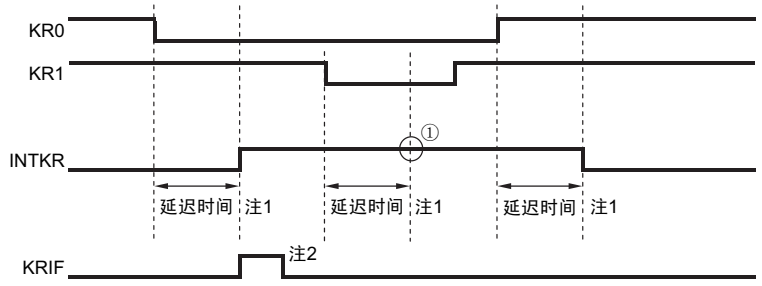


注 1. 延迟时间最大为键中断输入高低电平宽度的 MAX. 值 （参照 “27.4 AC 特性 ”）。

2. 通过接受向量中断请求或者软件进行清除。

给多个键中断输入引脚输入有效边沿时的运行如图 15-7 所示。因为在给 1 个引脚输入低电平 （KREG=0 时）的期间 INTKR 信号被置位，所以在此期间即使给其他引脚输入下降沿也不再次产生键中断 （INTKR）（图中的①）。

图 15-7 给多个通道输入键中断时的 INTKR 信号变化 （KRMD=0、 KREG=0 的情况）



注 1. 延迟时间最大为键中断输入高低电平宽度的 MAX. 值 （参照 “27.4 AC 特性 ”）。

2. 通过接受向量中断请求或者软件进行清除。

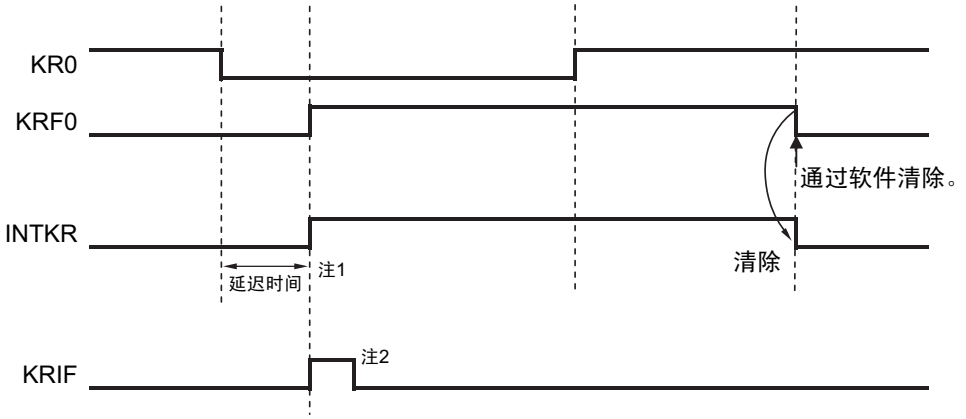
15.4.2 使用键中断标志的情况 （KRMD=1）

通过给键中断输入引脚（KR0 ～ KR3）输入 KREG 位设定的有效边沿，产生键中断（INTKR）。另外，在产生键中断 （INTKR）后，能通过读键返回标志寄存器 （KRF），确定输入有效边沿的通道。

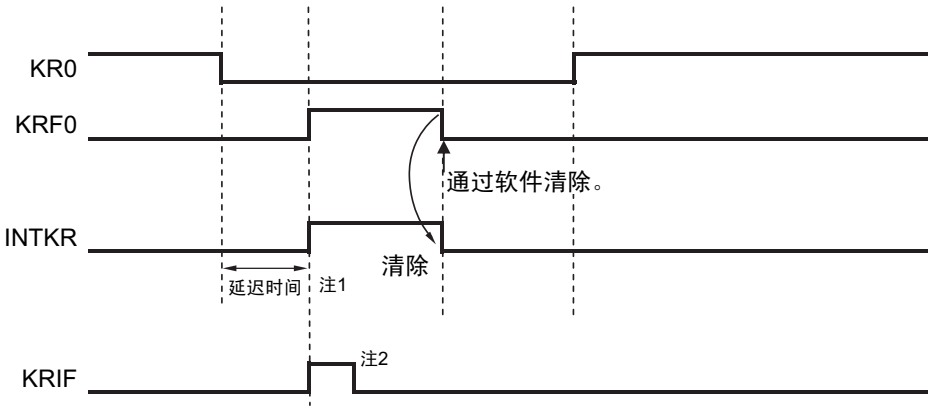
当 KRMD 位为 “1” 时，通过清除 KRF 寄存器的对应位，清除 INTKR 信号。如图 15-8 所示，对于 1 个通道的下降沿 （KREG=0 时），只产生 1 次中断，与 KRFn 位的清除时序是否在上升沿的前后无关。

图 15-8 使用键中断标志时的 INTKR 信号基本变化 （KRMD=1、 KREG=0 的情况）

(a) 给 KR0 引脚输入上升沿后的 KRF0 的清除



(b) 给 KR0 引脚输入上升沿前的 KRF0 的清除

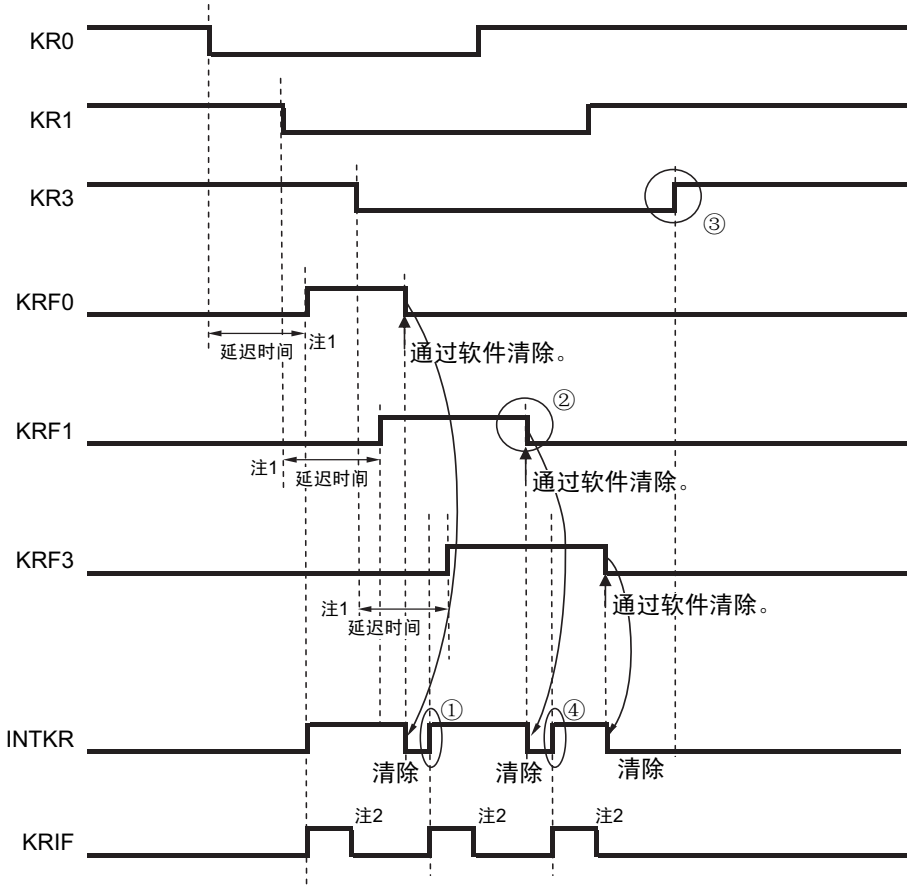


注 1. 延迟时间最大为键中断输入高低电平宽度的 MAX. 值 （参照 “27.4 AC 特性 ”）。

2. 通过接受向量中断请求或者软件进行清除。

给多个键中断输入引脚输入有效边沿时的运行如图 15-9 所示。在给 KR0 引脚输入下降沿后也给 KR1 引脚和 KR3 引脚输入下降沿 （KREG=0 时）。因为在清除 KRF0 位时 KRF1 位已被置位，所以在清除 KRF0 位的 1 个时钟 （f_{CLK}）后产生键中断 （INTKR）（图中的①）。另外，因为给 KR3 引脚输入下降沿并且在清除 KRF1 位后 （图中的②）给 KR3 引脚输入低电平 （图中的③），所以在清除 KRF1 位的 1 个时钟 （f_{CLK}）后产生键中断 （INTKR）（图中的④）。由此，对于多个通道输入的有效边沿，有可能产生键中断 （INTKR）。

图 15-9 给多个通道输入键中断时的 INTKR 信号变化 （KRMD=1、 KREG=0 的情况）



注 1. 延迟时间最大为键中断输入高低电平宽度的 MAX. 值 （参照 “27.4 AC 特性 ”）。

2. 通过接受向量中断请求或者软件进行清除。

备注 f_{CLK}：CUP/ 外围硬件时钟频率

第 16 章 待机功能

16.1 待机功能和结构

待机功能是进一步降低系统工作电流的功能，有以下 3 种模式。

(1) HALT 模式

通过执行 HALT 指令进入 HALT 模式。 HALT 模式是停止 CPU 运行时钟的模式。在设定 HALT 模式前，如果高速系统时钟振荡电路、高速内部振荡器或者副系统时钟振荡电路正在工作，各时钟就继续振荡。虽然此模式无法让工作电流降到 STOP 模式的程度，但是在想要通过中断请求立即重新开始处理或者想要频繁地进行间歇运行时是一种有效的模式。

(2) STOP 模式

通过执行 STOP 指令进入 STOP 模式。 STOP 模式是停止高速系统时钟振荡电路和高速内部振荡器的振荡并且停止整个系统的模式。能大幅度地降低 CPU 的工作电流。

因为 STOP 模式能通过中断请求来解除，所以也能进行间歇运行。但是，在 X1 时钟的情况下，因为在解除 STOP 模式时需要确保振荡稳定的等待时间，所以如果一定要通过中断请求立即开始处理，就必须选择 HALT 模式。

(3) SNOOZE 模式

通过 CSI00 或者 UART0 的数据接收以及由定时器触发信号 （中断请求信号 （INTRTC/INTIT））产生的 A/D 转换请求，解除 STOP 模式，不需要 CPU 运行而进行 CSI00 或者 UART0 的数据接收，并且进行 A/D 转换。只有在选择高速内部振荡器作为 CPU/ 外围硬件时钟 （f_{CLK}）时才能设定 SNOOZE 模式。

在任何一种模式中，保持设定为待机模式前的寄存器、标志和数据存储器的全部内容，并且还保持输入 / 输出端口的输出锁存器和输出缓冲器的状态。

注意 1. 只有在 CPU 以主系统时钟运行时才能使用 STOP 模式。当 CPU 以副系统时钟运行时，不能设定为 STOP 模式。无论 CPU 是以主系统时钟还是以副系统时钟运行，都能使用 HALT 模式。

2. 在转移到 STOP 模式时，必须在停止以主系统时钟运行的外围硬件后执行 STOP 指令（SNOOZE 模式的设定单元除外）。

3. 在 SNOOZE 模式中使用 CSI00、 UART0 或者 A/D 转换器时，必须在转移到 STOP 模式前设定串行待机控制寄存器 0（SSC0）和 A/D 转换器模式寄存器 2（ADM2）。详细内容请参照 “12.3 控制串行阵列单元的寄存器 ” 和 “11.3 A/D 转换器使用的寄存器 ”。

4. 为了降低 A/D 转换器的功耗，必须将 A/D 转换器模式寄存器 0 （ADM0）的 bit7 （ADCS）和 bit0 （ADCE）清 “0”，在停止 A/D 转换运行后执行 STOP 指令。

5. 能通过选项字节选择在 HALT 模式或者 STOP 模式中是继续还是停止低速内部振荡器的振荡。详细内容请参照 “ 第 22 章 选项字节 ”。

16.2 控制待机功能的寄存器

待机功能的控制寄存器如下所示。

- 副系统时钟提供模式控制寄存器 （OSMC）
- 振荡稳定时间计数器的状态寄存器 （OSTC）
- 振荡稳定时间选择寄存器 （OSTS）

备注 上述寄存器的详细内容请参照 “ 第 5 章 时钟发生电路 ”。另外，有关 SNOOZE 模式功能的控制寄存器，请参照 “ 第 11 章 A/D 转换器 ”、 “ 第 12 章 串行阵列单元 ”。

16.3 待机功能的运行

16.3.1 HALT 模式

(1) HALT 模式

通过执行 HALT 指令设定为 HALT 模式。无论设定前的 CPU 时钟是高速系统时钟还是高速内部振荡器时钟或者副系统时钟，都能进行设定。

HALT 模式中的运行状态如下所示。

备注 在中断屏蔽标志为 “0” （允许中断处理）并且中断请求标志为 “1” （产生中断请求信号）时，中断请求信号用于解除 HALT 模式，因此，在此状态下，即使执行 HALT 指令，也不转移到 HALT 模式。

表 16-1 HALT 模式中的运行状态 (1/2)

HALT 模式的设定 / 项目			在 CPU 以主系统时钟运行的过程中执行 HALT 指令的情况		
			CPU 以高速内部振荡器时钟（f_{IH}）运行	CPU 以 X1 时钟 （f_X）运行	CPU 以外部主系统时钟（f_{EX}）运行
系统时钟			停止给 CPU 提供时钟。		
	主系统时钟	f_{IH}	继续运行 （不能停止）。	禁止运行。	
		f_X	禁止运行。	继续运行 （不能停止）。	不能运行。
		f_{EX}		不能运行。	继续运行 （不能停止）。
	副系统时钟	f_{XT}	保持设定为 HALT 模式前的状态。		
		f_{EXS}			
	f_{IL}		通过选项字节 （000C0H）的 bit0 （WDSTBYON）和 bit4 （WDTON）以及副系统时钟提供模式控制寄存器 （OSMC）的 WUTMMCK0 位进行设定。 • WUTMMCK0=1：振荡 • WUTMMCK0=0、 WDTON=0：停止 • WUTMMCK0=0、 WDTON=1 并且 WDSTBYON=1：振荡 • WUTMMCK0=0、 WDTON=1 并且 WDSTBYON=0：停止		
CPU			停止运行。		
代码闪存					
数据闪存					
RAM					
端口 （锁存器）			保持设定为 HALT 模式前的状态。		
定时器阵列单元			能运行。		
实时时钟 （RTC）					
12 位间隔定时器					
看门狗定时器			参照 “ 第 10 章 看门狗定时器 ”		
时钟输出 / 蜂鸣器输出			能运行。		
A/D 转换器					
串行阵列单元 （SAU）					
LCD 控制器 / 驱动器			能运行 （但是，取决于被选作 LCD 源时钟的时钟状态 （在选择的时钟处于运行状态时，能运行；在选择的时钟处于停止状态时，停止运行））。		
上电复位功能			能运行。		
电压检测功能					
外部中断					
键中断功能					
CRC 运算功能	高速 CRC				
	通用 CRC		停止运行。		
RAM 奇偶校验错误检测功能					
RAM 保护功能					
SFR 保护功能					
非法存储器存取检测功能					

备注 停止运行：在转移到 HALT 模式时自动停止运行。
禁止运行：在转移到HALT模式前使其停止运行。
f_{IH}： 高速内部振荡器时钟
f_{IL}： 低速内部振荡器时钟
f_X： X1 时钟
f_{EX}： 外部主系统时钟
f_{XT}： XT1时钟
f_{EXS} 外部副系统时钟

表 16-1 HALT 模式中的运行状态 (2/2)

HALT 模式的设定 / 项目			在 CPU 以副系统时钟运行的过程中执行 HALT 指令的情况	
			CPU 以 XT1 时钟 （f_{XT}）运行	CPU 以外部副系统时钟 （f_{EXS}）运行
系统时钟			停止给 CPU 提供时钟。	
	主系统时钟	f_{IH}	禁止运行。	
		f_X		
		f_{EX}		
	副系统时钟	f_{XT}	继续运行 （不能停止）。	不能运行。
		f_{EXS}	不能运行。	继续运行 （不能停止）。
	f_{IL}		通过选项字节 （000C0H）的 bit0 （WDSTBYON）和 bit4 （WDTON）以及副系统时钟提供模式控制寄存器 （OSMC）的 WUTMMCK0 位进行设定。 • WUTMMCK=1：振荡 • WUTMMCK=0、 WDTON=0：停止 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=1：振荡 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=0：停止	
CPU			停止运行。	
代码闪存				
数据闪存				
RAM				
端口 （锁存器）			保持设定为 HALT 模式前的状态。	
定时器阵列单元			当 RTCLPC=0 时，能运行 （否则禁止运行）。	
实时时钟 （RTC）			能运行。	
12 位间隔定时器				
看门狗定时器			参照 “ 第 10 章 看门狗定时器 ”。	
时钟输出 / 蜂鸣器输出			当 RTCLPC=0 时，能运行 （否则禁止运行）。	
A/D 转换器			禁止运行。	
串行阵列单元 （SAU）			当 RTCLPC=0 时，能运行 （否则禁止运行）。	
LCD 控制器 / 驱动器			能运行 （但是，取决于被选作 LCD 源时钟的时钟状态 （在选择的时钟处于运行状态时，能运行；在选择的时钟处于停止状态时，停止运行））。	
上电复位功能			能运行。	
电压检测功能				
外部中断				
键中断功能				
CRC 运算功能	高速 CRC		禁止运行。	
	通用 CRC		停止运行。	
RAM 奇偶校验错误检测功能				
RAM 保护功能				
SFR 保护功能				
非法存储器存取检测功能				

备注 停止运行：在转移到 HALT 模式时自动停止运行。
禁止运行：在转移到HALT模式前使其停止运行。
f_{IH}： 高速内部振荡器时钟
f_{IL}： 低速内部振荡器时钟
f_X： X1 时钟
f_{EX}： 外部主系统时钟
f_{XT}： XT1时钟
f_{EXS}： 外部副系统时钟

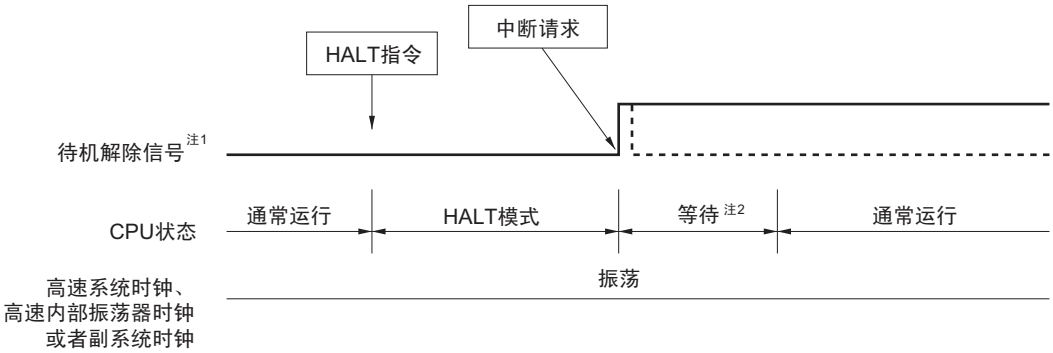
(2) HALT 模式的解除

能通过以下 2 种方法解除 HALT 模式。

(a) 通过未屏蔽的中断请求进行的解除

如果发生未屏蔽的中断请求，就解除 HALT 模式。然后，如果处于允许接受中断的状态，就进行向量中断的处理。如果处于禁止接受中断的状态，就执行下一个地址的指令。

图 16-1 通过中断请求解除 HALT 模式



注 1. 有关待机解除信号的详细内容，请参照图 14-1。

2. HALT 模式解除的等待时间

- 进行向量中断处理的情况

  主系统时钟： 15 ～ 16 个时钟

  副系统时钟 （RTCLPC=0）： 10 ～ 11 个时钟

  副系统时钟 （RTCLPC=1）： 11 ～ 12 个时钟

- 不进行向量中断处理的情况

  主系统时钟： 9 ～ 10 个时钟

  副系统时钟 （RTCLPC=0）： 4 ～ 5 个时钟

  副系统时钟 （RTCLPC=1）： 5 ～ 6 个时钟

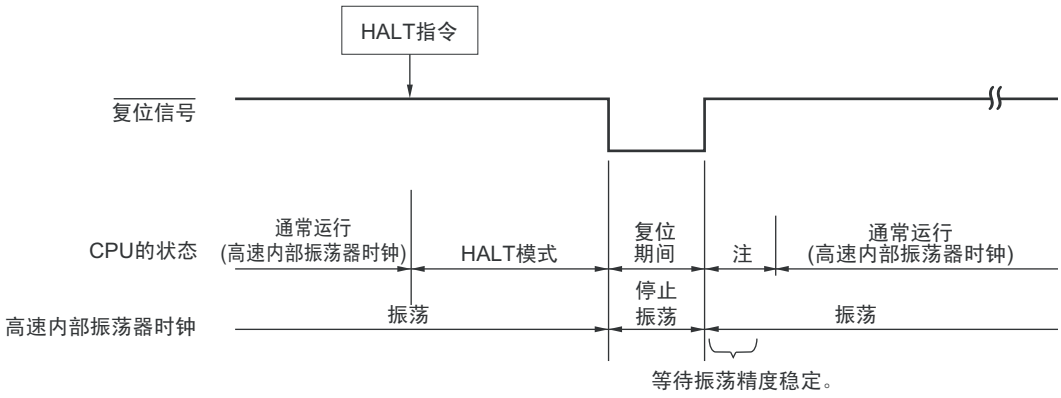
备注 虚线表示接受解除了待机模式的中断请求的情况。

(b) 通过产生复位信号进行的解除

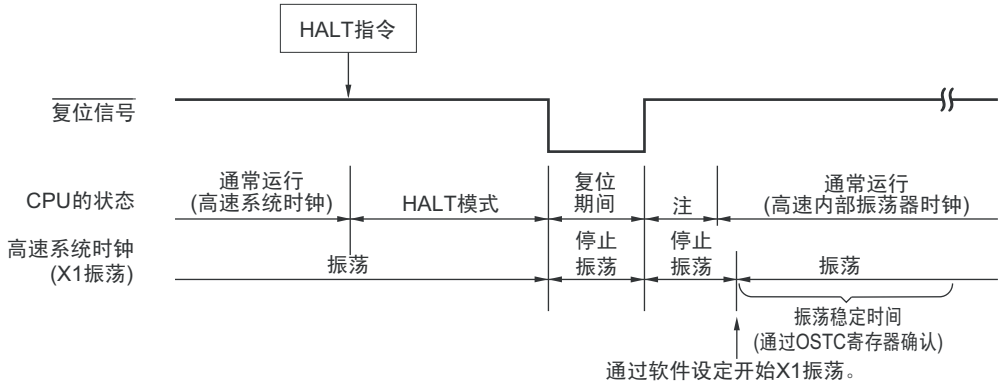
通过产生复位信号来解除 HALT 模式。然后，和通常的复位一样，在转移到复位向量地址后执行程序。

图 16-2 通过复位解除 HALT 模式 (1/2)

(1) CPU时钟为高速内部振荡器时钟的情况



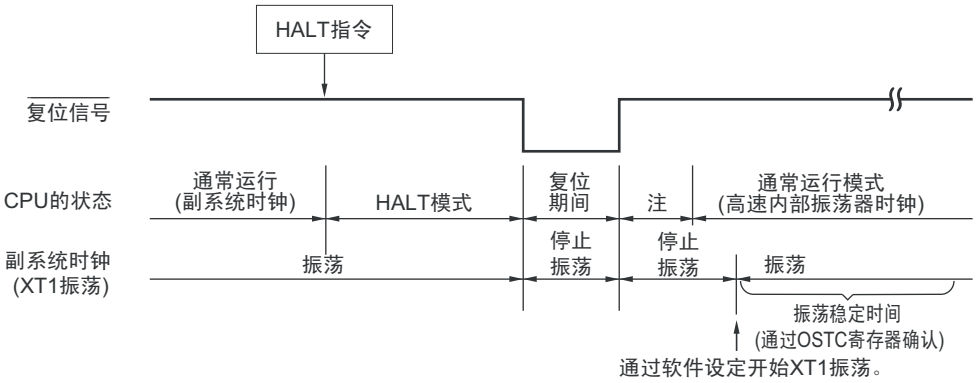
(2) CPU时钟为高速系统时钟的情况



注 有关复位处理时间，请参照“第 17 章 复位功能”。有关上电复位（POR）电路和电压检测（LVD）电路的复位处理时间，请参照“第 18 章 上电复位电路”。

图 16-2 通过复位解除 HALT 模式 (2/2)

(3) CPU时钟为副系统时钟的情况



注 有关复位处理时间，请参照“第 17 章 复位功能”。有关上电复位（POR）电路和电压检测（LVD）电路的复位处理时间，请参照“第 18 章 上电复位电路”。

16.3.2 STOP 模式

(1) STOP 模式的设定和运行状态

通过执行 STOP 指令设定为 STOP 模式。只有在设定前的 CPU 时钟为主系统时钟的情况下才能进行设定。

注意 1. 因为中断请求信号用于解除 STOP 模式，所以如果存在将中断请求标志置位或者将中断屏蔽标志复位的中断源，即使进入 STOP 模式也立即被解除。因此，在此情况下，即使执行 STOP 指令也立即进入 STOP 模式，在等待振荡稳定时间选择寄存器（OSTS）设定的时间后返回运行模式。但是，因为时钟不停止运行，所以此期间的工作电流和 HALT 模式中的工作电流相同。

2. 在 SNOOZE 模式中使用 CSI00、UART0 或者 A/D 转换器时，必须在转移到 STOP 模式前设定串行待机控制寄存器 0（SSC0）和 A/D 转换器模式寄存器 2（ADM2）。详细内容请参照“12.3 控制串行阵列单元的寄存器”和“11.3 A/D 转换器使用的寄存器”。

STOP 模式中的运行状态如下所示。

表 16-2 STOP 模式中的运行状态

项目 \ STOP 模式的设定			在 CPU 以主系统时钟运行的过程中执行 STOP 指令的情况		
			CPU 以高速内部振荡器时钟（f_{IH}）运行	CPU 以 X1 时钟（f_X）运行	CPU 以外部主系统时钟（f_{EX}）运行
系统时钟			停止给 CPU 提供时钟。		
	主系统时钟	f_{IH}	停止		
		f_X			
		f_{EX}			
	副系统时钟	f_{XT}	保持设定为 STOP 模式前的状态。		
		f_{EXS}			
	f_{IL}		通过选项字节（000C0H）的 bit0（WDSTBYON）和 bit4（WDTON）以及副系统时提供模式控制寄存器（OSMC）的 WUTMMCK0 位进行设定。 • WUTMMCK=1：振荡 • WUTMMCK=0、 WDTON=0：停止 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=1：振荡 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=0：停止		
CPU			停止运行。		
代码闪存					
数据闪存			停止运行。		
RAM			停止运行。		
端口（锁存器）			保持设定为 STOP 模式前的状态。		
定时器阵列单元			禁止运行。		
实时时钟（RTC）			能运行。		
12 位间隔定时器					
看门狗定时器			参照“第 10 章 看门狗定时器”。		
时钟输出 / 蜂鸣器输出			在选择副系统时钟作为计数时钟并且 RTCLPC=0 时，能运行（否则禁止运行）。		
A/D 转换器			能唤醒运行（转移到 SNOOZE 模式）。		
串行阵列单元（SAU）			只有 CSI00 和 UART0 才能唤醒运行（转移到 SNOOZE 模式）。 除了 CSI00 和 UART0 以外，禁止运行。		
LCD 控制器 / 驱动器			能运行（但是，取决于被选作 LCD 源时钟的时钟状态（在选择的时钟处于运行状态时，能运行；在选择的时钟处于停止状态时，停止运行））。		
上电复位功能			能运行。		
电压检测功能					
外部中断					
键中断功能					
CRC 运算功能	高速 CRC		停止运行。		
	通用 CRC				
RAM 奇偶校验错误检测功能					
RAM 保护功能					
SFR 保护功能					
非法存储器存取检测功能					

备注 停止运行：在转移到 STOP 模式时自动停止运行。
禁止运行：在转移到STOP模式前使其停止运行。
f_{IH}： 高速内部振荡器时钟
f_X： X1时钟
f_{XT}： XT1时钟
f_{IL}： 低速内部振荡器时钟
f_{EX}： 外部主系统时钟
f_{EXS}： 外部副系统时钟

注意 1. 如果要在 STOP 模式中停止低速内部振荡器时钟，就必须事先通过选项字节设定为 “ 在 HATL/STOP 模式中看门狗定时器停止运行 ”（000C0H 的 bit0 （WDSTBYON） =0）。

2. 在 CPU 以高速系统时钟 （X1 振荡）运行并且要缩短 STOP 模式解除后的振荡稳定时间时，必须在执行 STOP 指令前临时将 CPU 时钟切换为高速内部振荡器时钟。要在解除 STOP 模式后将 CPU 时钟从高速内部振荡器时钟切换为高速系统时钟 （X1 振荡）时，必须在通过振荡稳定时间计数器状态寄存器 （OSTC）确认振荡稳定时间后进行切换。

(2) STOP 模式的解除

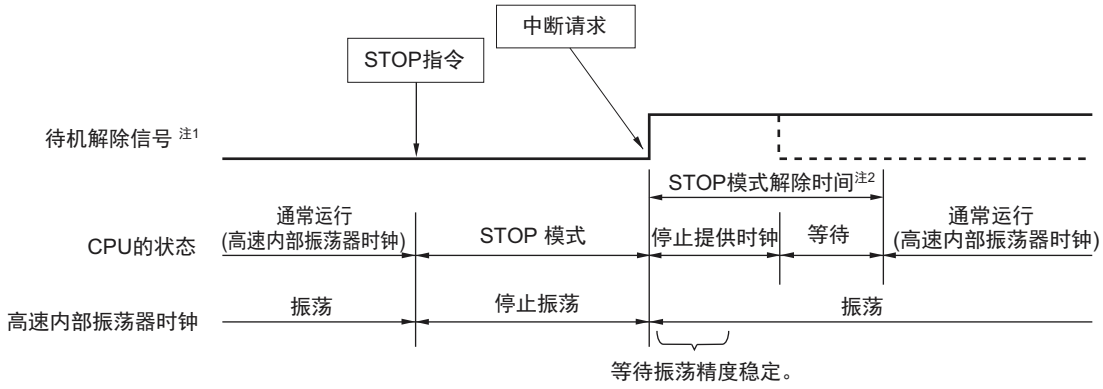
能通过以下 2 种方法解除 STOP 模式。

(a) 通过未屏蔽的中断请求进行的解除

如果发生未屏蔽的中断请求，就解除 STOP 模式。在经过振荡稳定时间后，如果处于允许接受中断的状态，就进行向量中断的处理。如果处于禁止接受中断的状态，就执行下一个地址的指令。

图 16-3 通过中断请求解除 STOP 模式 (1/2)

(1) CPU时钟为高速内部振荡器时钟的情况



注 1. 有关待机解除信号的详细内容，请参照图 16-1。

2. STOP 模式的解除时间

停止提供时钟：18μs ～ 65μs

等待

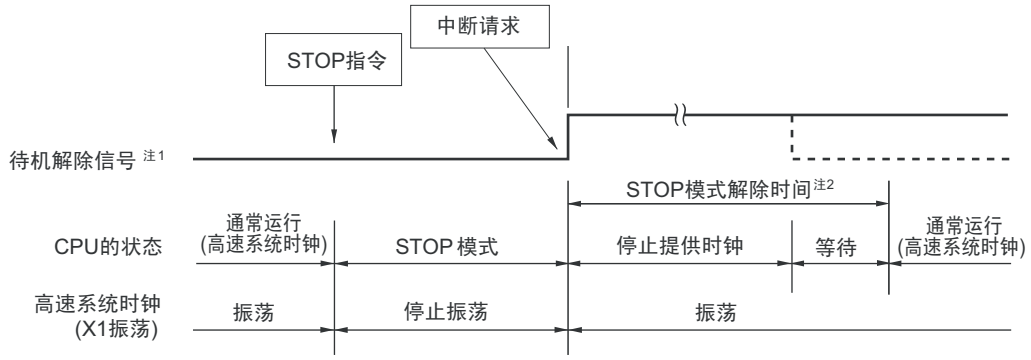
- 进行向量中断处理的情况： 7 个时钟
- 不进行向量中断处理的情况：1 个时钟

备注 1. 时钟提供的停止时间因温度条件和 STOP 模式期间而变。

2. 虚线表示接受解除了待机模式的中断请求的情况。

图 16-3 通过中断请求解除 STOP 模式 (2/2)

(2) CPU时钟为高速系统时钟 （X1振荡）的情况



注 1. 有关待机解除信号的详细内容，请参照图 16-1。

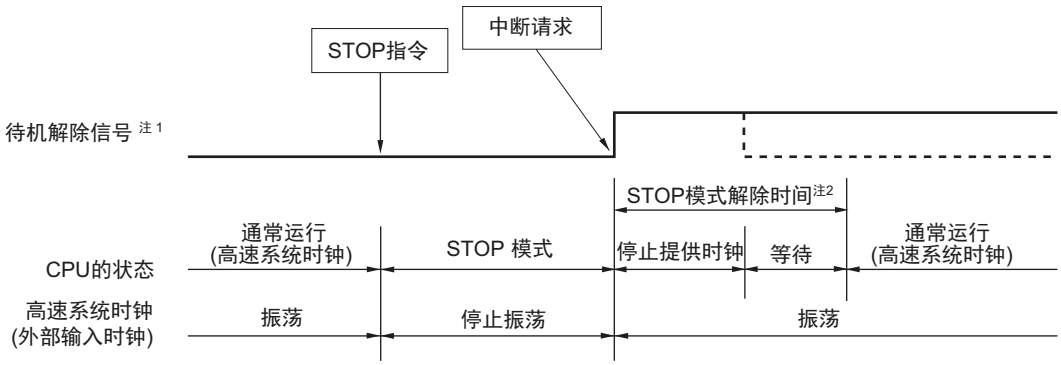
2. STOP 模式的解除时间

停止提供时钟：18μs ～ “65μs 和振荡稳定时间 （通过 OSTS 进行设定）中较长的时间 ”

等待

- 进行向量中断处理的情况： 10 ～ 11 个时钟
- 不进行向量中断处理的情况：4 ～ 5 个时钟

(3) CPU时钟为高速系统时钟 （外部时钟输入）的情况



注 1. 有关待机解除信号的详细内容，请参照图 16-1。

2. STOP 模式的解除时间

停止提供时钟：18μs ～ 65μs

等待

- 进行向量中断处理的情况： 7 个时钟
- 不进行向量中断处理的情况：1 个时钟

注意 在 CPU 以高速系统时钟 （X1 振荡）运行，并且想要缩短解除 STOP 模式后的振荡稳定时间时，必须在执行 STOP 指令前，将 CPU 时钟暂时切换到高速内部振荡器时钟。

备注 1. 时钟提供的停止时间因温度条件和 STOP 模式期间而变。

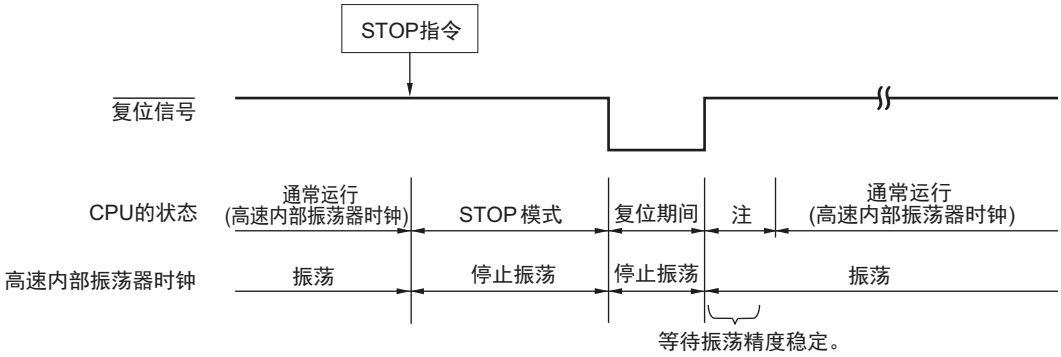
2. 虚线表示接受解除了待机模式的中断请求的情况。

(b) 通过产生复位信号进行的解除

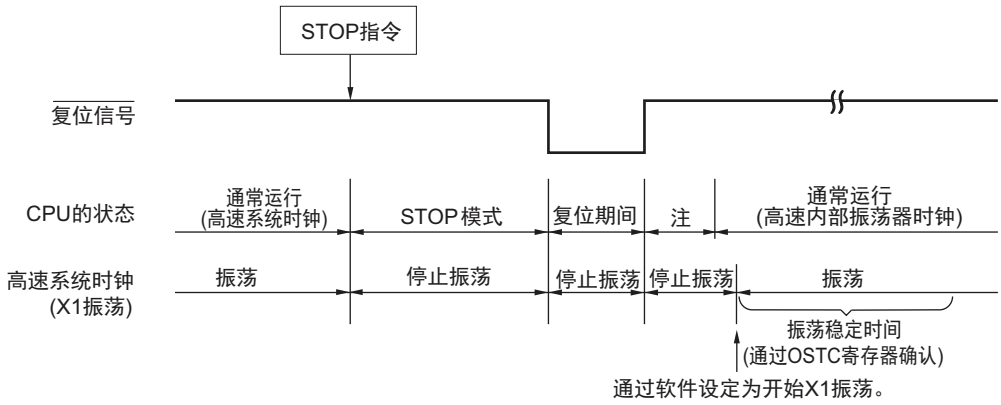
通过产生复位信号来解除 STOP 模式。然后，和通常的复位一样，在转移到复位向量地址后执行程序。

图 16-4 通过复位解除 STOP 模式

(1) CPU时钟为高速内部振荡器时钟的情况



(2) CPU时钟为高速系统时钟的情况



注 有关复位处理时间，请参照“ 第 17 章 复位功能 ”。有关上电复位 （POR）电路和电压检测 （LVD）电路的复位处理时间，请参照“ 第 18 章 上电复位电路 ”。

16.3.3 SNOOZE 模式

(1) SNOOZE 模式的设定和运行状态

只能给 CSI00、UART0 或者 A/D 转换器设定 SNOOZE 模式，并且只有在设定前的 CPU 时钟为高速内部振荡器时钟的情况下才能进行设定。

要在 SNOOZE 模式中使用 CSI00 或者 UART0 时，必须在转移到 STOP 模式前将串行待机控制寄存器 m（SSCm）的 SWCm 位置“1”。详细内容请参照“**12.3 控制串行阵列单元的寄存器**”。

要在 SNOOZE 模式中使用 A/D 转换器时，必须在转移到 STOP 模式前将 A/D 转换器模式寄存器 2（ADM2）的 AWC 位置“1”。详细内容请参照“**11.3 A/D 转换器使用的寄存器**”。

在进行 SNOOZE 模式转移时，只在以下时间内变为等待状态。

STOP 模式→ SNOOZE 模式的转移时间：18μs ～ 65μs

备注 从 STOP 模式到 SNOOZE 模式的转移时间因温度条件和 STOP 模式期间而变。

SNOOZE 模式 → 通常运行的转移时间：

- 进行向量中断处理的情况：
  HS （高速主）模式： “4.99～9.44μs”+7 个时钟
  LS （低速主）模式： “1.10～5.08μs”+7 个时钟
  LV （低电压主）模式：“16.58～25.40μs”+7 个时钟
- 不进行向量中断处理的情况：
  HS （高速主）模式： “4.99～9.44μs”+1 个时钟
  LS （低速主）模式： “1.10～5.08μs”+1 个时钟
  LV （低电压主）模式：“16.58～25.40μs”+1 个时钟

SNOOZE 模式中的运行状态如下所示。

表 16-3 SNOOZE 模式中的运行状态

STOP 模式的设定 / 项目			在 STOP 模式中输入 CSI00/UART0 的数据接收信号或者 A/D 转换器的定时器触发信号的情况
			CPU 以高速内部振荡器时钟 （f_{IH}）运行
系统时钟			停止给 CPU 提供时钟。
	主系统时钟	f_{IH}	开始运行。
		f_X	停止
		f_{EX}	
	副系统时钟	f_{XT}	保持 STOP 模式中的状态。
		f_{EXS}	
	f_{IL}		通过选项字节 （000C0H）的 bit0 （WDSTBYON）和 bit4 （WDTON）以及副系统时钟提供模式控制寄存器 （OSMC）的 WUTMMCK0 位进行设定。 • WUTMMCK=1：振荡 • WUTMMCK=0、 WDTON=0：停止 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=1：振荡 • WUTMMCK=0、 WDTON=1 并且 WDSTBYON=0：停止
CPU			停止运行。
代码闪存			
数据闪存			
RAM			
端口 （锁存器）			保持 STOP 模式中的状态。
定时器阵列单元			禁止运行。
实时时钟 （RTC）			能运行。
12 位间隔定时器			
看门狗定时器			参照 “ 第 10 章 看门狗定时器 ”。
时钟输出 / 蜂鸣器输出			在选择副系统时钟作为计数时钟并且 RTCLPC=0 时，能运行 （否则禁止运行）。
A/D 转换器			能运行。
串行阵列单元 （SAU）			只有 CSI00 和 UART0 才能运行。 除了 CSI00 和 UART0 以外，禁止运行。
LCD 控制器 / 驱动器			能运行 （但是，取决于被选作 LCD 源时钟的时钟状态 （在选择的时钟处于运行状态时，能运行；在选择的时钟处于停止状态时，停止运行））。
上电复位功能			能运行。
电压检测功能			
外部中断			
键中断功能			
CRC 运算功能	高速 CRC		禁止运行。
	通用 CRC		
RAM 奇偶校验错误检测功能			
RAM 保护功能			
SFR 保护功能			
非法存储器存取检测功能			

备注 停止运行：在转移到 STOP 模式时自动停止运行。
禁止运行：在转移到STOP模式前使其停止运行。
f_{IH}： 高速内部振荡器时钟
f_X： X1时钟
f_{XT}： XT1时钟
f_{IL}： 低速内部振荡器时钟
f_{EX}： 外部主系统时钟
f_{EXS}： 外部副系统时钟

第 17 章 复位功能

以下 7 种方法产生复位信号。

(1) 通过$\overline{\text{RESET}}$引脚输入外部复位。
(2) 通过看门狗定时器的程序失控检测产生内部复位。
(3) 通过上电复位 （POR）电路的电源电压和检测电压的比较产生内部复位。
(4) 通过电压检测电路 （LVD）的电源电压和检测电压的比较产生内部复位。
(5) 因执行非法指令而产生内部复位注。
(6) 因RAM奇偶校验错误而产生内部复位。
(7) 因存取非法存储器而产生内部复位。

内部复位和外部复位相同，通过产生复位信号，从写在地址 0000H 和 0001H 中的地址开始执行程序。

当给 $\overline{\text{RESET}}$ 引脚输入低电平，或者看门狗定时器检测到程序失控，或者检测到 POR 电路和 LVD 电路的电压，或者执行非法指令注，或者发生 RAM 奇偶校验错误，或者存取非法存储器时，产生复位并且各硬件变为如表 17-1 所示的状态。

注 当执行指令码 FFH 时，发生非法指令错误。
在通过在线仿真器或者片上调试仿真器进行仿真时，不会因执行非法指令而产生复位。

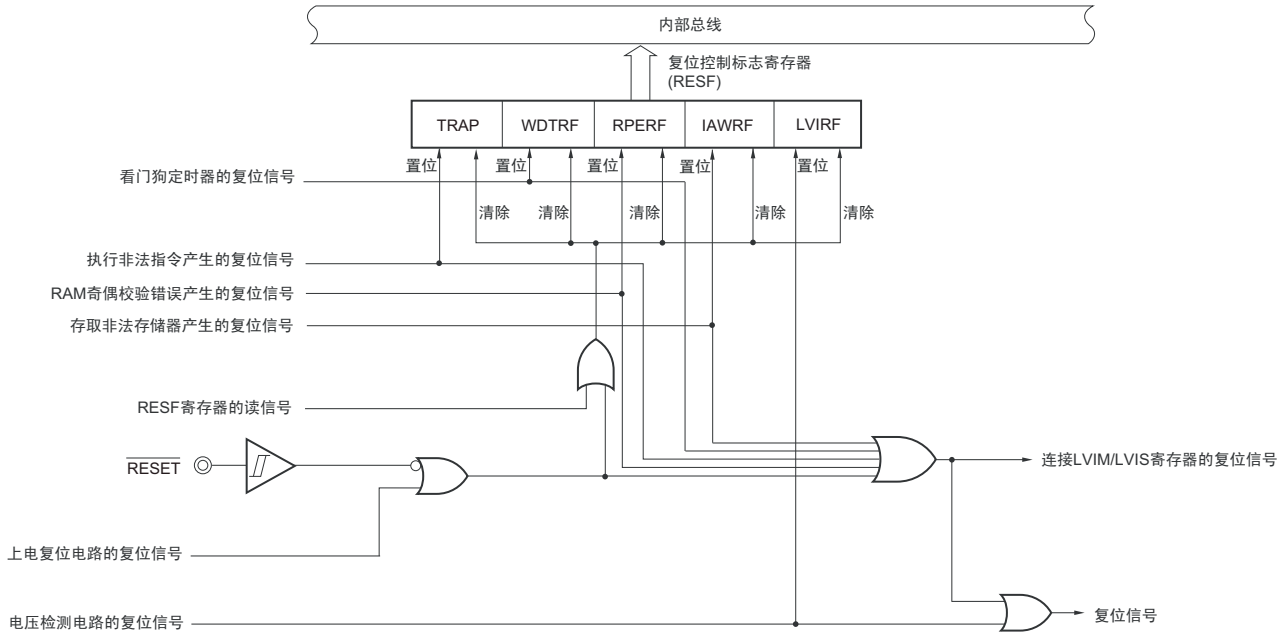
注意 1. 要进行外部复位时，必须至少给 $\overline{\text{RESET}}$ 引脚输入 10μs 的低电平。
如果在接通电源时进行外部复位，就必须在给 $\overline{\text{RESET}}$ 引脚输入低电平后接通电源，并且在 “27.4 AC 特性 ” 所示的工作电压范围内的期间至少维持 10μs 的低电平，然后输入高电平。

2. 在复位信号发生期间，停止 X1 时钟、XT1 时钟、高速内部振荡器时钟和低速内部振荡器时钟的振荡。外部主系统时钟和外部副系统时钟的输入无效。

3. 如果发生复位，就对各 SFR 和 2nd SFR 进行初始化，端口引脚的状态如下变化。
   - P40：在外部复位或者 POR 复位期间为高阻抗。在其他复位期间和接受复位后为高电平（连接内部上拉电阻）。
   - P130：在复位期间和接受复位后为低电平输出。
   - P40、 P130 以外的端口：在复位期间和接受复位后为高阻抗。

备注 V_{POR}：POR 电源上升检测电压
V_{LVD}： LVD 检测电压

图 17-1 复位功能的框图



注意 LVD 电路的内部复位不会对 LVD 电路进行复位。

备注 1. LVIM：电压检测寄存器

2. LVIS：电压检测电平寄存器

17.1 复位运行的时序

如果给 $\overline{\text{RESET}}$ 引脚输入低电平，就发生复位，如果给 $\overline{\text{RESET}}$ 引脚输入高电平，就解除复位。复位处理后，通过高速内部振荡器时钟开始执行程序。

图 17-2 $\overline{\text{RESET}}$ 输入的复位时序

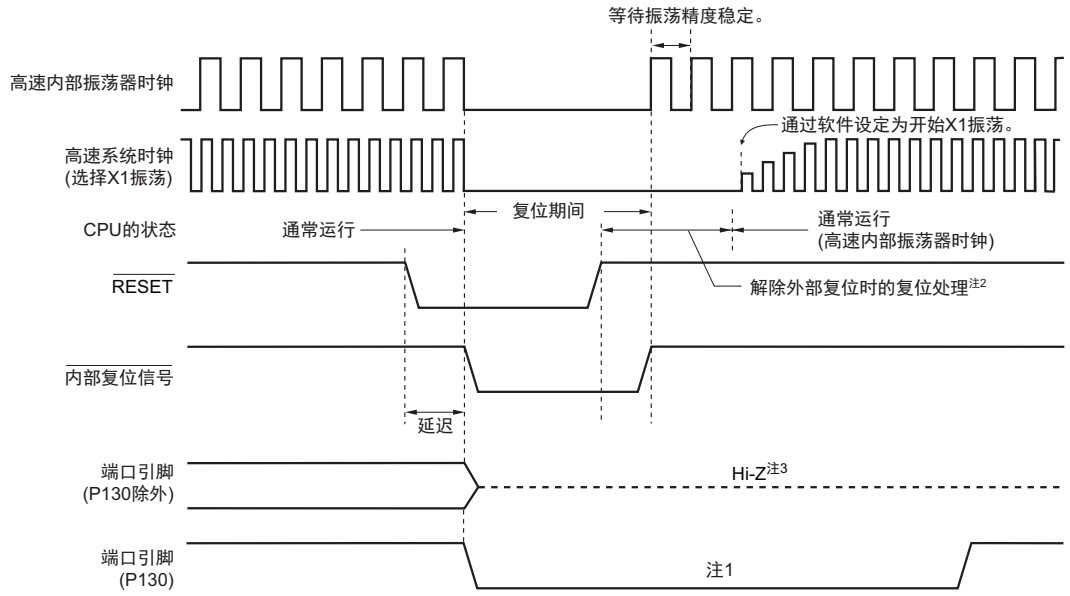
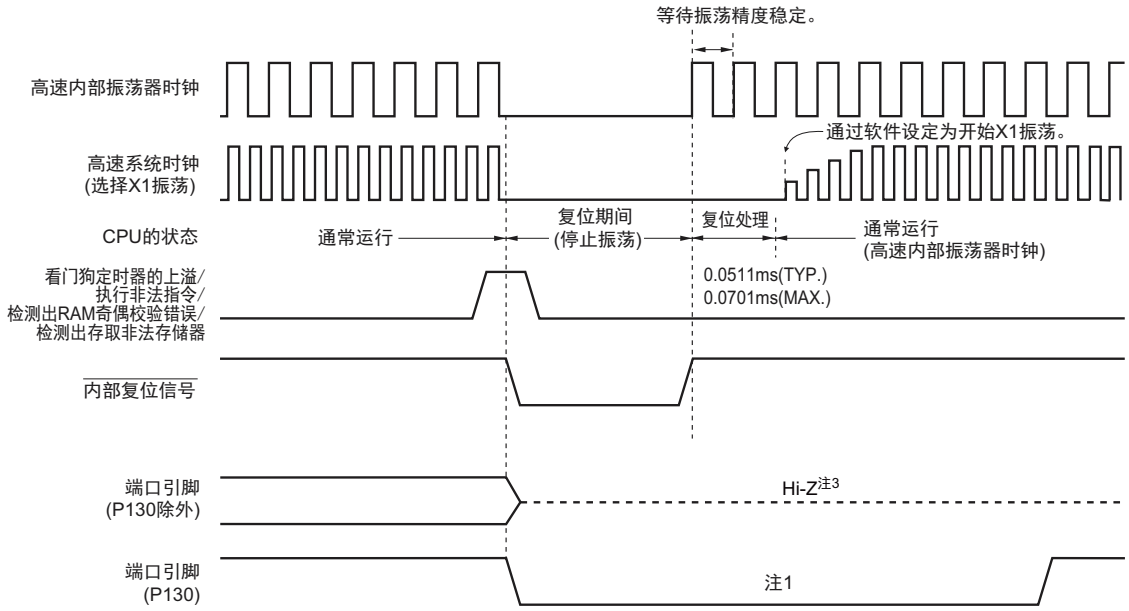


图 17-3 因执行非法指令 / 看门狗定时器的上溢 /RAM 奇偶校验错误 / 存取非法存储器而引起的复位的时序



注 1. 如果发生复位，P130 就输出低电平。因此如果在发生复位前将 P130 设定为高电平输出，就能将 P130 的输出作为外部器件的复位信号进行伪输出。如果解除外部器件的复位信号，就必须通过软件将 P130 设定为高电平输出。

2. 外部复位解除时的复位时间：

解除 POR 后第 1 次：	0.672ms(TYP.)、 0.832ms(MAX.)（使用 LVD 时）
	0.399ms(TYP.)、 0.519ms(MAX.)（LVD 为 OFF 时）
解除 POR 后第 2 次以后：	0.531ms(TYP.)、 0.675ms(MAX.)（使用 LVD 时）
	0.259ms(TYP.)、 0.362ms(MAX.)（LVD 为 OFF 时）

当接通电源时，在外部复位解除时的复位处理时间之前需要电压稳定等待时间 （ 0.99ms(TYP.)、 2.30ms(MAX.)）。

3. 端口引脚 P40 的状态如下所示。
   - 在外部复位或者 POR 复位期间变为高阻抗。
   - 在其他复位期间和接受复位后变为高电平 （连接内部上拉电阻）。

注意 看门狗定时器的内部复位也会对看门狗定时器进行复位。

备注 上电复位电路和电压检测电路的复位时序请参照 “ 第 18 章 上电复位电路 ” 和 “ 第 19 章 电压检测电路 ”。

17.2 复位期间的运行状态

复位期间的运行状态如表 17-1 所示，接受复位后的各硬件的状态如表 17-2 所示。

表 17-1 复位期间的运行状态

项目			复位期间
系统时钟			停止给 CPU 提供时钟。
	主系统时钟	f_{IH}	停止运行。
		f_X	停止运行 （X1 引脚和 X2 引脚处于输入端口模式）。
		f_{EX}	时钟输入无效 （引脚处于输入端口模式）。
	副系统时钟	f_{XT}	停止运行 （XT1 引脚和 XT2 引脚处于输入端口模式）。
		f_{EXS}	时钟输入无效 （引脚处于输入端口模式）。
	f_{IL}		停止运行。
CPU			
代码闪存			停止运行。
数据闪存			停止运行。
RAM			停止运行。
端口 （锁存器）			高阻抗[注]。
定时器阵列单元			停止运行。
实时时钟 （RTC）			
12 位间隔定时器			
看门狗定时器			
时钟输出 / 蜂鸣器输出			
A/D 转换器			
串行阵列单元 （SAU）			
LCD 控制器 / 驱动器			停止运行 （COM 专用引脚、 COM/SEG 复用引脚：GND 输出 SEG/ 通用端口引脚：高阻抗输出， V_{L1} ～ V_{L4} 引脚：高阻抗输出， CAPH/P127 引脚、 CAPL/P126 引脚：高阻抗输出）
上电复位功能			能进行检测运行。
电压检测功能			停止运行。
外部中断			停止运行。
键中断功能			
CRC 运算功能	高速 CRC		
	通用 CRC		
RAM 奇偶校验错误检测功能			
RAM 保护功能			
SFR 保护功能			
非法存储器存取检测功能			

注 端口引脚 P40、 P130 的状态如下所示。

- P40：在外部复位或者POR复位期间为高阻抗。在其他复位期间为高电平 （连接内部上拉电阻）。
- P130：在复位期间为低电平输出。

备注 f_{IH}： 高速内部振荡器时钟 f_{XT}： XT1 振荡时钟

f_X： X1振荡时钟 f_{EXS}： 外部副系统时钟

f_{EX}： 外部主系统时钟 f_{IL}： 低速内部振荡器时钟

表 17-2 接受复位后的各硬件状态

硬件		接受复位后的状态注
程序计数器 （PC）		设定复位向量表（0000H、 0001H）的内容。
堆栈指针 （SP）		不定
程序状态字 （PSW）		06H
RAM	数据存储器	不定
	通用寄存器	不定

注 在产生复位信号期间和等待振荡稳定期间的各硬件状态中，只有 PC 的内容不定，而其他的硬件状态保持复位后的状态。

备注 有关特殊功能寄存器 （SFR：Special Function Register）在接受复位后的状态，请参照 “3.2.4 特殊功能寄存器（SFR：Special Function Register）” 和 “3.2.5 扩展特殊功能寄存器（2nd SFR：2nd Special Function Register）”。

17.3 确认复位源的寄存器

17.3.1 复位控制标志寄存器 （RESF）

R7F0C001G/L、 R7F0C002G/L 存在多种内部复位发生源。复位控制标志寄存器 （RESF）保存发生复位请求的复位源。

能通过 8 位存储器操作指令读 RESF 寄存器。

通过 $\overline{\text{RESET}}$ 的输入、上电复位（POR）电路的复位和 RESF 寄存器的读取，清除 TRAP、WDTRF、RPERF、IAWRF、 LVIRF 标志。

图 17-4 复位控制标志寄存器 （RESF）的格式

地址：FFFA8H 复位后注 1：R

符号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	执行非法指令产生的内部复位请求注 2
0	没有产生内部复位请求或者清除了 RESF 寄存器。
1	产生内部复位请求。

WDTRF	看门狗定时器 （WDT）产生的内部复位请求
0	没有产生内部复位请求或者清除了 RESF 寄存器。
1	产生内部复位请求。

RPERF	RAM 奇偶校验错误产生的内部复位请求
0	没有产生内部复位请求或者清除了 RESF 寄存器。
1	产生内部复位请求。

IAWRF	存取非法存储器产生的内部复位请求
0	没有产生内部复位请求或者清除了 RESF 寄存器。
1	产生内部复位请求。

LVIRF	电压检测电路 （LVD）产生的内部复位请求
0	没有产生内部复位请求或者清除了 RESF 寄存器。
1	产生内部复位请求。

注 1. 因复位源而不同。请参照表 17-3。

2. 当执行指令码 FFH 时，发生非法指令错误。
在通过在线仿真器或者片上调试仿真器进行仿真时，不会因执行非法指令而产生复位。

注意 1. 不能通过 1 位存储器操作指令读数据。

2. 要允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）时，必须在存取数据时对 “ 所用 RAM 区 ” 的区域进行初始化，在执行 RAM 区的指令时对 “ 所用 RAM 区 +10 字节 ” 的区域进行初始化。
通过产生复位，允许产生 RAM 奇偶校验错误复位 （RPERDIS=0）。详细内容请参照 “20.3.3 RAM 奇偶校验错误检测功能 ”。

发生复位请求时的 RESF 寄存器状态如表 17-3 所示。

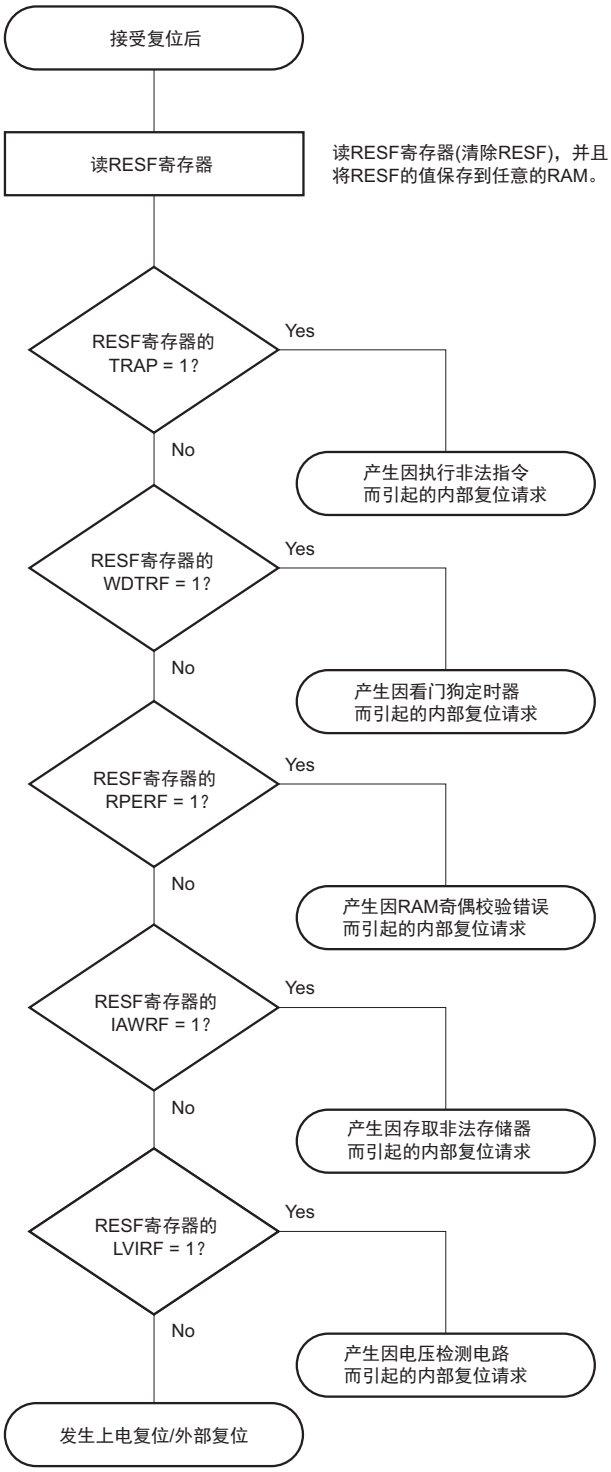
表 17-3 发生复位请求时的 RESF 寄存器状态

复位源 / 标志	$\overline{\text{RESET}}$ 输入	POR 产生的复位	执行非法指令产生的复位	WDT 产生的复位	RAM 奇偶校验错误产生的复位	存取非法存储器产生的复位	LVD 产生的复位
TRAP	清 “0”	清 “0”	置 “1”	保持	保持	保持	保持
WDTRF			保持	置 “1”			
RPERF				保持	置 “1”		
IAWRF					保持	置 “1”	保持
LVIRF						保持	置 “1”

如果通过 8 位存储器操作指令读 RESF 寄存器，就自动清除 RESF 寄存器。

复位源的确认步骤如图 17-5 所示。

图 17-5 复位源的确认步骤



第 18 章 上电复位电路

18.1 上电复位电路的功能

上电复位电路 （POR）有以下功能。

- 在接通电源时产生内部复位信号。
  如果电源电压 （V_{DD}）大于检测电压 （V_{POR}），就解除复位。但是，在达到“27.4 AC特性”所示的工作电压范围前，必须通过电压检测电路或者外部复位保持复位状态。

- 将电源电压 （V_{DD}）和检测电压 （V_{PDR}）进行比较，当V_{DD}＜V_{PDR}时，产生内部复位信号。但是，在电源下降时，必须在小于“27.4 AC特性”所示的工作电压范围前，转移到STOP模式，或者通过电压检测电路或外部复位设定为复位状态。如果要重新开始运行，必须确认电源电压已恢复到工作电压范围内。

注意 当产生由上电复位电路引起的内部复位信号时，将复位控制标志寄存器 （RESF）清 “00H”。

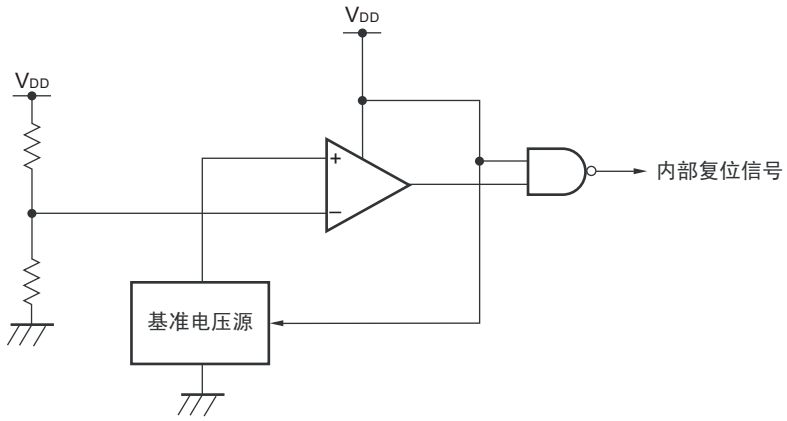
备注 1. R7F0C001G/L、 R7F0C002G/L 内置多个产生内部复位信号的硬件。当由看门狗定时器 （WDT）、电压检测（LVD）电路、执行非法指令的执行、 RAM 奇偶校验错误或者非法存储器的存取而产生内部复位信号时，用于表示复位源的标志分配在复位控制标志寄存器 （RESF）；当由 WDT、 LVD、非法指令的执行、 RAM 奇偶校验错误或者非法存储器的存取而产生内部复位信号时，不将 RESF 寄存器清 “00H” 而将标志置 “1”。有关 RESF 寄存器的详细内容，请参照 “ 第 17 章 复位功能 ”。

2. V_{POR}：POR 电源上升检测电压
   V_{PDR}：POR 电源下降检测电压
   详细内容请参照 “27.6.3 POR 电路特性 ”。

18.2 上电复位电路的结构

上电复位电路的框图如图 18-1 所示。

图 18-1 上电复位电路的框图

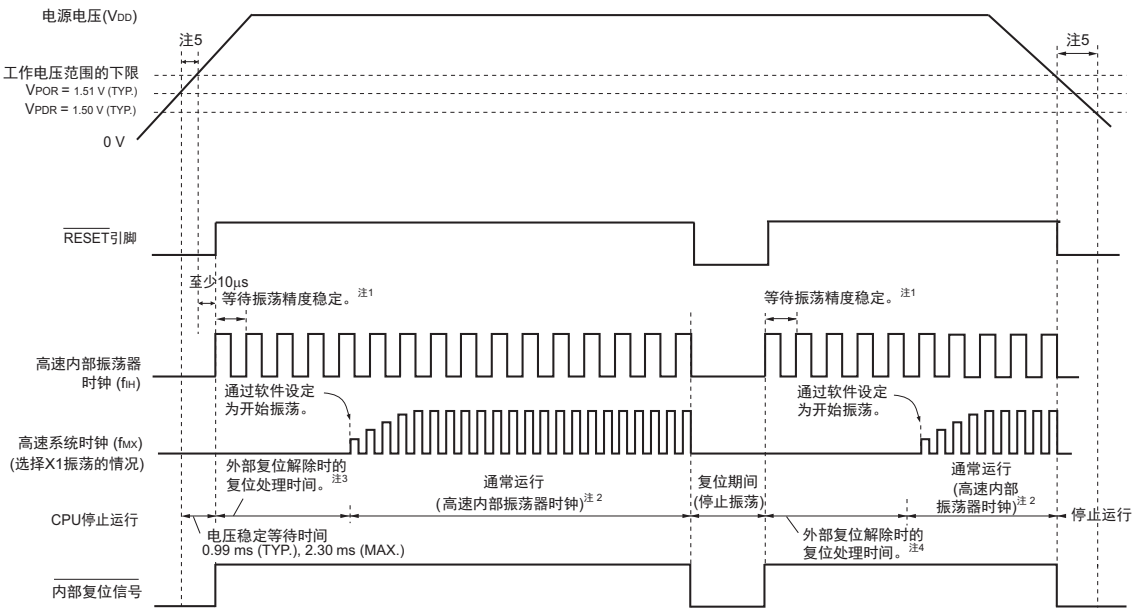


18.3 上电复位电路的运行

上电复位电路和电压检测电路的内部复位信号的产生时序如下所示。

图 18-2 上电复位电路和电压检测电路的内部复位信号的产生时序 (1/3)

(1) 使用由 $\overline{\text{RESET}}$ 引脚引起的外部复位时



注 1. 内部的复位处理时间包含高速内部振荡器时钟的振荡精度稳定等待时间。

2. 能将 CPU 时钟从高速内部振荡器时钟切换为高速系统时钟或者副系统时钟。在使用 X1 时钟的情况下，必须在通过振荡稳定时间计数器的状态寄存器 （OSTC）确认振荡稳定时间后进行切换；在使用 XT1 时钟的情况下，必须在利用定时器功能等确认振荡稳定时间后进行切换。

3. 到开始通常运行的时间为除了达到 V_{POR}(1.51V(TYP.)) 后的 “ 电压稳定等待时间 ” 以外，还需要 $\overline{\text{RESET}}$ 信号变为高电平 （1）后的如下的 “ 外部复位解除时的复位处理时间 ” （POR 解除后的第 1 次）。外部复位解除时的复位处理时间如下所示。

   POR 解除后的第 1 次：0.672ms(TYP.)、 0.832ms(MAX.) （使用 LVD 时）

   0.399ms(TYP.)、 0.519ms(MAX.) （LVD OFF 时）

4. POR 解除后的第 2 次以后 （包括第 2 次）的外部复位解除时的复位处理时间如下所示。

   POR 解除后的第 2 次以后 （包括第 2 次）：0.531ms(TYP.)、 0.675ms(MAX.) （使用 LVD 时）

   0.259ms(TYP.)、 0.362ms(MAX.) （LVD OFF 时）

5. 当电源上升时，在达到 “27.4 AC 特性 ” 所示的工作电压范围前，必须通过外部复位保持复位状态。当电源下降时，必须在小于所示的工作电压范围前，转移到 STOP 模式，或者通过电压检测电路或外部复位设定为复位状态。如果要重新开始运行，必须确认电源电压已恢复到工作电压范围内。

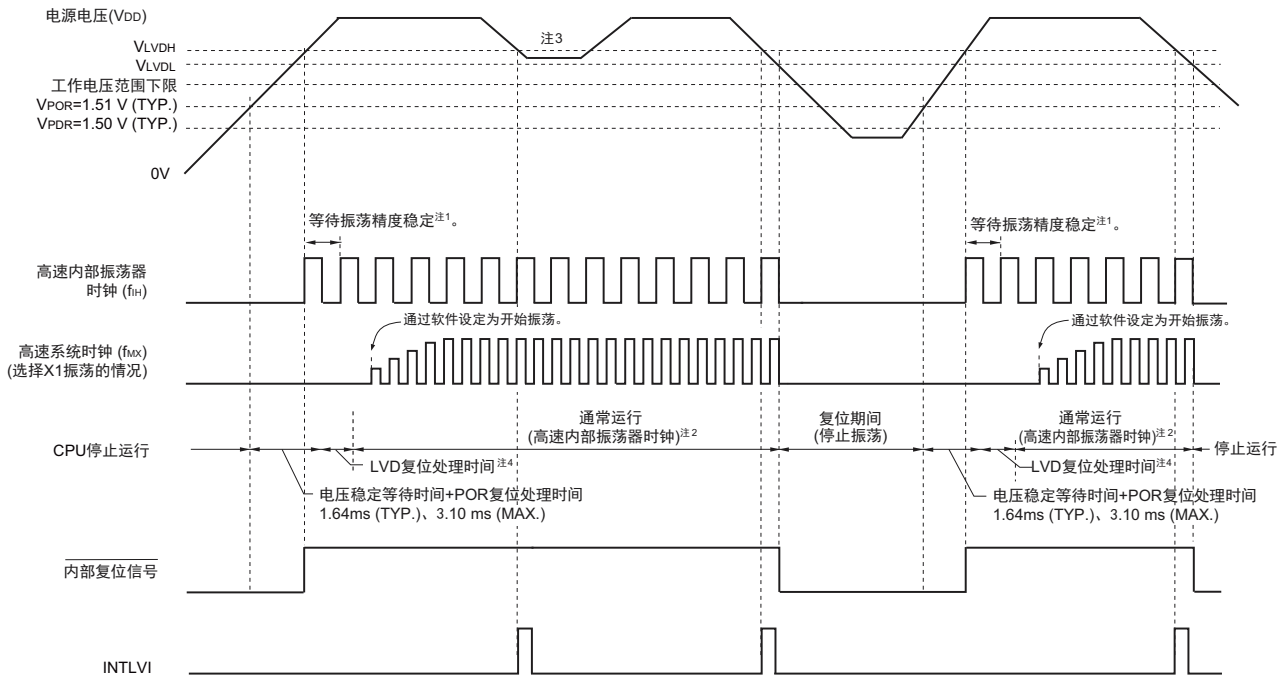
备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

注意 当 LVD OFF 时，必须使用由 $\overline{\text{RESET}}$ 引脚引起的外部复位。详细内容请参照 “ 第 19 章 电压检测电路 ”。

图 18-2 上电复位电路和电压检测电路的内部复位信号的产生时序 (2/3)

(2) LVD 为中断 & 复位模式的情况 （选项字节 000C1H 的 LVIMDS1、 LVIMDS0=1、 0）



注 1. 内部的复位处理时间包含高速内部振荡器时钟的振荡精度稳定等待时间。

2. 能将 CPU 时钟从高速内部振荡器时钟切换为高速系统时钟或者副系统时钟。在使用 X1 时钟的情况下，必须在通过振荡稳定时间计数器的状态寄存器 （OSTC）确认振荡稳定时间后进行切换；在使用 XT1 时钟的情况下，必须在利用定时器功能等确认振荡稳定时间后进行切换。

3. 在产生中断请求信号 （INTLVI）后，自动将电压检测电平寄存器 （LVIS）的 LVILV 位和 LVIMD 位置 “1”。因此，考虑到电源电压在不低于低电压检测电压 （V_{LVDL}）的情况下恢复到 1.6V 或者以上时，必须在产生 INTLVI 后，执行需要的压栈处理，并且通过软件进行初始设定。

4. 到开始通常运行的时间除了达到 V_{POR} （1.51V(TYP.)）后的 “ 电压稳定等待时间 +POR 复位处理时间 ” 以外，还需要达到 LVD 检测电平 （V_{LVDH}）后的如下的 “LVD 复位处理时间 ”。

LVD 复位处理时间：0ms ～ 0.0701ms(MAX.)

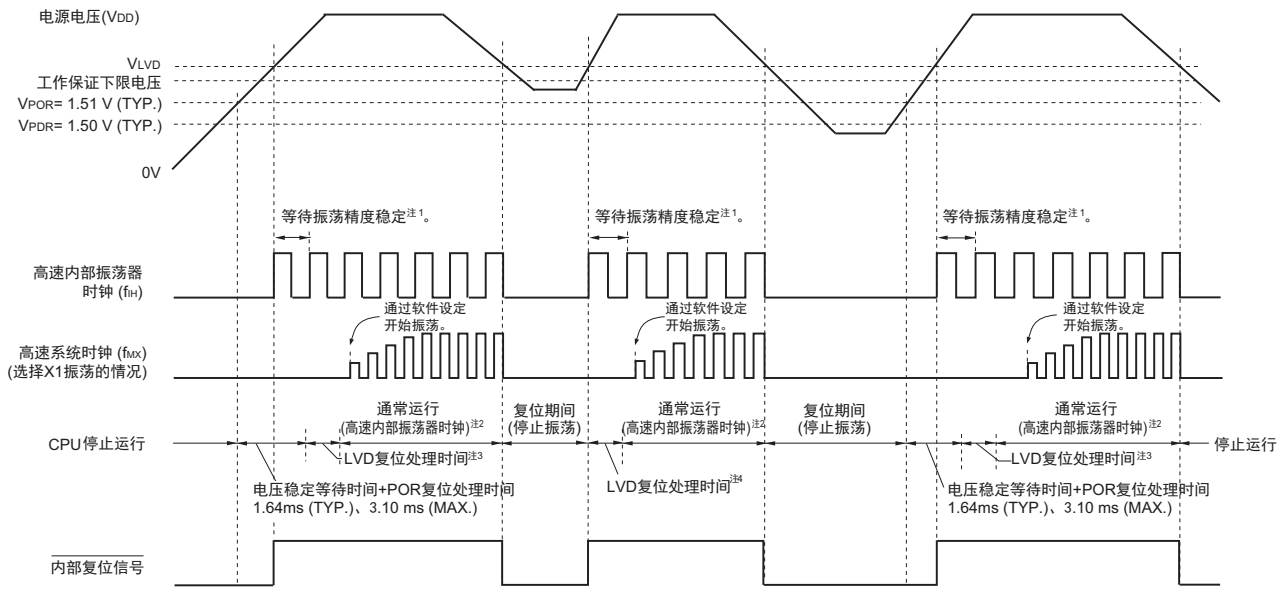
备注 V_{LVDH}、 V_{LVDL}：LVD 检测电压

V_{POR}： POR 电源上升检测电压

V_{PDR}： POR 电源下降检测电压

图 18-2 上电复位电路和电压检测电路的内部复位信号的产生时序 (3/3)

(3) LVD 复位模式的情况 （选项字节 000C1H 的 LVIMDS1、 LVIMDS0=1、 1）



注 1. 内部的复位处理时间包含高速内部振荡器时钟的振荡精度稳定等待时间。

2. 能将 CPU 时钟从高速内部振荡器时钟切换为高速系统时钟或者副系统时钟。在使用 X1 时钟的情况下，必须在通过振荡稳定时间计数器的状态寄存器 （OSTC）确认振荡稳定时间后进行切换；在使用 XT1 时钟的情况下，必须在利用定时器功能等确认振荡稳定时间后进行切换。

3. 到开始通常运行的时间除了达到 V_{POR}（1.51V(TYP.)）后的 “ 电压稳定等待时间 +POR 复位处理时间 ” 以外，还需要达到 LVD 检测电平 （V_{LVD}）后的如下的 “LVD 复位处理时间 ”。

   LVD 复位处理时间：0ms ～ 0.0701ms(MAX.)

4. 在电源电压下降时，如果只在发生电压检测电路 （LVD）的内部复位后恢复电源电压，就需要达到 LVD 检测电平 （V_{LVD}）后的如下的 “LVD 复位处理时间 ”。

   LVD 复位处理时间：0.0511ms(TYP.)、 0.0701ms(MAX.)

备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

第 19 章 电压检测电路

19.1 电压检测电路的功能

电压检测电路通过选项字节 （000C1H）设定运行模式和检测电压 （V_{LVDH}、 V_{LVDL}、 V_{LVD}）。
电压检测 （LVD）电路有以下功能。

- 将电源电压 （V_{DD}）和检测电压 （V_{LVDH}、 V_{LVDL}）进行比较，产生内部复位或者内部中断信号。
- 电源电压的检测电压 （V_{LVDH}、 V_{LVDL}）能通过选项字节选择14种检测电平 （详细内容请参照“**第 22章 选项字节**”）。
- 也能在STOP模式中运行。
- 当电源上升时，在达到“**27.4 AC特性**”所示的工作电压范围前，必须通过电压检测电路或者外部复位保持复位状态。当电源下降时，必须在小于工作电压范围前，转移到STOP模式，或者通过电压检测电路或外部复位设定为复位状态。
  工作电压范围根据用户选项字节 （000C2H）的设定而变。

(a) 中断 & 复位模式 （选项字节的 LVIMDS1、 LVIMDS0=1、 0）

通过选项字节 000C1H 选择 2 个检测电压 （V_{LVDH}、 V_{LVDL}）。高电压检测电平 （V_{LVDH}）用于解除复位 / 产生中断，低电压检测电平 （V_{LVDL}）用于产生复位。

(b) 复位模式 （选项字节的 LVIMDS1、 LVIMDS0=1、 1）

将选项字节 000C1H 选择的检测电压 （V_{LVD}）用于产生或者解除复位。

(c) 中断模式 （选项字节的 LVIMDS1、 LVIMDS0=0、 1）

将选项字节 000C1H 选择的 1 个检测电压 （V_{LVD}）用于解除复位 / 产生中断。

各模式中产生的中断请求信号和内部复位信号如下所示。

中断 & 复位模式 （LVIMDS1、 LVIMDS0=1、 0）	复位模式 （LVIMDS1、 LVIMDS0=1、 1）	中断模式 （LVIMDS1、 LVIMDS0=0、 1）
在工作电压下降时，如果检测出 $V_{DD} < V_{LVDH}$，就产生中断请求信号；如果检测出 $V_{DD} < V_{LVDL}$，就产生内部复位。 如果检测出 $V_{DD} \geq V_{LVDH}$，就解除内部复位。	如果检测出 $V_{DD} \geq V_{LVD}$，就解除内部复位。如果检测出 $V_{DD} < V_{LVD}$，就产生中断请求信号。	在 POR 解除后的第 1 次工作电压上升时，如果检测出 $V_{DD} \geq V_{LVD}$，就解除内部复位。 从 POR 解除后的第 2 次工作电压上升开始，如果检测出 $V_{DD} < V_{LVD}$ 或者 $V_{DD} \geq V_{LVD}$，就产生中断请求信号。

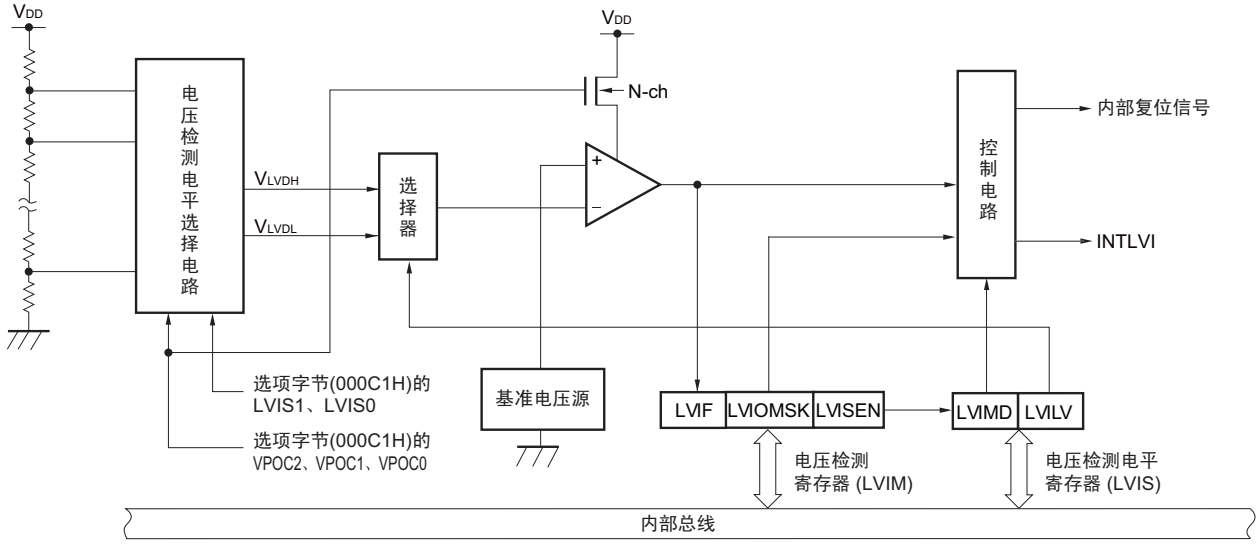
在电压检测电路运行时，能通过读电压检测标志 （LVIF：电压检测寄存器 （LVIM）的 bit0）来确认电源电压是大于等于检测电压还是小于检测电压。

如果发生复位，就将复位控制标志寄存器 （RESF）的 bit0 （LVIRF）置 “1”。有关 RESF 寄存器的详细内容，请参照 “ **第 17 章 复位功能** ”。

19.2 电压检测电路的结构

电压检测电路的框图如图 19-1 所示。

图 19-1 电压检测电路的框图



19.3 控制电压检测电路的寄存器

通过以下寄存器控制电压检测电路：

- 电压检测寄存器 （LVIM）
- 电压检测电平寄存器 （LVIS）

19.3.1 电压检测寄存器 （LVIM）

此寄存器设定允许或者禁止改写电压检测电平寄存器 （LVIS），并且确认 LVD 输出的屏蔽状态。
通过 1 位或者 8 位的存储器操作指令设定 LVIM 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 19-2 电压检测寄存器 （LVIM）的格式

地址：FFFA9H 复位后：00H 注 1 R/W 注 2

符号	7	6	5	4	3	2	1	0
LVIM	LVISEN 注 3	0	0	0	0	0	LVIOMSK	LVIF

LVISEN 注 3	电压检测电平寄存器 （LVIS）的允许 / 禁止改写的设定
0	禁止改写 LVIS 寄存器 （LVIOMSK 变为 “0” （LVD 输出的屏蔽无效））。
1	允许改写 LVIS 寄存器 （LVIOMSK 变为 “1” （LVD 输出的屏蔽有效））。

LVIOMSK	LVD 输出的屏蔽状态标志
0	LVD 输出的屏蔽无效。
1	LVD 输出的屏蔽有效注 4。

LVIF	电压检测标志
0	电源电压 （V_{DD}）≥检测电压 （V_{LVD}）或者 LVD OFF 时。
1	电源电压 （V_{DD}）＜检测电压 （V_{LVD}）

注 1. 复位值因复位源而变。
在 LVD 发生复位时，不对 LVIM 寄存器进行复位而保持原来的值；在其他复位时，将 LVISEN 位清 “0”。

2. bit0 和 bit1 是只读位。

3. 只有在选择中断 & 复位模式 （选项字节的 LVIMDS1 位和 LVIMDS0 位分别为 “1” 和 “0”）时才能使用。在其他模式中，不能更改初始值。

4. 在以下期间， LVIOMSK 位自动变为 “1”，屏蔽由 LVD 产生的复位或者中断。
   - LVISEN=1 的期间
   - 从发生 LVD 中断开始到 LVD 检测电压稳定为止的等待时间
   - 从更改 LVILV 位的值到 LVD 检测电压稳定为止的等待时间

19.3.2 电压检测电平寄存器 （LVIS）

这是设定电压检测电平的寄存器。

通过 1 位或者 8 位的存储器操作指令设定 LVIS 寄存器。

通过产生复位信号，此寄存器的值变为 “00H/01H/81H” 注 1。

图 19-3 电压检测电平寄存器 （LVIS）的格式

地址：FFFAAH 复位后：00H/01H/81H 注 1 R/W

符号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD 注 2	电压检测的运行模式
0	中断模式
1	复位模式

LVILV 注 2	LVD 检测电平
0	高电压检测电平 （V_{LVDH}）
1	低电压检测电平 （V_{LVDL} 或者 V_{LVD}）

注 1. 复位值因复位源和选项字节的设定而变。

在发生 LVD 复位时，不将此寄存器清 “00H”。

在发生 LVD 以外的复位时，此寄存器的值如下：

- 选项字节的 LVIMDS1、 LVIMDS0=1、 0 时：00H
- 选项字节的 LVIMDS1、 LVIMDS0=1、 1 时：81H
- 选项字节的 LVIMDS1、 LVIMDS0=0、 1 时：01H

2. 只有在选择中断 & 复位模式 （选项字节的 LVIMDS1 位和 LVIMDS0 位分别为 “1” 和 “0”）时才能写 “0”。在其他情况下禁止设定。通过在中断 & 复位模式发生复位或者中断，自动进行值的替换。

注意 1. 根据图 19-7 和图 19-8 的步骤改写 LVIS 寄存器。

2. 通过选项字节（000C1H）选择 LVD 的运行模式和各模式的检测电压（V_{LVDH}、V_{LVDL}、V_{LVD}）。选项字节（000C1H）的格式如表 19-1 所示。有关选项字节的详细内容，请参照 “ 第 22 章 选项字节 ”。

表 19-1 通过用户选项字节 （000C1H）进行 LVD 运行模式和检测电压的设定 (1/2)

地址：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

- LVD的设定 （中断&复位模式）

检测电压			选项字节的设定值						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降	下降						LVIMDS1	LVIMDS0
1.77V	1.73V	1.63V	0	0	0	1	0	1	0
1.88V	1.84V					0	1		
2.92V	2.86V					0	0		
1.98V	1.94V	1.84V	0	0	1	1	0		
2.09V	2.04V					0	1		
3.13V	3.06V					0	0		
2.61V	2.55V	2.45V	0	1	0	1	0		
2.71V	2.65V					0	1		
3.75V	3.67V					0	0		
2.92V	2.86V	2.75V	0	1	1	1	0		
3.02V	2.96V					0	1		
4.06V	3.98V					0	0		
上述以外			禁止设定。						

- LVD的设定 （复位模式）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
1.67V	1.63V	0	0	0	1	1	1	1
1.77V	1.73V	0	0	0	1	0		
1.88V	1.84V	0	0	1	1	1		
1.98V	1.94V	0	0	1	1	0		
2.09V	2.04V	0	0	1	0	1		
2.50V	2.45V	0	1	0	1	1		
2.61V	2.55V	0	1	0	1	0		
2.71V	2.65V	0	1	0	0	1		
2.81V	2.75V	0	1	1	1	1		
2.92V	2.86V	0	1	1	1	0		
3.02V	2.96V	0	1	1	0	1		
3.13V	3.06V	0	0	1	0	0		
3.75V	3.67V	0	1	0	0	0		
4.06V	3.98V	0	1	1	0	0		
上述以外		禁止设定。						

注意 必须给 bit4 写 “1”。

表 19-1 通过用户选项字节 （000C1H）进行 LVD 运行模式和检测电压的设定 (2/2)

地址：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

- LVD的设定 （中断模式）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
1.67V	1.63V	0	0	0	1	1	0	1
1.77V	1.73V	0	0	0	1	0		
1.88V	1.84V	0	0	1	1	1		
1.98V	1.94V	0	0	1	1	0		
2.09V	2.04V	0	0	1	0	1		
2.50V	2.45V	0	1	0	1	1		
2.61V	2.55V	0	1	0	1	0		
2.71V	2.65V	0	1	0	0	1		
2.81V	2.75V	0	1	1	1	1		
2.92V	2.86V	0	1	1	1	0		
3.02V	2.96V	0	1	1	0	1		
3.13V	3.06V	0	0	1	0	0		
3.75V	3.67V	0	1	0	0	0		
4.06V	3.98V	0	1	1	0	0		
上述以外		禁止设定。						

- LVD OFF （使用由$\overline{\text{RESET}}$引脚引起的外部复位）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	0/1	1
上述以外		禁止设定。						

注意 1. 必须给 bit4 写 “1”。

2. 当电源上升时，在达到 “27.4 AC 特性 ” 所示的工作电压范围前，必须通过电压检测电路或者外部复位保持复位状态。当电源下降时，必须在小于工作电压范围前，转移到 STOP 模式，或者通过电压检测电路或外部复位设定为复位状态。

   工作电压范围根据用户选项字节 （000C2H）的设定而变。

备注 1. ×：忽略

2. LVD 电路详细内容请参照 “ 第 19 章 电压检测电路 ”。

3. 检测电压为 TYP. 值。详细内容请参照 “27.6.4 LVD 电路特性 ”。

19.4 电压检测电路的运行

19.4.1 用作复位模式时的设定

通过选项字节 000C1H 设定运行模式 （复位模式 （LVIMDS1、 LVIMDS0=1、 1））和检测电压 （V_{LVD}）。

当设定为复位模式时，在以下的初始设定状态下开始运行。

- 将电压检测寄存器 （LVIM）的bit7 （LVISEN）置“0” （禁止改写电压检测电平寄存器 （LVIS））。
- 将电压检测电平寄存器 （LVIS）的初始值置“81H”。
  bit7 （LVIMD）为“1” （复位模式）。
  bit0 （LVILV）为“1” （低电压检测电平：V_{LVD}）。

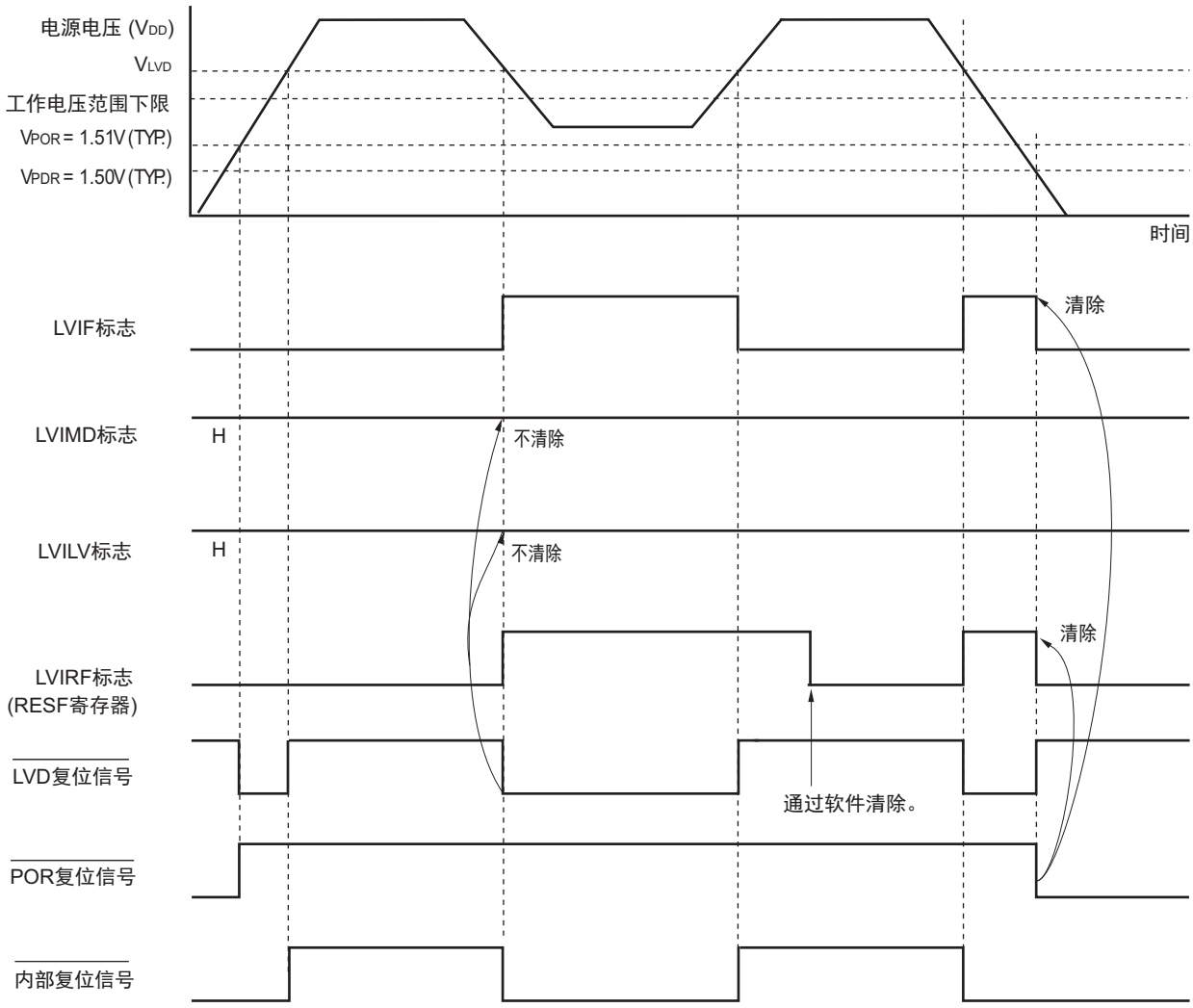
● LVD复位模式的运行

当接通电源后，在电源电压 （V_{DD}）大于电压检测电平 （V_{LVD}）前，复位模式 （选项字节的LVIMDS1、 LVIMDS0=1、 1）保持由LVD引起的内部复位。一旦电源电压 （V_{DD}）大于电压检测电平 （V_{LVD}），就解除内部复位。

当工作电压下降时，一旦电源电压 （V_{DD}）小于电压检测电平 （V_{LVD}），就发生由LVD引起的内部复位。

LVD 复位模式的内部复位信号的产生时序如**图 19-4** 所示。

图 19-4 内部复位信号的产生时序 （选项字节的 LVIMDS1、 LVIMDS0=1、 1）



备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

19.4.2 用作中断模式时的设定

通过选项字节 000C1H 设定运行模式 （中断模式 （LVIMDS1、 LVIMDS0=0、 1））和检测电压 （V_{LVD}）。

当设定为中断模式时，在以下的初始设定状态下开始运行。

- 将电压检测寄存器 （LVIM）的bit7 （LVISEN）置“0” （禁止改写电压检测电平寄存器 （LVIS））。
- 将电压检测电平寄存器 （LVIS）的初始值置“01H”。
  bit7 （LVIMD）为“0” （中断模式）。
  bit0 （LVILV）为“1” （低电压检测电平：V_{LVD}）。

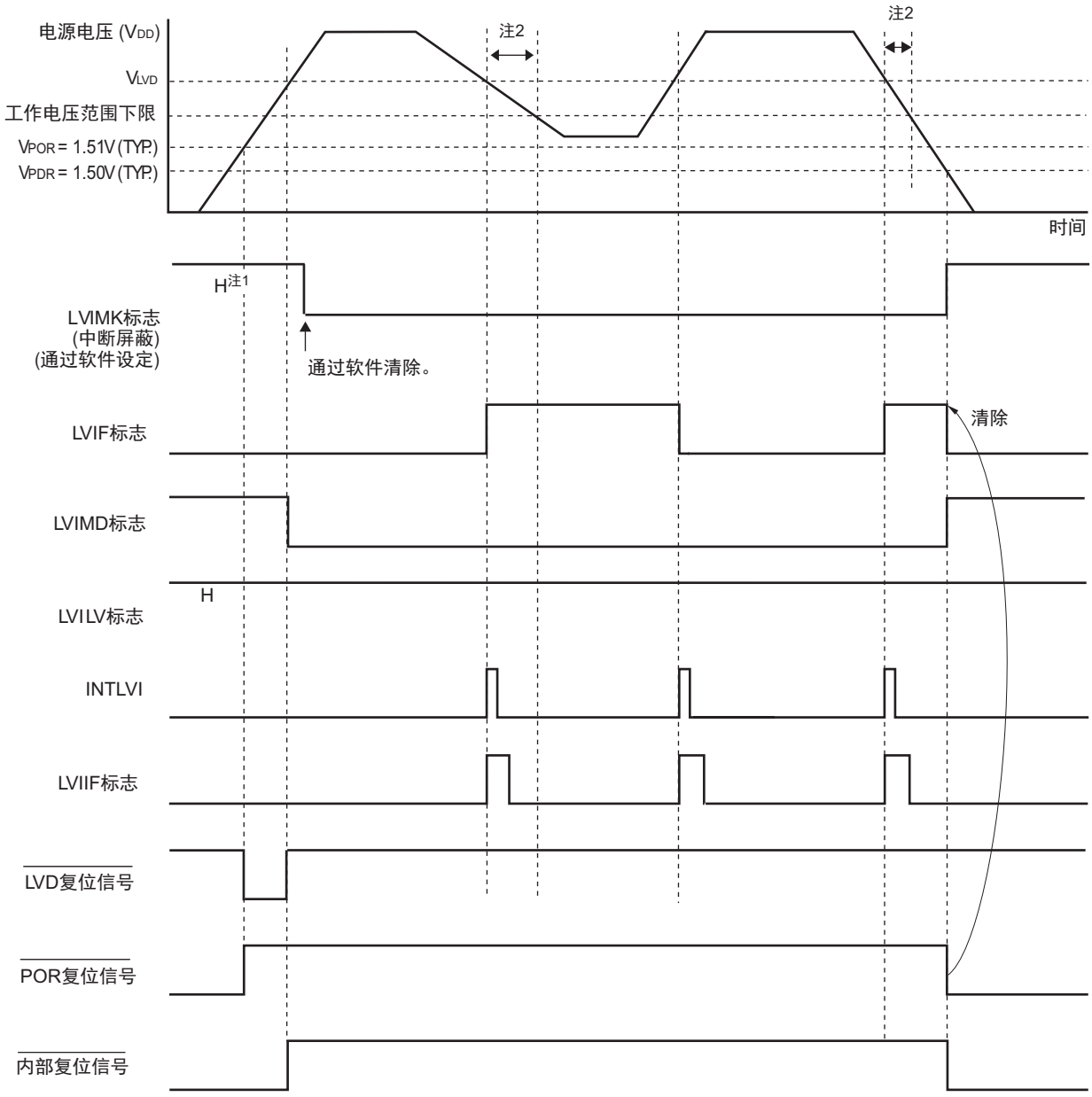
● LVD中断模式的运行

当接通电源后，在POR解除后的第1次电源电压 （V_{DD}）大于电压检测电平 （V_{LVD}）前，中断模式（选项字节的LVIMDS1、LVIMDS0=0、1）保持由LVD引起的内部复位。一旦电源电压 （V_{DD}）大于电压检测电平 （V_{LVD}），就解除内部复位。

当工作电压下降时，一旦电源电压 （V_{DD}）小于电压检测电平 （V_{LVD}），或者在POR解除后的第2次以后 （包括第2次）的电源电压 （V_{DD}）大于电压检测电平 （V_{LVD}），就产生由LVD引起的中断请求信号 （INTLVD），并且在小于“27.4 AC特性”所示的工作电压范围前，转移到STOP模式，或者通过外部复位设定为复位状态。如果要重新开始运行，必须确认电源电压已恢复到工作电压范围内。

LVD 中断模式的中断请求信号的产生时序如图 19-5 所示。

图 19-5 中断信号的产生时序 （选项字节的 LVIMDS1、 LVIMDS0=0、 1）



注 1. 在产生复位信号后， LVIMK 标志变为 “1”。

2. 当工作电压下降时，必须在小于 “27.4 AC 特性 ” 所示的工作电压范围前，转移到 STOP 模式，或者通过外部复位设定为复位状态。如果要重新开始运行，必须确认电源电压已恢复到工作电压范围内。

备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

19.4.3 用作中断 & 复位模式时的设定

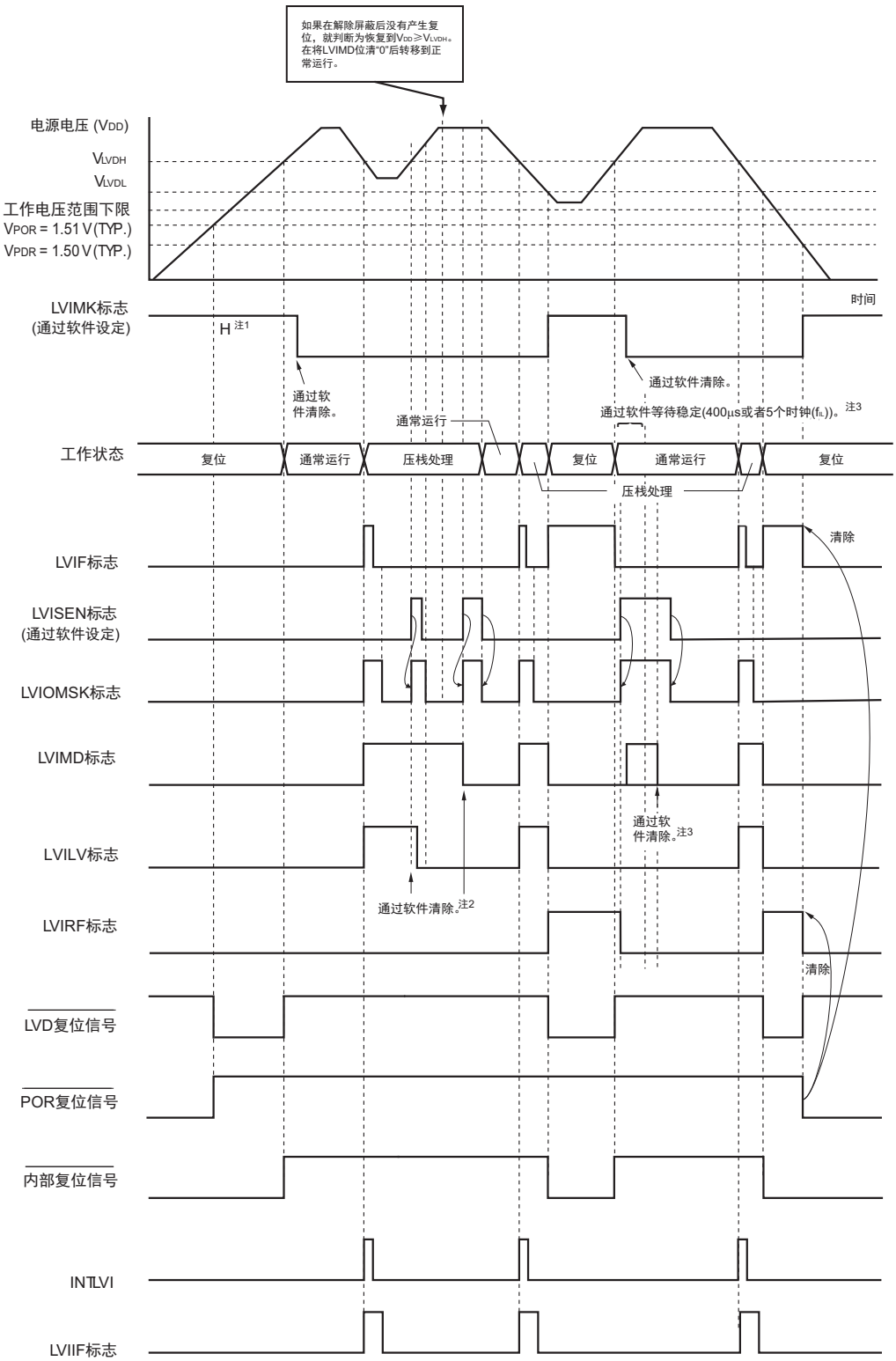
- 开始运行的情况
  通过选项字节000C1H设定运行模式 （中断&复位模式 （LVIMDS1、 LVIMDS0=1、 0））和检测电压（V_{LVDH}、 V_{LVDL}）。

  在以下初始设定的状态下开始运行：

  - 电压检测寄存器 （LVIM）的bit7 （LVISEN）为“0”（禁止改写电压检测电平寄存器 （LVIS））。
  - 如果将选项字节的LVIMDS1位和LVIMDS0位分别置“1”和“0”，就将LVIS寄存器的初始值置“00H”。
    bit7 （LVIMD）为“0”（中断模式）。
    bit0 （LVILV）为“0”（高电压检测电平：V_{LVDH}）。

电压检测电路的内部复位信号和中断信号的发生时序如图 19-6 所示。
必须按照 “ 图 19-7 工作电压的确认 / 复位的设定步骤 ” 所示的流程图的步骤进行设定。

图 19-6 复位 & 中断信号的发生时序 （选项字节的 LVIMDS1、 LVIMDS0=1、 0）(1/2)



注 1. 在产生复位信号后， LVIMK 标志变为 “1”。

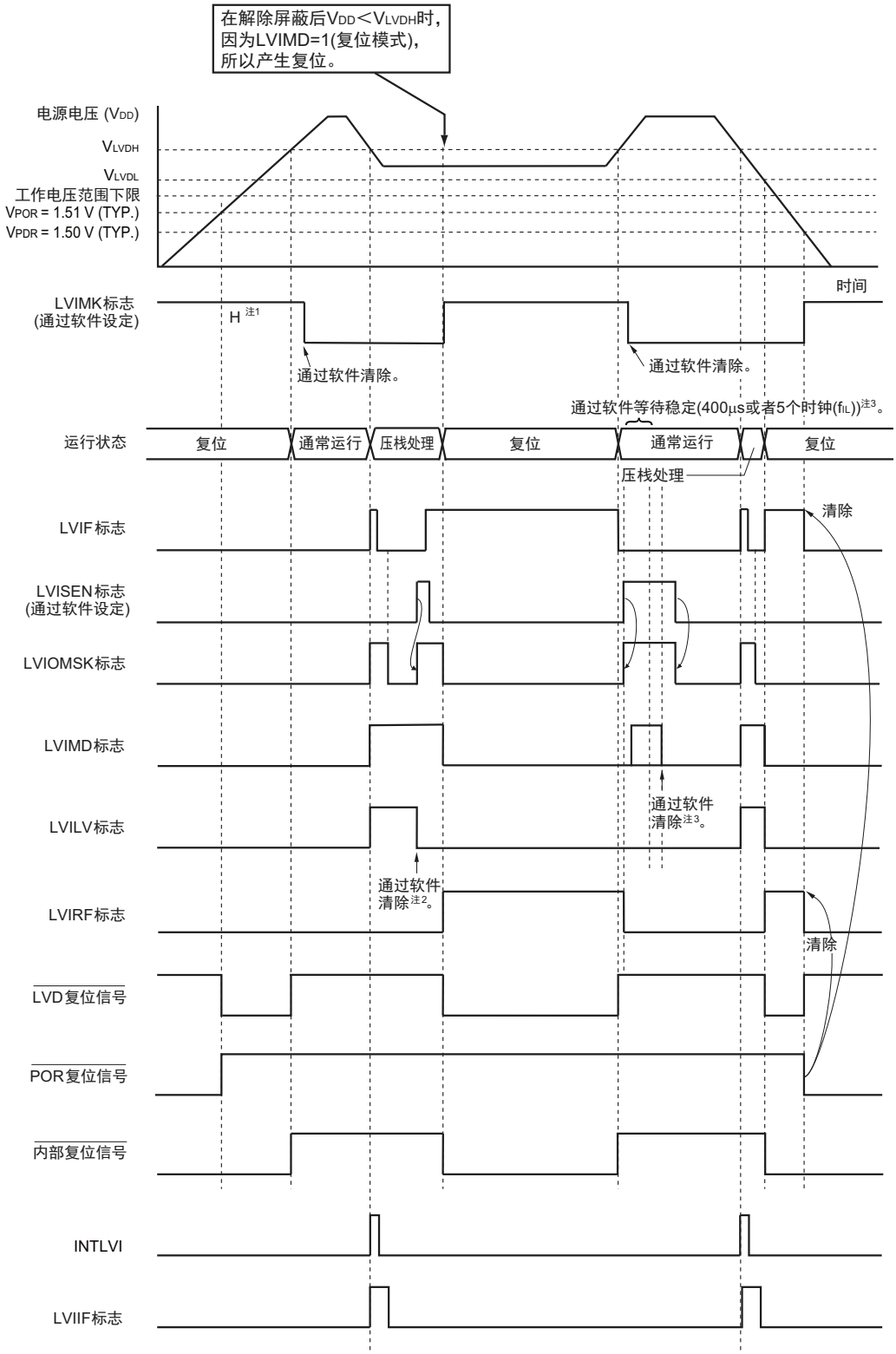
2. 当使用中断 & 复位模式时，必须在发生中断后按照 “ 图 19-7 工作电压的确认 / 复位的设定步骤 ” 进行设定。

3. 当使用中断 & 复位模式时，必须在解除复位后按照 “ 图 19-8 中断 & 复位模式的初始设定步骤 ” 进行设定。

备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

图 19-6 中断 & 复位信号的发生时序 （选项字节的 LVIMDS1、 LVIMDS0=1、 0）(2/2)



注 1. 在产生复位信号后， LVIMK 标志变为 “1”。

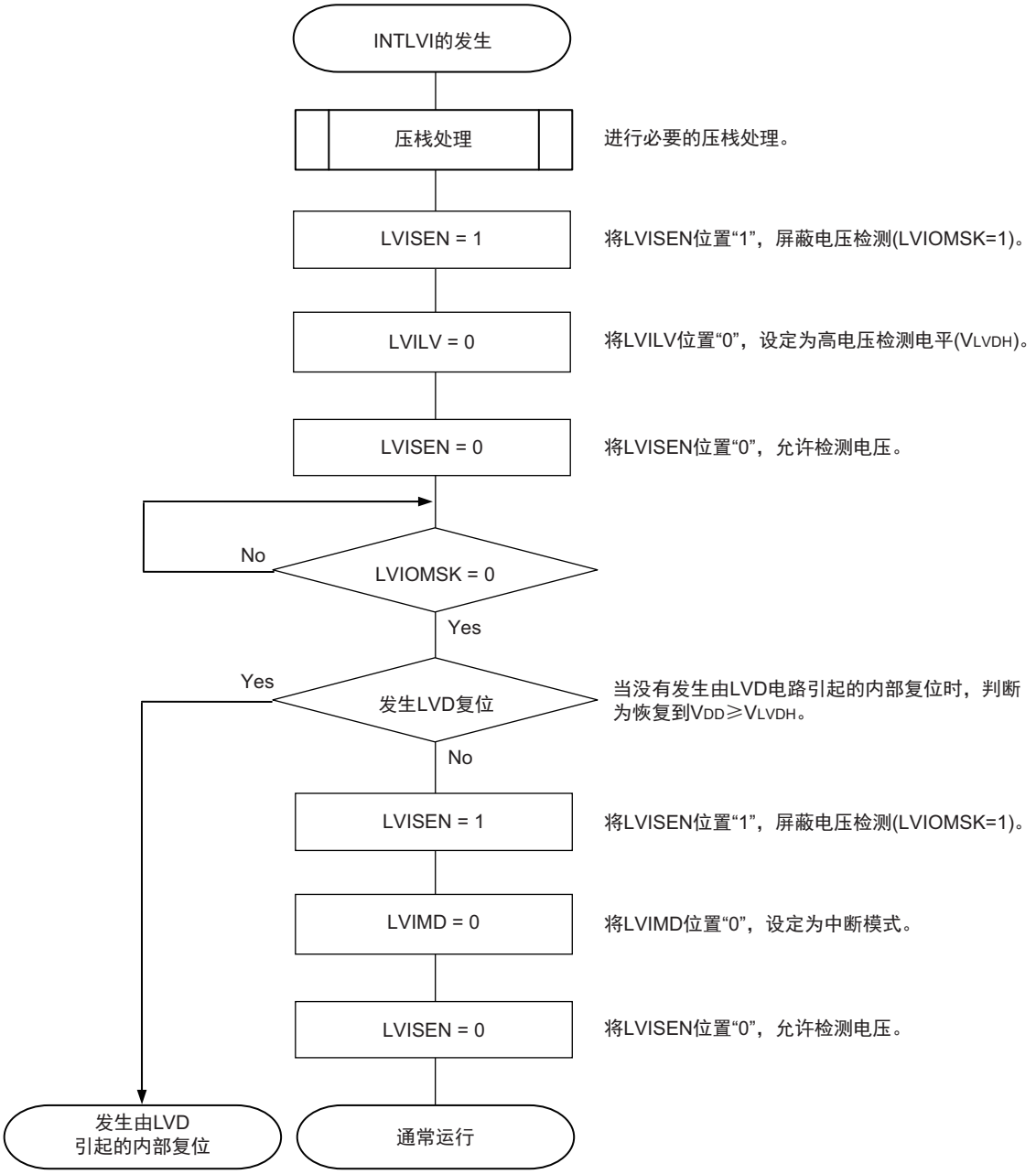
2. 当使用中断 & 复位模式时，必须在发生中断后按照 “ 图 19-7 工作电压的确认 / 复位的设定步骤 ” 进行设定。

3. 当使用中断 & 复位模式时，必须在解除复位后按照 “ 图 19-8 中断 & 复位模式的初始设定步骤 ” 进行设定。

备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

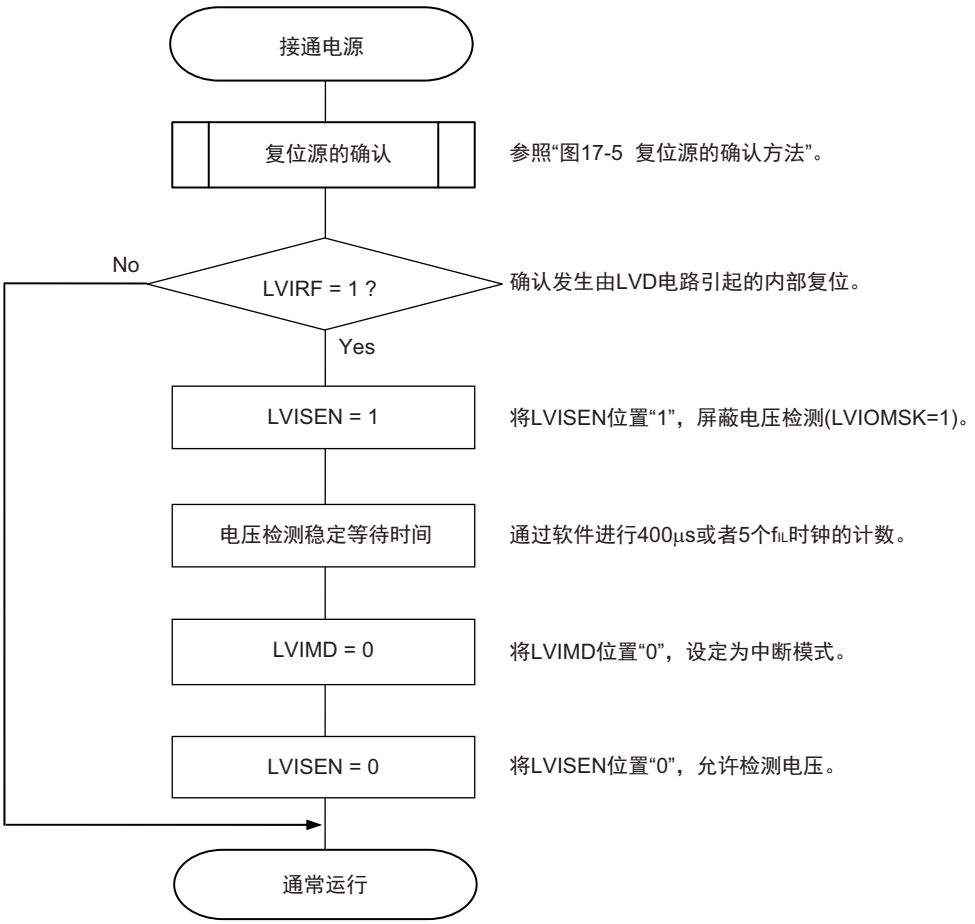
图 19-7 工作电压的确认 / 复位的设定步骤



如果设定中断 & 复位模式 （LVIMDS1、 LVIMDS0=1、 0），就在解除 LVD 复位后 （LVIRF=1）需要 400μs 或者 5 个 f_{IL} 时钟的电压检测稳定等待时间。必须在等到电压检测稳定后将 LVIMD 位清 “0” 进行初始化。在电压检测稳定等待时间的计数过程中以及改写 LVIMD 位时，必须将 LVISEN 位置 “1”，屏蔽 LVD 产生的复位或者中断的产生。

中断 & 复位模式的初始设定步骤如图 19-8 所示。

图 19-8 中断 & 复位模式的初始设定步骤



备注 f_{IL}：低速内部振荡器的时钟频率

19.5 电压检测电路的注意事项

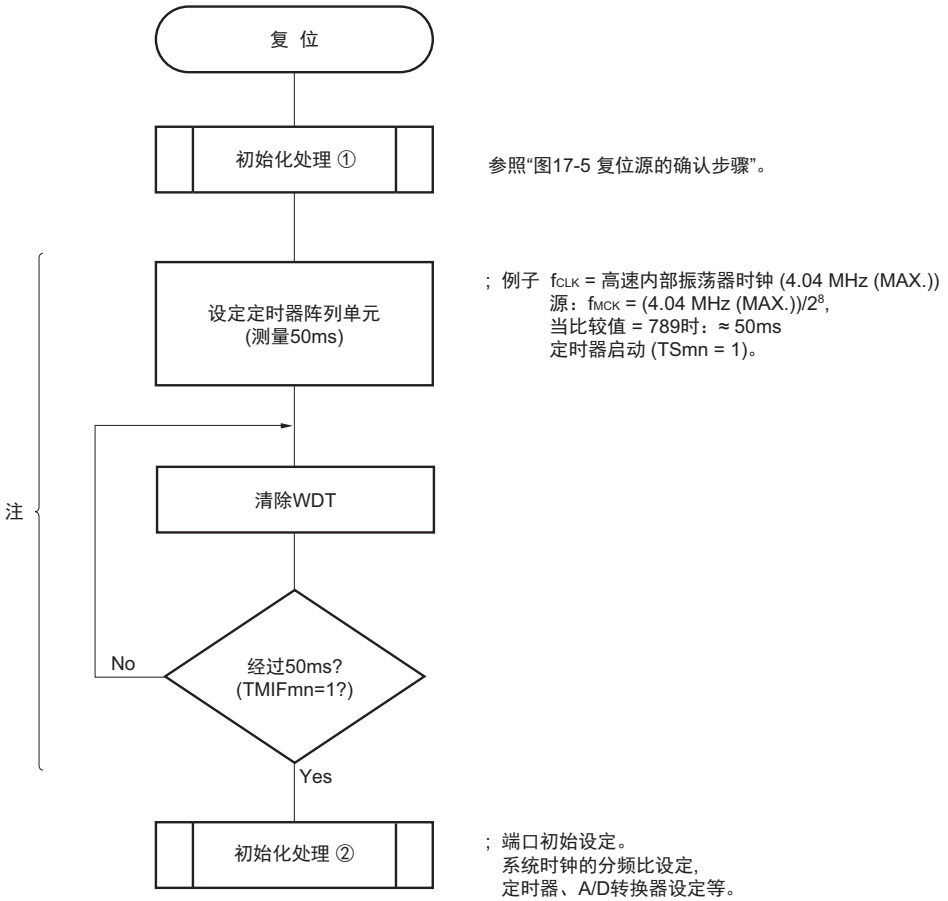
(1) 有关接通电源时的电压波动

某期间的电源电压 （V_{DD}）在 LVD 检测电压附近波动的系统中，单片机可能会重复地进入复位状态 / 复位解除状态。通过以下方法，可以任意设置从复位解除到单片机开始工作的时间。

< 处理 >

复位解除后，通过使用定时器等的软件计数器，等待因系统而不同的电源电压波动期间过后，对端口等进行初始设定。

图 19-9 当 LVD 检测电压附近的电源电压波动不超过 50ms 时的软件处理例子



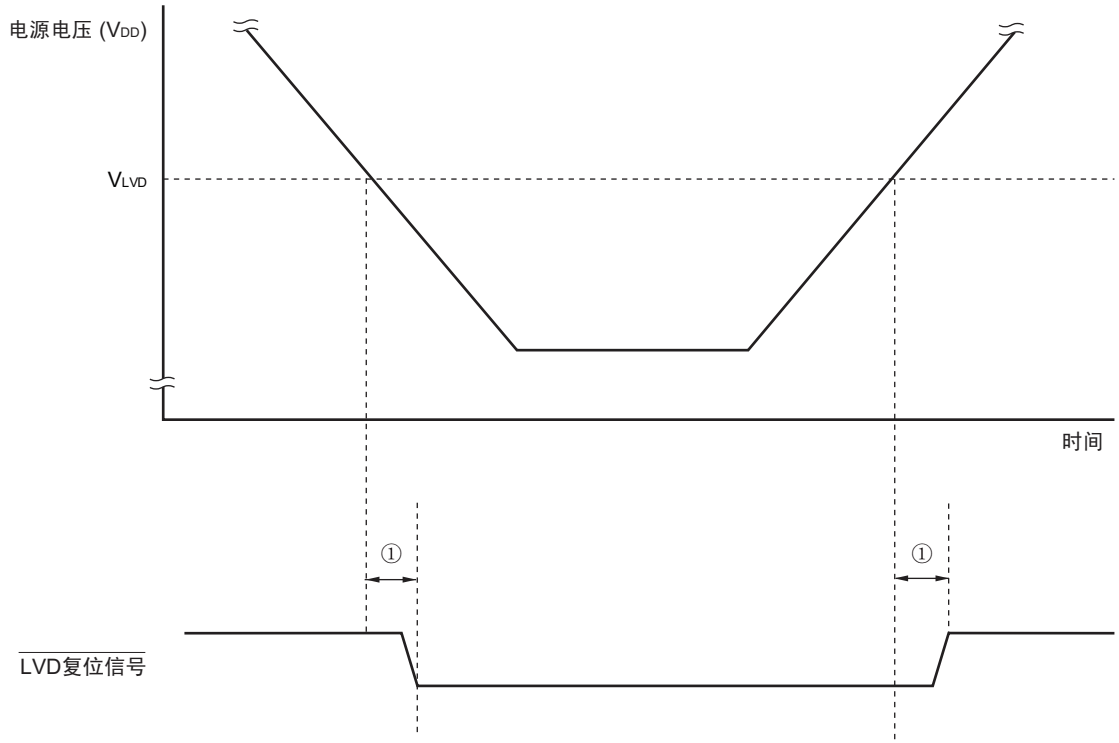
注 在此期间再次发生复位时，不转移到初始化处理②。

备注 m=0 n=0 ～ 3、 6、 7

(2) 从产生 LVD 复位源到产生或者解除 LVD 复位的延迟

从满足电源电压 （V_{DD}）＜ LVD 检测电压 （V_{LVD}）到产生 LVD 复位为止会发生延迟。同样，从 LVD 检测电压 （V_{LVD}）≤电源电压 （V_{DD}）到解除 LVD 复位为止也会发生延迟 （参照图 19-10）。

图 19-10 从产生 LVD 复位源到产生或者解除 LVD 复位的延迟



①：检测延迟 （300μs (MAX.)）

(3) 有关设定为 LVD OFF 时的上电

在设定为 LVD OFF 时，必须使用由 $\overline{\text{RESET}}$ 引脚引起的外部复位。

如果要执行外部复位，必须给 $\overline{\text{RESET}}$ 引脚输入至少 10μs 的低电平。如果要在电源上升时执行外部复位，必须在给 $\overline{\text{RESET}}$ 引脚输入低电平后接通电源，然后在 “27.4 AC 特性 ” 所示的工作电压范围内继续输入至少 10μs 的低电平后再输入高电平。

(4) 有关设定为 LVD OFF 以及 LVD 中断模式时的工作电压下降的情况

当设定为 LVD OFF 以及 LVD 中断模式时，在工作电压下降至小于 “27.4 AC 特性 ” 所示的工作电压范围前，转移到 STOP 模式，或者通过外部复位设定为复位状态。如果要重新开始运行，必须确认电源电压已恢复到工作电压范围内。

第 20 章 安全功能

20.1 安全功能的概要

为了对应 IEC60730 和 IEC61508 安全标准， R7F0C001G/L、 R7F0C002G/L 内置以下安全功能。
此安全功能的目的是通过单片机的自诊断，在检测到故障时安全地停止工作。

(1) 闪存 CRC 运算功能 （高速 CRC、通用 CRC）

通过 CRC 运算检测闪存的数据错误。
能根据不同的用途和使用条件，分别使用以下 2 个 CRC。

- “高速CRC”…在初始设定程序中，能停止CPU的运行并且高速检查整个代码闪存区。
- “通用CRC”…在CPU运行中，不限于代码闪存区而能用于多用途的检查。

(2) RAM 奇偶校验错误检测功能

在读 RAM 数据时，检测奇偶校验错误。

(3) RAM 保护功能

防止因 CPU 失控而改写 RAM 数据。

(4) SFR 保护功能

防止因 CPU 失控而改写 SFR。

(5) 非法存储器存取检测功能

检测对非法存储器域 （没有存储器的区域或者限制受限的区域）的非法存取。

(6) 频率检测功能

能使用定时器阵列单元自检测 CPU/ 外围硬件时钟频率。

(7) A/D 测试功能

通过对 A/D 转换器的正 （+）基准电压、负 （– ）基准电压、模拟输入通道 （ANI）、温度传感器输出电压以及内部基准电压进行 A/D 转换来对 A/D 转换器进行自检测。

备注 有关符合安全标准 IEC60730 的安全功能的使用例子，请参照《RL78 Family VDE Certified IEC60730/60335 Self Test Library》 Application Note （R01AN0749）。

20.2 安全功能使用的寄存器

安全功能的各功能使用以下寄存器。

寄存器	安全功能的各功能
• 闪存 CRC 控制寄存器 （CRC0CTL） • 闪存 CRC 运算结果寄存器 （PGCRCL）	闪存 CRC 运算功能 （高速 CRC）
• CRC 输入寄存器 （CRCIN） • CRC 数据寄存器 （CRCD）	CRC 运算功能 （通用 CRC）
• RAM 奇偶校验错误控制寄存器 （RPECTL）	RAM 奇偶校验错误检测功能
• 非法存储器存取检测控制寄存器 （IAWCTL）	RAM 保护功能
	SFR 保护功能
	非法存储器存取检测功能
• 定时器输入选择寄存器 0 （TIS0）	频率检测功能
• A/D 测试寄存器 （ADTES）	A/D 测试功能

有关各寄存器的内容，在 “20.3 安全功能的运行 ” 中进行说明。

20.3 安全功能的运行

20.3.1 闪存 CRC 运算功能 （高速 CRC）

IEC60730 标准要求确认闪存内的数据，并且建议 CRC 为确认手段。此高速 CRC 能在初始设定 （初始化）程序中检查整个代码闪存区。只能通过 RAM 内的程序以主系统时钟的 HALT 模式运行。

高速 CRC 停止 CPU 的运行并且以 1 个时钟从闪存读取 32 位数据进行运算。因此，其特点是检查结束为止的时间短 （例如， 32KB 闪存：341μs@24MHz）。

CRC 生成多项式对应 CRC-16-CCITT 的 “$X^{16}+X^{12}+X^5+1$”。

以 bit31→bit0 的 MSB 优先进行运算。

注意 在片上调试时，因为配置监视程序，所以会出现不同的 CRC 运算结果。

备注 因为通用 CRC 为 LSB 优先，所以运算结果不同。

20.3.1.1 闪存 CRC 控制寄存器 （CRC0CTL）

这是设定高速 CRC 运算器的运行控制和运算范围的寄存器。
能通过 1 位或者 8 位存储器操作指令设定 CRC0CTL 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 20-1 闪存 CRC 控制寄存器 （CRC0CTL）的格式

地址：F02F0H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速 CRC 运算器的运行控制
0	停止运行。
1	通过执行 HALT 指令开始运算。

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速 CRC 的运算范围
0	0	0	0	0	0	0000H ～ 3FFBH （16K–4 字节）
0	0	0	0	0	1	0000H ～ 7FFBH （32K–4 字节）
上述以外						禁止设定

备注 必须事先将用于比较的 CRC 运算结果期待值存入闪存的最后 4 字节，因此运算范围为减去 4 字节的范围。

20.3.1.2 闪存 CRC 运算结果寄存器 （PGCRCL）

这是保存高速 CRC 运算结果的寄存器。
通过 16 位存储器操作指令设定 PGCRCL 寄存器。
通过产生复位信号，此寄存器的值变为 “0000H”。

图 20-2 闪存 CRC 运算结果寄存器 （PGCRCL）的格式

地址：F02F2H 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

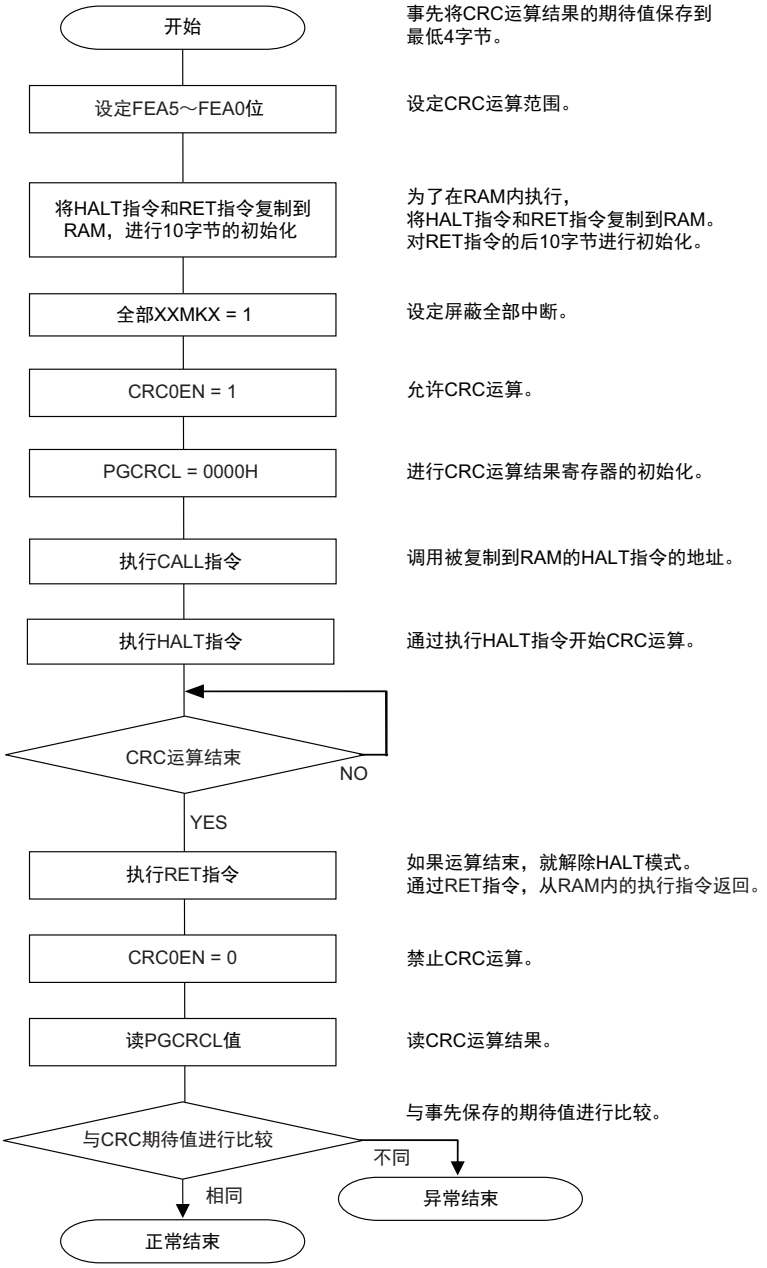
PGCRC15 ～ PGCRC0	高速 CRC 的运算结果
0000H ～ FFFFH	保存高速 CRC 的运算结果。

注意 只有在 CRC0EN （CRC0CTL 寄存器的 bit7）位为 “1” 时才能写 PGCRCL 寄存器。

闪存 CRC 运算功能 （高速 CRC）的流程图如图 20-3 所示。

＜操作流程＞

图 20-3 闪存 CRC 运算功能 （高速 CRC）的流程图



注意 1. 只以代码闪存为 CRC 运算的对象。

2. 必须将 CRC 运算的期待值保存到代码闪存内运算范围后的区域。

3. 通过在 RAM 区执行 HALT 指令， CRC 运算变为有效。
必须在 RAM 区执行 HALT 指令。

能通过使用综合开发环境 “CubeSuite+” 计算 CRC 运算的期待值。有关详细内容，请参照 《Integrated Development Environment CubeSuite+ User’s Manual》。

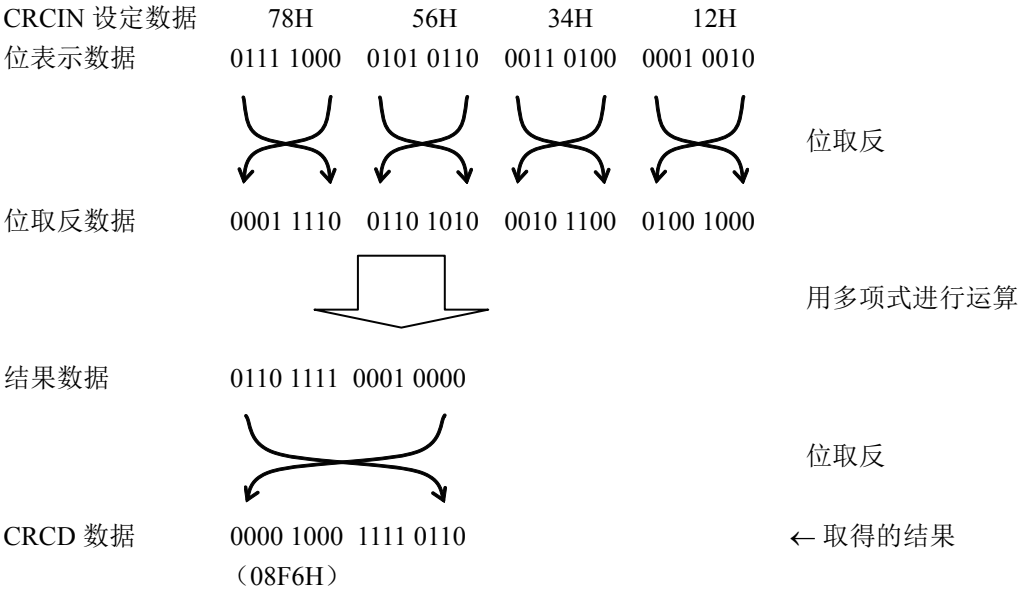
20.3.2 CRC 运算功能 （通用 CRC）

为了必须保证运行过程中的安全， IEC61508 标准要求即使在 CPU 运行中也需要确认数据。

此通用 CRC 能在 CPU 运行中作为外围功能进行 CRC 运算。通用 CRC 不限于代码闪存区而能用于多用途的检查。通过软件 （用户程序）指定要确认的数据。 HALT 模式中的 CRC 运算功能只能在 DMA 传送过程中使用。

也能在主系统时钟运行模式和副系统时钟运行模式中使用通用 CRC。

CRC 生成多项式使用 CRC-16-CCITT 的 “$X^{16}+X^{12}+X^5+1$”。因为考虑到是以 LSB 优先进行的通信，所以取反输入数据的位排列，然后进行计算。例如，从 LSB 发送数据 “12345678H” 的情况，按照 “78H”、“56H”、“34H”、“12H” 的顺序给 CRCIN 寄存器写值，从 CRCD 寄存器得到 “08F6H” 的值。这是针对取反了数据 “12345678H” 位排列后的下列位序进行 CRC 运算的结果。



注意 在执行程序的过程中，因为调试程序将软件断点的设定行改写为 BREAK 指令，所以如果在 CRC 运算的对象区设定软件断点，就会出现不同的 CRC 运算结果。

20.3.2.1 CRC 输入寄存器 （CRCIN）

这是设定通用 CRC 的 CRC 计算数据的 8 位寄存器。

能设定的范围为 “00H ～ FFH”。

通过 8 位存储器操作指令设定 CRCIN 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-4 CRC 输入寄存器 （CRCIN）的格式

地址：FFFACH 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
CRCIN								

bit7 ～ 0	功能
00H ～ FFH	数据输入

20.3.2.2 CRC 数据寄存器 （CRCD）

这是保存通用 CRC 运算结果的寄存器。
能设定的范围为 “0000H ～ FFFFH”。
在写 CRCIN 寄存器开始经过 1 个 CPU/ 外围硬件时钟（f_{CLK}）后，将 CRC 运算结果保存到 CRCD 寄存器。
通过 16 位存储器操作指令设定 CRCD 寄存器。
通过产生复位信号，此寄存器的值变为 “0000H”。

图 20-5 CRC 数据寄存器 （CRCD）的格式

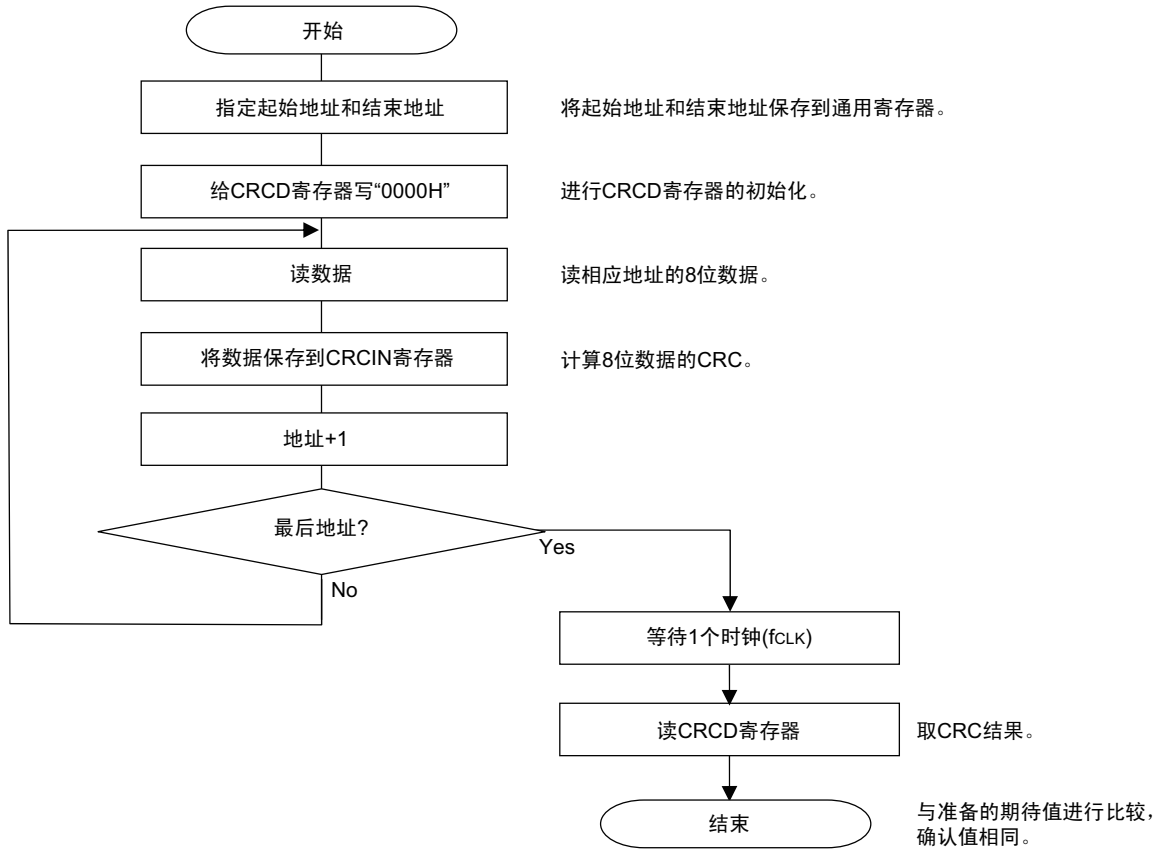
地址：F02FAH 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意 1. 要读 CRCD 寄存器的写入值时，必须在写 CRCIN 寄存器前读 CRCD 寄存器。
2. 如果 CRCD 寄存器的写操作与运算结果的保存发生竞争，就忽视写操作。

＜操作流程＞

图 20-6 CRC 运算功能 （通用 CRC）的流程图



20.3.3 RAM 奇偶校验错误检测功能

IEC60730 标准要求确认 RAM 数据。因此，R7F0C001G/L、R7F0C002G/L 的 RAM 每 8 位附加 1 位奇偶校验位。RAM 奇偶校验错误检测功能在写数据时附加奇偶校验位，而在读数据时检查奇偶校验位，并且能在发生奇偶校验错误时产生复位。

20.3.3.1 RAM 奇偶校验错误控制寄存器 （RPECTL）

此寄存器控制奇偶校验的错误确认位和因奇偶校验错误而产生复位。

通过 1 位或者 8 位存储器操作指令设定 RPECTL 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-7 RAM 奇偶校验错误控制寄存器 （RPECTL）的格式

地址：F00F5H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	奇偶校验错误复位屏蔽标志
0	允许产生奇偶校验错误复位。
1	禁止产生奇偶校验错误复位。

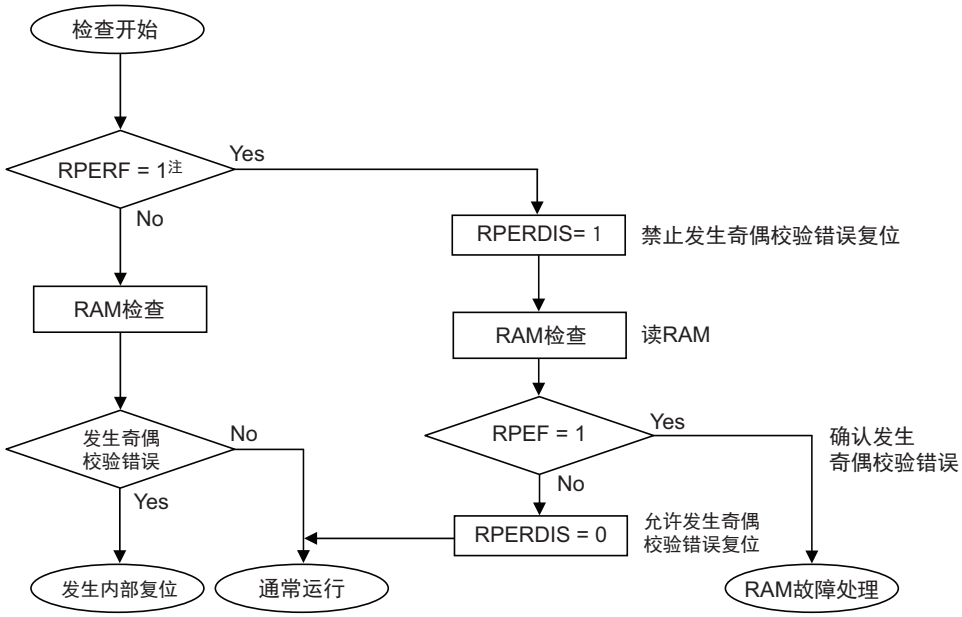
RPEF	奇偶校验错误状态标志
0	没有发生奇偶校验错误。
1	发生奇偶校验错误。

注意 在写数据时附加奇偶校验位，而在读数据时检查奇偶校验位。
因此，当允许产生RAM奇偶校验错误复位 （RPERDIS=0）时，必须在存取数据时并且在读数据前对“所用RAM区”进行初始化。
因为RL78为流水线运行，所以CPU进行预读，有可能因读取所用RAM区前的未初始化RAM区而发生RAM奇偶校验错误。因此，要允许发生RAM奇偶校验错误复位 （RPERDIS=0）时，必须在执行RAM区的指令时对“所用RAM区+10字节”的区域进行初始化。

备注 1. 在初始状态下为允许发生奇偶校验错误复位 （RPERDIS=0）。

2. 在设定为禁止发生奇偶校验错误复位（RPERDIS=1）时，如果发生奇偶校验错误，RPEF 标志就被置 “1”。在 RPEF 标志为 “1” 的状态下，如果设定为允许发生奇偶校验错误复位 （RPERDIS=0），就在 RPERDIS 清 “0” 时发生奇偶校验错误复位。
3. RPECTL 寄存器的 RPEF 标志在发生奇偶校验错误时被置 “1”，通过写 “0” 或者全部的复位源清 “0”。在 RPEF 标志为 “1” 时，即使读未发生奇偶校验错误的 RAM， RPEF 标志也保持 “1” 的状态。
4. RAM 奇偶校验错误检测的范围不包括通用寄存器。

图 20-8 RAM 奇偶校验检查的流程图



注 由 RAM 奇偶校验错误引起的内部复位的确认方法请参照 “ 第 17 章 复位功能 ”。

20.3.4 RAM 保护功能

为了必须保证运行过程中的安全，IEC61508 标准要求即使 CPU 失控也需要保护存储在 RAM 的重要数据。

此 RAM 保护功能用于保护被指定的 RAM 空间的数据。

如果设定为 RAM 保护功能，指定空间的 RAM 写操作就无效，但是能正常读取。

20.3.4.1 非法存储器存取检测控制寄存器 （IAWCTL）

此寄存器控制是否允许检测非法存储器的存取以及控制 RAM/SFR 保护功能。

RAM 保护功能使用 GRAM1 位和 GRAM0 位。

通过 8 位存储器操作指令设定 IAWCTL 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-9 非法存储器存取检测控制寄存器 （IAWCTL）的格式

地址：F0078H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAM 保护空间注
0	0	无效。能写 RAM。
0	1	RAM 起始地址开始的 128 字节
1	0	RAM 起始地址开始的 256 字节
1	1	RAM 起始地址开始的 512 字节

注 RAM 的起始地址因产品内置的 RAM 容量而变。

20.3.5 SFR 保护功能

为了必须保证运行过程中的安全，IEC61508标准要求即使CPU失控也需要保护重要的SFR，使其免遭改写。

SFR 保护功能用于保护端口功能，中断功能，时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的数据。

如果设定为 SFR 保护功能，被保护的 SFR 的写操作就无效，但是能正常读取。

20.3.5.1 非法存储器存取检测控制寄存器 （IAWCTL）

此寄存器控制是否允许检测非法存储器的存取以及控制 RAM/SFR 保护功能。

SFR 保护功能使用 GPORT 位、 GINT 位和 GCSC 位。

通过 8 位存储器操作指令设定 IAWCTL 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-10 非法存储器存取检测控制寄存器 （IAWCTL）的格式

地址：F0078H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	端口功能的控制寄存器的保护
0	无效。能读写端口功能的控制寄存器。
1	有效。端口功能的控制寄存器的写操作无效，能读。 [被保护的 SFR] PMxx、 PUxx、 PIMxx、 POMxx、 PMCxx、 ADPC、 PIOR、 PFSEGxx、 ISCLCD 注 1

GINT	中断功能的寄存器的保护
0	无效。能读写中断功能的控制寄存器。
1	有效。中断功能的控制寄存器的写操作无效，能读。 [被保护的 SFR] IFxx、 MKxx、 PRxx、 EGPx、 EGNx

GCSC 注 2	时钟控制功能、电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的保护
0	无效。能读写时钟控制功能、电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器。
1	有效。时钟控制功能、电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的写操作无效，能读。 [被保护的 SFR] CMC、 CSC、 OSTS、 CKC、 PERx、 OSMC、 LVIM、 LVIS、 RPECTL

注 1. 不保护 Pxx （端口寄存器）。

2. 在自编程 / 串行编程时，必须将 GCSC 位置 “0”。

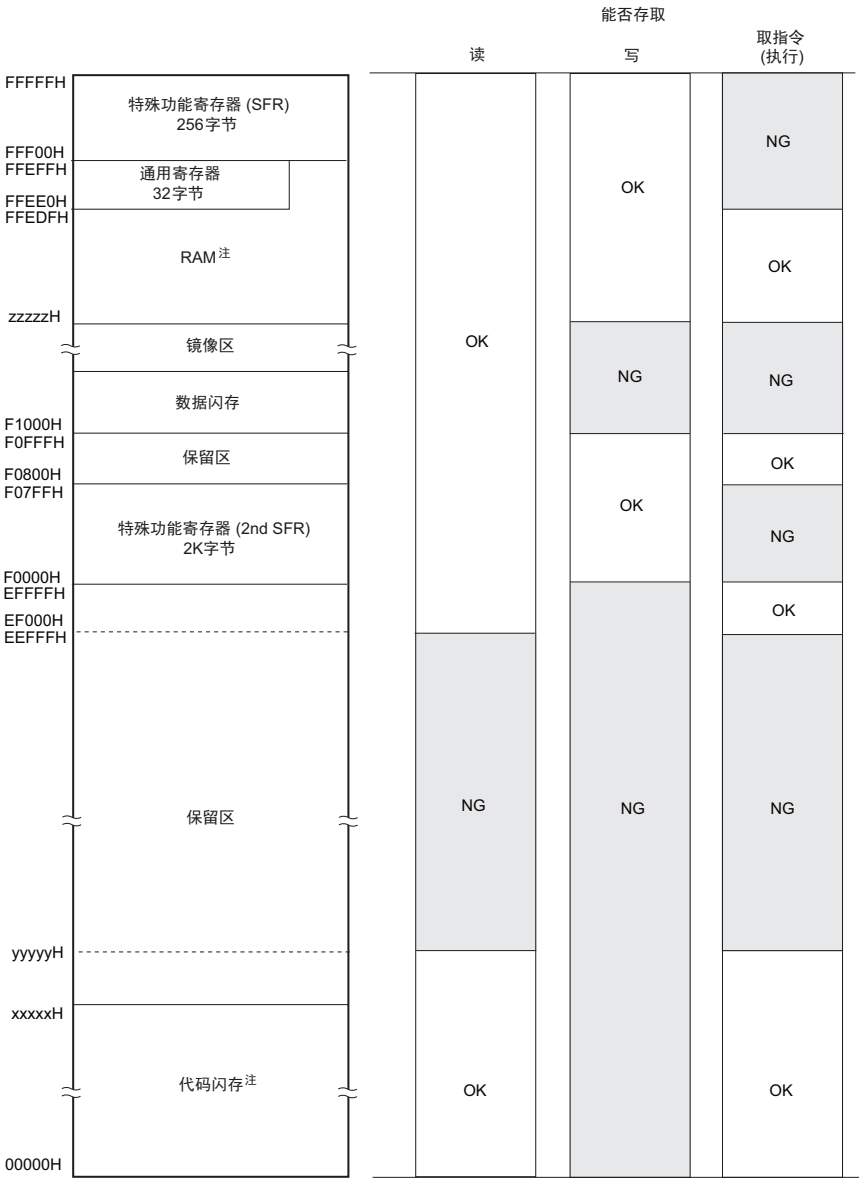
20.3.6 非法存储器存取检测功能

IEC60730 标准要求需要确认 CPU 和中断是否正常运行。

非法存储器存取检测功能在存取被规定的非法存取检测空间时产生复位。

非法存取检测空间为图 20-11 记载为 “NG” 的范围。

图 20-11 非法存取检测空间



注 各产品的代码闪存、 RAM 地址和检测最低位地址如下所示：

产品	代码闪存 （00000H ～ xxxxxH）	RAM （zzzzzH ～ FFEFFH）	（执行）读 / 取指令时的检测最低位地址 （yyyyyH）
R7F0C001G、 R7F0C001L	16384×8 位 （00000H ～ 03FFFH）	1024×8 位 （FFB00H ～ FFEFFH）	10000H
R7F0C002G、 R7F0C002L	32768×8 位 （00000H ～ 07FFFH）	1536×8 位 （FF900H ～ FFEFFH）	10000H

20.3.6.1 非法存储器存取检测控制寄存器 （IAWCTL）

此寄存器控制是否允许检测非法存储器的存取以及控制 RAM/SFR 保护功能。
非法存储器存取检测功能使用 IAWEN 位。
通过 8 位存储器操作指令设定 IAWCTL 寄存器。
通过产生复位信号，此寄存器的值变为 “00H”。

图 20-12 非法存储器存取检测控制寄存器 （IAWCTL）的格式

地址：F0078H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN 注	非法存储器存取的检测控制
0	非法存储器存取的检测无效。
1	非法存储器存取的检测有效。

注 IAWEN 位只有写 “1” 的操作有效， IAWEN 位为 “1” 后的写 “0” 的操作无效。

备注 在选项字节的 WDTON 位为 “1” 时，与 IAWEN 位的设定无关，非法存储器存取检测功能总是有效（参照 “ 第 22 章 选项字节 ”）。

20.3.7 频率检测功能

IEC60730 标准要求确认振荡频率是否正常。

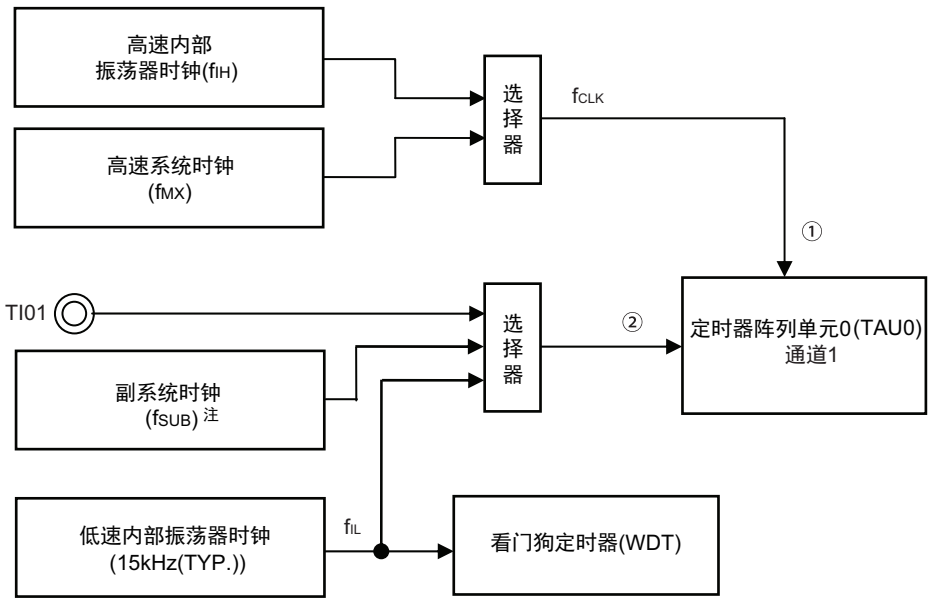
频率检测功能可通过使用 CPU/ 外围硬件时钟频率 （f_{CLK}）测量定时器阵列单元 0 （TAU0）的通道 1 的输入脉冲，判断 2 个时钟的比率关系是否正确。但是，在其中一个或者两个时钟完全停止时，就无法判断时钟的比率关系。

< 比较时钟 >

① CPU/外围硬件时钟频率 （f_{CLK}）：
- 高速内部振荡器时钟 （f_{IH}）
- 高速系统时钟 （f_{MX}）

② 定时器阵列单元的通道 1 输入：
- 通道 1 的定时器输入 （TI01）
- 低速内部振荡器时钟 （f_{IL}：15kHZ(TYP.)）
- 副系统时钟 （f_{SUB}）注

图 20-13 频率检测功能的结构



＜运行概要＞

通过以下条件下的脉冲间隔的测量结果来判断时钟频率是否正常。
- 选择高速内部振荡器时钟 （f_{IH}）或者外接X1振荡时钟 （f_{MX}）作为CPU/外围硬件时钟 （f_{CLK}）。
- 选择低速内部振荡器时钟 （f_{IL}：15kHz）作为定时器阵列单元0 （TAU0）通道1的定时器输入。

当输入脉冲间隔的测量结果为异常值时，能判断为 “ 时钟频率异常 ”。

有关输入脉冲间隔的测量方法，请参照 “6.8.4 作为输入脉冲间隔测量的运行 ”。

注 只能选择配置了副系统时钟的产品。

20.3.7.1 定时器输入选择寄存器 0 （TIS0）

此寄存器选择通道 1 的定时器输入。

能通过选择低速内部振荡器时钟作为定时器输入并且测量其脉冲，判断低速内部振荡器时钟和定时器运行时钟的比例关系是否正确。

通过 8 位存储器操作指令设定 TIS0 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-14 定时器输入选择寄存器 0 （TIS0）的格式

地址：F0074H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	通道 1 使用的定时器输入的选择
0	0	0	定时器输入引脚 （TI01）的输入信号
1	0	0	低速内部振荡器时钟 （f_{IL}）
1	0	1	副系统时钟 （f_{SUB}）
上述以外			禁止设定

20.3.8 A/D 测试功能

IEC60730 标准要求进行 A/D 转换器的测试。此 A/D 测试功能通过对 A/D 转换器的正 （+）基准电压、负（–）基准电压、模拟输入通道 （ANI）、温度传感器输出电压以及内部基准电压进行 A/D 转换来确认 A/D 转换器的正常运行。确认方法的详细内容请参照 《RL78/G13 Safety Function (A/D Test)》Application Note （R01AN0955）。

能通过以下步骤确认模拟多路转换器：

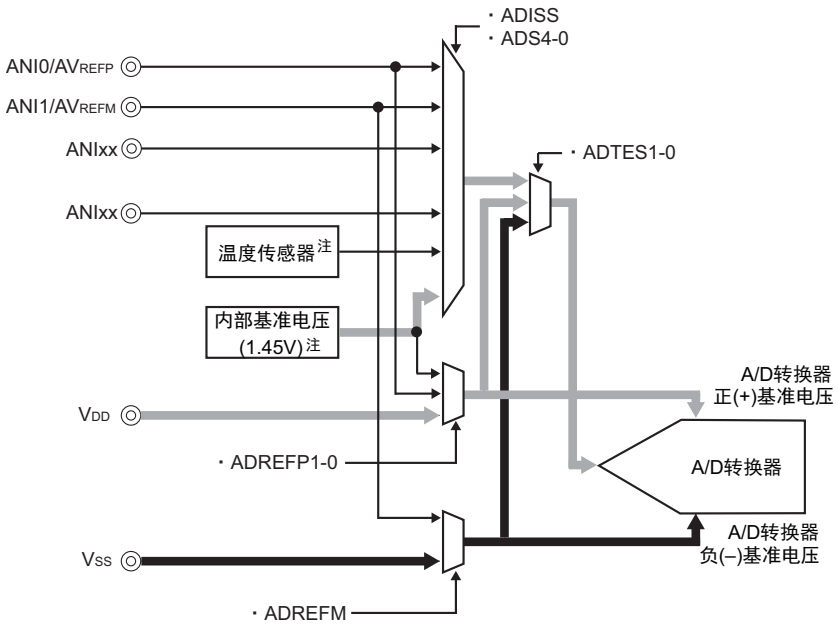
1. 通过ADTES寄存器选择ANIx引脚作为A/D转换对象 （ADTES1、 ADTES0=0、 0）。
2. 对ANIx引脚进行A/D转换 （转换结果1-1）。
3. 通过ADTES寄存器选择A/D转换器的负 （– ）基准电压作为A/D转换对象 （ADTES1、 ADTES0=1、0）。
4. 对A/D转换器的负 （–）基准电压进行A/D转换 （转换结果2-1）。
5. 通过ADTES寄存器选择ANIx引脚作为A/D转换对象 （ADTES1、 ADTES0=0、 0）。
6. 对ANIx引脚进行A/D转换 （转换结果1-2）。
7. 通过ADTES寄存器选择A/D转换器的正 （+）基准电压作为A/D转换对象 （ADTES1、 ADTES0=1、1）。
8. 对A/D转换器的正 （+）基准电压进行A/D转换 （转换结果2-2）。
9. 通过ADTES寄存器选择ANIx引脚作为A/D转换对象 （ADTES1、 ADTES0=0、 0）。
10. 对ANIx引脚进行A/D转换 （转换结果1-3）。
11. 确认“转换结果1-1”=“转换结果1-2”=“转换结果1-3”。
12. 确认“转换结果2-1”的A/D转换结果全部为“0”， “转换结果2-2”的A/D转换结果全部为“1”。

通过以上步骤，能确认已选择模拟多路转换器以及布线没有断线。

备注 1. 在步骤 1 ～步骤 10 的转换运行过程中，如果模拟输入电压可变，就必须采用其他方法来确认模拟多路转换器。

2. 转换结果含有误差，因此必须在比较转换结果时要考虑到恰当的误差。

图 20-15 A/D 测试功能的结构



注 只有在 HS （高速主）模式中才能进行选择。

20.3.8.1 A/D 测试寄存器 （ADTES）

此寄存器选择 A/D 转换器的正 （+）基准电压、负 （–）基准电压、模拟输入通道 （ANIxx）、温度传感器输出电压以及内部基准电压 （1.45V）作为 A/D 转换对象。

当用作 A/D 测试功能时，进行以下设定：

- 在测量零刻度时，选择负 （–）基准电压作为A/D转换对象。
- 在测量满刻度时，选择正 （+）基准电压作为A/D转换对象。

通过 8 位存储器操作指令设定 ADTES 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-16 A/D 测试寄存器 （ADTES）的格式

地址：F0013H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 转换对象
0	0	ANIxx/ 温度传感器输出电压注 / 内部基准电压 （1.45V）注 （由模拟输入通道指定寄存器 （ADS）进行设定）
1	0	负 （–）基准电压 （通过 ADM2 寄存器的 ADREFM 位选择）
1	1	正 （+）基准电压 （通过 ADM2 寄存器的 ADREFP1、 ADREFP0 位选择）注
上述以外		禁止设定

注 只有在 HS （高速主）模式中才能选择温度传感器输出电压和内部基准电压 （1.45V）。

20.3.8.2 模拟输入通道指定寄存器 （ADS）

此寄存器指定 A/D 转换的模拟电压的输入通道。

要通过 A/D 测试功能测量 ANIxx/ 温度传感器输出 / 内部基准电压 （1.45V）时，必须将 A/D 测试寄存器（ADTES）置 “00H”。

通过 1 位或者 8 位存储器操作指令设定 ADS 寄存器。

通过产生复位信号，此寄存器的值变为 “00H”。

图 20-17 模拟输入通道指定寄存器 （ADS）的格式

地址：FFF31H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	模拟输入通道	输入源
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP} 引脚
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM} 引脚
0	1	0	0	0	0	ANI16	P41/ANI16 引脚
0	1	0	0	0	1	ANI17	P120/ANI17 引脚
0	1	0	0	1	0	ANI18	P13/ANI18 引脚
0	1	0	0	1	1	ANI19	P14/ANI19 引脚
0	1	0	1	0	0	ANI20	P142/ANI20 引脚
0	1	0	1	0	1	ANI21	P143/ANI21 引脚
0	1	0	1	1	0	ANI22	P144/ANI22 引脚
0	1	0	1	1	1	ANI23	P145/ANI23 引脚
1	0	0	0	0	0	—	温度传感器输出电压注
1	0	0	0	0	1	—	内部基准电压 （1.45V）注
上述以外						禁止设定	

注 只有在 HS （高速主）模式中才能使用。

注意 1. 必须将 bit5 和 bit6 位置 “0”。

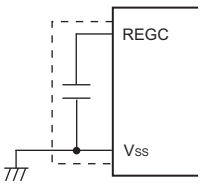
2. 通过端口模式寄存器 1、2、4、12、14（PM1、PM2、PM4、PM12、PM14）将 ADPC、PMC 寄存器设定为模拟输入的端口设定为输入模式。
3. 不能通过 ADS 寄存器对 A/D 端口配置寄存器 （ADPC）设定的数字输入 / 输出引脚进行设定。
4. 不能通过 ADS 寄存器对端口模式控制寄存器 1、4、12、14（PMC1、PMC4、PMC12、PMC14）设定的数字输入 / 输出引脚进行设定。
5. 要改写 ADISS 位时，必须在转换停止的状态下 （ADCS=0、 ADCE=0）进行。
6. 当将 AV_{REFP} 用作 A/D 转换器的正 （+）基准电压时，不能选择 ANI0 作为 A/D 转换通道。
7. 当将 AV_{REFM} 用作 A/D 转换器的负 （–）基准电压时，不能选择 ANI1 作为 A/D 转换通道。
8. 在将 ADISS 位置 “1” 的情况下，不能将内部基准电压 （1.45V）用作正 （+）基准电压。

   另外 , 在将 ADISS 位置 “1” 后，不能使用第 1 次的转换结果。详细设定流程请参照 “11.7.4 选择温度传感器输出电压 / 内部基准电压时的设定 （以软件触发模式、单次转换模式为例） ”。
9. 要转移到 STOP 模式或者在以副系统时钟进行 CPU 运行时转移到 HALT 模式时，不能将 ADISS 位置 “1”。如果将 ADISS 位置 “1”，增加 “27.3.2 电源电流特性 ” 所示的 A/D 转换器基准电压电流 （I_{ADREF}）的电流值。

第 21 章 稳压器

21.1 稳压器的概要

R7F0C001G/L、 R7F0C002G/L 内置了使器件内部恒压工作的电路。为了使稳压器的输出电压稳定，必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚连接 V_{SS}。另外，为了稳定内部电压，必须使用特性好的电容器。



注意 必须尽量缩短上图虚线部分的布线。

稳压器的输出电压如表 21-1 所示。

表 21-1 稳压器的输出电压条件

模式	输出电压	条件
LV （低电压主）模式	1.8V	—
LS （低速主）模式		
HS （高速主）模式	1.8V	STOP 模式
		在 CPU 以副系统时钟 （f_{XT}）运行的过程中，高速系统时钟 （f_{MX}）和高速内部振荡器时钟 （f_{IH}）都停止振荡。
		在设定为 CPU 以副系统时钟 （f_{XT}）运行时的 HALT 模式中，高速系统时钟 （f_{MX}）和高速内部振荡器时钟 （f_{IH}）都停止振荡。
	2.1V	上述以外 （包含片上调试期间）注

注 在片上调试期间转移到副系统时钟运行模式或者 STOP 模式时，稳压器的输出电压保持 2.1V （不变为 1.8V）。

第 22 章 选项字节

22.1 选项字节的功能

R7F0C001G/L、 R7F0C002G/L 的闪存地址 000C0H ～ 000C3H 为选项字节区。

选项字节由用户选项字节 （000C0H ～ 000C2H）和片上调试选项字节 （000C3H）构成。

在接通电源或者复位启动时，自动参照选项字节进行指定功能的设定。在使用本产品时，必须通过选项字节进行以下功能的设定。

对于没有配置功能的位，必须设定本手册的指定值。

22.1.1 用户选项字节 （000C0H ～ 000C2H）

(1) 000C0H

- ○ 看门狗定时器的运行
  - 在HALT/STOP模式中停止或者允许运行。
- ○ 看门狗定时器的上溢时间的设定
- ○ 看门狗定时器的运行
  - 停止或者允许运行。
- ○ 看门狗定时器的窗口打开期间的设定
- ○ 看门狗定时器的间隔中断
  - 使用或者不使用

(2) 000C1H

- ○ LVD运行模式的设定
  - 中断&复位模式
  - 复位模式
  - 中断模式
  - LVD OFF （使用$\overline{\text{RESET}}$引脚引起的外部复位）
- ○ LVD检测电平 （V_{LVDH}、 V_{LVDL}、 V_{LVD}）的设定

注意 当电源上升时，在达到 “27.4 AC 特性 ” 所示的工作电压范围前，必须通过电压检测电路或者外部复位保持复位状态。当电源下降时，必须在小于工作电压范围前，转移到 STOP 模式，或者通过电压检测电路或外部复位设定为复位状态。
工作电压范围因用户选项字节 （000C2H）的设定而变。

(3) 000C2H

- ○ 闪存运行模式的设定
  - LV （低电压主）模式
  - LS （低速主）模式
  - HS （高速主）模式
- ○ 高速内部振荡器的频率设定
  - 从24MHz/16MHz/12MHz/8MHz/6MHz/4MHz/3MHz/2MHz/1MHz(TYP.)中选择。

22.1.2 片上调试选项字节 （000C3H）

○ 片上调试运行的控制
- 禁止或者允许片上调试运行

○ 安全ID验证失败时闪存数据的处理
- 是否在片上调试安全ID验证失败时擦除闪存的数据。

22.2 用户选项字节的格式

图 22-1 用户选项字节 （000C0H）的格式

地址：000C0H

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	看门狗定时器的间隔中断的使用 / 不使用
0	不使用间隔中断。
1	当达到上溢时间的 75%+1/2f_{IL} 时，产生间隔中断。

WINDOW1	WINDOW0	看门狗定时器的窗口打开期间注
0	0	禁止设定
0	1	50%
1	0	75%
1	1	100%

WDTON	看门狗定时器的计数器运行控制
0	禁止计数器运行 （解除复位后停止计数）。
1	允许计数器运行 （解除复位后开始计数）。

WDCS2	WDCS1	WDCS0	看门狗定时器的上溢时间 （f_{IL}=17.25kHz （MAX.））
0	0	0	$2^6/f_{IL}$ （3.71ms）
0	0	1	$2^7/f_{IL}$ （7.42ms）
0	1	0	$2^8/f_{IL}$ （14.84ms）
0	1	1	$2^9/f_{IL}$ （29.68ms）
1	0	0	$2^{11}/f_{IL}$ （118.72ms）
1	0	1	$2^{13}/f_{IL}$ （474.90ms）
1	1	0	$2^{14}/f_{IL}$ （949.80ms）
1	1	1	$2^{16}/f_{IL}$ （3799.19ms）

WDSTBYON	看门狗定时器的计数器运行控制 （HALT/STOP 模式）
0	在 HALT/STOP 模式中，停止计数器运行注。
1	在 HALT/STOP 模式中，允许计数器运行。

注 当 WDSTBYON 位为 “0” 时，与 WINDOW1 位和 WINDOW0 位的值无关，窗口打开期间为 100%。

注意 即使在自编程或者改写数据闪存时看门狗定时器也继续运行，但是在这些处理过程中延迟中断的接受时间。因此，必须考虑此延迟，设定上溢时间和窗口大小。

备注 f_{IL}：低速内部振荡器时钟频率

图 22-2 用户选项字节 （000C1H）的格式 (1/2)

地址：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

- LVD的设定 （中断&复位模式）

检测电压			选项字节的设定值						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降	下降						LVIMDS1	LVIMDS0
1.77V	1.73V	1.63V	0	0	0	1	0	1	0
1.88V	1.84V					0	1		
2.92V	2.86V					0	0		
1.98V	1.94V	1.84V		0	1	1	0		
2.09V	2.04V					0	1		
3.13V	3.06V					0	0		
2.61V	2.55V	2.45V		1	0	1	0		
2.71V	2.65V					0	1		
3.75V	3.67V					0	0		
2.92V	2.86V	2.75V		1	1	1	0		
3.02V	2.96V					0	1		
4.06V	3.98V					0	0		
上述以外			禁止设定。						

- LVD的设定 （复位模式）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
1.67V	1.63V	0	0	0	1	1	1	1
1.77V	1.73V		0	0	1	0		
1.88V	1.84V		0	1	1	1		
1.98V	1.94V		0	1	1	0		
2.09V	2.04V		0	1	0	1		
2.50V	2.45V		1	0	1	1		
2.61V	2.55V		1	0	1	0		
2.71V	2.65V		1	0	0	1		
2.81V	2.75V		1	1	1	1		
2.92V	2.86V		1	1	1	0		
3.02V	2.96V		1	1	0	1		
3.13V	3.06V		0	1	0	0		
3.75V	3.67V		1	0	0	0		
4.06V	3.98V		1	1	0	0		
上述以外		禁止设定。						

备注 1. 有关 LVD 电路的详细内容，请参照 “ 第 19 章 电压检测电路 ”。

2. 检测电压为 TYP. 值。详细内容请参照 “27.6.4 LVD 电路特性 ”。

图 22-2 用户选项字节 （000C1H）的格式 (2/2)

地址：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

- LVD的设定 （中断模式）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
1.67V	1.63V	0	0	0	1	1	0	1
1.77V	1.73V		0	0	1	0		
1.88V	1.84V		0	1	1	1		
1.98V	1.94V		0	1	1	0		
2.09V	2.04V		0	1	0	1		
2.50V	2.45V		1	0	1	1		
2.61V	2.55V		1	0	1	0		
2.71V	2.65V		1	0	0	1		
2.81V	2.75V		1	1	1	1		
2.92V	2.86V		1	1	1	0		
3.02V	2.96V		1	1	0	1		
3.13V	3.06V		0	1	0	0		
3.75V	3.67V		1	0	0	0		
4.06V	3.98V		1	1	0	0		
上述以外		禁止设定。						

- LVD OFF （使用由$\overline{\text{RESET}}$引脚引起的外部复位）

检测电压		选项字节的设定值						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	模式设定	
上升	下降						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	0/1	1
上述以外		禁止设定。						

注意 1. 必须给 bit4 写 “1”。

2. 当电源上升时，在达到 “27.4 AC 特性 ” 所示的工作电压范围前，必须通过电压检测电路或者外部复位保持复位状态。当电源下降时，必须在小于工作电压范围前，转移到 STOP 模式，或者通过电压检测电路或外部复位设定为复位状态。

   工作电压范围因用户选项字节 （000C2H）的设定而变。

备注 1. ×：忽略

2. 有关 LVD 电路的详细内容，请参照 “ 第 19 章 电压检测电路 ”。

3. 检测电压为 TYP. 值。详细内容请参照 “27.6.4 LVD 电路特性 ”。

图 22-3 选项字节 （000C2H）的格式

地址：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	闪存运行模式的设定		
			工作频率范围	工作电压范围
0	0	LV （低电压主）模式	1MHz ～ 4MHz	1.6V ～ 5.5V
1	0	LS （低速主）模式	1MHz ～ 8MHz	1.8V ～ 5.5V
1	1	HS （高速主）模式	1MHz ～ 16MHz	2.4V ～ 5.5V
			1MHz ～ 24MHz	2.7V ～ 5.5V
上述以外		禁止设定		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速内部振荡器时钟频率
0	0	0	0	24MHz
1	0	0	1	16MHz
0	0	0	1	12MHz
1	0	1	0	8MHz
0	0	1	0	6MHz
1	0	1	1	4MHz
0	0	1	1	3MHz
1	1	0	0	2MHz
1	1	0	1	1MHz
上述以外				禁止设定

注意 1. 必须给 bit5 和 bit4 写 “10B”。

2. 工作频率范围和工作电压范围因闪存的各运行模式而不同。详细内容请参照 “27.4 AC 特性 ”。

22.3 片上调试选项字节的格式

片上调试选项字节的格式如下所示。

图 22-4 片上调试选项字节 （000C3H）的格式

地址：000C3H

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	片上调试运行的控制
0	0	禁止片上调试运行。
0	1	禁止设定
1	0	允许片上调试运行。 在片上调试安全 ID 验证失败时，擦除闪存的数据。
1	1	允许片上调试运行。 在片上调试安全 ID 验证失败时，不擦除闪存的数据。

注意 只有 bit7 和 bit0 （OCDENSET 和 OCDERSD）才能指定值。
必须给bit6～1写“000010B”。

备注 bit3 ～ 1 的值在使用片上调试功能时被改写，因此在设定后变为不定值。
但是，在设定时必须给 bit3 ～ 1 设定初始值 （0、 1、 0）。

22.4 选项字节的设定

用户选项字节和片上调试选项字节除了在源程序中记述以外，还能通过编译程序的链接程序选项进行设定。此时，即使在如下的源程序中有记述也优先链接程序选项的设定。

选项字节设定的软件记述例子如下所示。

```
OPT     CSEG    OPT_BYTE
        DB      36H     ; 不使用看门狗定时器的间隔中断。
                        ; 允许看门狗定时器运行。
                        ; 看门狗定时器的窗口打开期间为 50%。
                        ; 看门狗定时器的上溢时间为 2^9/f_IL。
                        ; 在 HALT/STOP 模式中，停止看门狗定时器的运行。
        DB      1AH     ; V_LVDL 选择 1.63V。
                        ; V_LVDH 选择上升 1.77V、下降 1.73V。
                        ; 选择中断 & 复位模式作为 LVD 运行模式。
        DB      2DH     ; 选择 LV （低电压主）模式作为闪存运行模式。
                        ; 选择高速内部振荡器时钟频率 1MHz。
        DB      85H     ; 允许片上调试运行，在安全 ID 验证失败时不擦除闪存的数据。
```

注意 当通过汇编语言指定选项字节时， CSEG 伪指令的重定位属性名必须使用 OPT_BYTE。

第 23 章 闪存

F7F0C001G/L、 R7F0C002G/L 内置了可进行编程、擦除和重写的闪存。闪存有可执行程序的“ 代码闪存 ”和数据保存区的“ 数据闪存 ”。

闪存的编程方法有以下几种。
能通过闪存编程器或者外部器件 （UART 通信）进行的串行编程或者通过自编程改写代码闪存。

- 使用闪存编程器进行的串行编程 （参照23.1）
  能使用专用闪存编程器进行板上或者板外编程。

- 使用外部器件 （UART通信）进行的串行编程 （参照23.2）
  能使用外部器件 （单片机和ASIC）的UART通信进行板上编程。

- 自编程 （参照23.6）
  能使用闪存自编程库在用户应用上自改写代码闪存。

能使用闪存数据库在执行用户程序过程中改写数据闪存 （后台操作）。有关数据闪存的存取或者编程，请参照 “23.8 数据闪存 ”。

23.1 使用闪存编程器的编程方法

能使用以下专用的闪存编程器对 R7F0C001G/L、 R7F0C002G/L 的内部闪存进行数据编程。

- PG-FP5、 FL-PR5
- E1 片上调试仿真器

能使用专用闪存编程器进行板上或者板外编程。

(1) 板上编程

在将 R7F0C001G/L、R7F0C002G/L 安装到目标系统后改写闪存的内容。必须在目标系统上安装连接专用闪存编程器的连接器。

(2) 板外编程

能在将 R7F0C001G/L、 R7F0C002G/L 安装到目标系统前使用专用编程适配器 （FA 系列）等进行闪存编程。

备注 FL-PR5 和 FA 系列是 Naito Densei Machida Mfg. Co., Ltd 的产品。

表 23-1 R7F0C001G/L、 R7F0C002G/L 和专用闪存编程器的连线表

专用闪存编程器的连接引脚				引脚名	引脚号	
					48 引脚	64 引脚
信号名		输入 / 输出	引脚功能		LQFP （7×7）	LQFP （10×10）
PG-FP5、FL-PR5	E1 片上调试仿真器					
—	TOOL0	输入 / 输出	发送 / 接收信号	TOOL0/ P40	3	5
SI/RxD	—	输入 / 输出	发送 / 接收信号			
SCK	—	输出	—	—	—	—
CLK	—	输出	—	—	—	—
—	$\overline{\text{RESET}}$	输出	复位信号	$\overline{\text{RESET}}$	4	6
/RESET	—	输出				
FLMD0	—	输出	模式信号	—	—	—
V_{DD}		输入 / 输出	V_{DD} 电压生成 / 电压监视	V_{DD}	12	15
GND		—	接地	V_{SS}	11	13
				EV_{SS}	—	14
				REGC 注	10	12
EMV_{DD}		—	TOOL0 引脚驱动电源	V_{DD}	12	—
				EV_{DD}	—	16

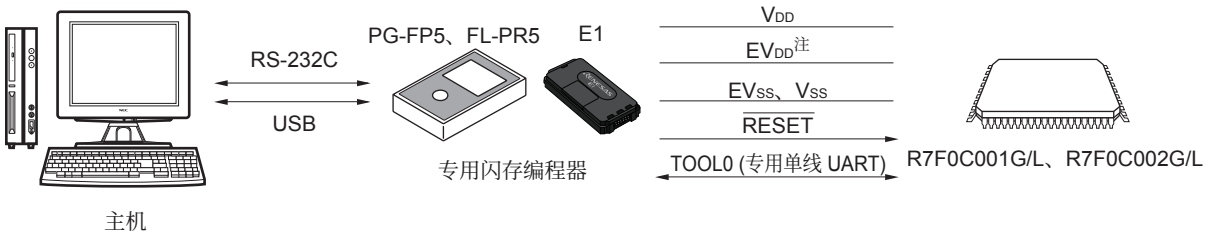
注 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚接地。

备注 在使用闪存编程器进行编程时，此表中未记载的引脚可以开路。

23.1.1 编程环境

R7F0C001G/L、 R7F0C002G/L 闪存的编程环境如下所示。

图 23-1 闪存的编程环境



注 只限于 64 引脚产品。

需要控制专用闪存编程器的主机。

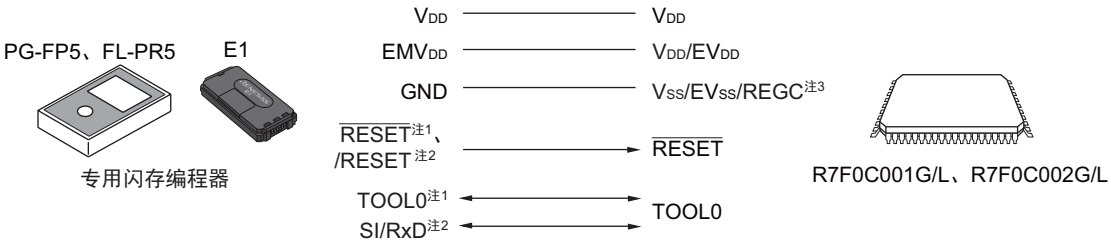
专用闪存编程器和 R7F0C001G/L、 R7F0C002G/L 的接口使用 TOOL0 引脚，通过专用的单线 UART 进行编程和擦除。

23.1.2 通信方式

专用闪存编程器和 R7F0C001G/L、 R7F0C002G/L 的通信使用 R7F0C001G/L、 R7F0C002G/L 的 TOOL0 引脚，通过专用的单线 UART 进行串行通信。

传送速率：1M、 500k、 250k、 115.2kbps

图 23-2 和专用闪存编程器的通信



注 1. 这是使用 E1 片上调试仿真器的情况。

2. 这是使用 PG-FP5 或者 FL-PR5 的情况。

3. 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚接地。

专用闪存编程器对 R7F0C001G/L、 R7F0C002G/L 生成以下信号。详细内容请参照 PG-FP5、 FL-PR5 或者 E1 片上调试仿真器的手册。

表 23-2 引脚连接一览表

专用闪存编程器				R7F0C001G/L、R7F0C002G/L
信号名		输入 / 输出	引脚功能	引脚名
PG-FP5、FL-PR5	E1 片上调试仿真器			
V_{DD}		输入 / 输出	V_{DD} 电压生成 / 电压监视	V_{DD}
GND		—	接地	V_{SS}、EV_{SS}、REGC 注
EMV_{DD}		—	TOOL0 引脚驱动电源	V_{DD}、EV_{DD}
/RESET	—	输出	复位信号	$\overline{RESET}$
—	$\overline{RESET}$	输出		
—	TOOL0	输入 / 输出	发送 / 接收信号	TOOL0
SI/RxD	—	输入 / 输出	发送 / 接收信号	

注 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚接地。

备注 连接目标引脚因产品而不同。详细内容请参照表 23-1。

23.2 使用外部器件 （内置 UART）的编程方法

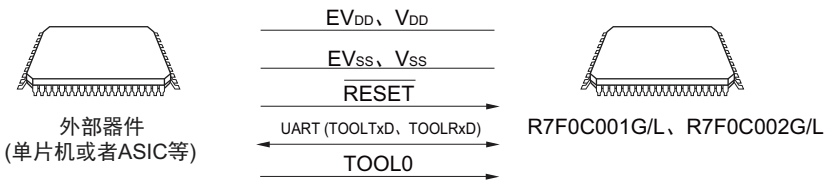
能使用 R7F0C001G/L、 R7F0C002G/L 和连接 UART 的外部器件 （单片机或者 ASIC）对内部闪存进行数据的板上编程。

有关用户闪存编程器的开发，请参照 RL78 单片机 （RL78 协议 A）编程器的应用说明 （R01AN0815）。

23.2.1 编程环境

R7F0C001G/L、 R7F0C002G/L 闪存的编程环境如下所示。

图 23-3 闪存的编程环境



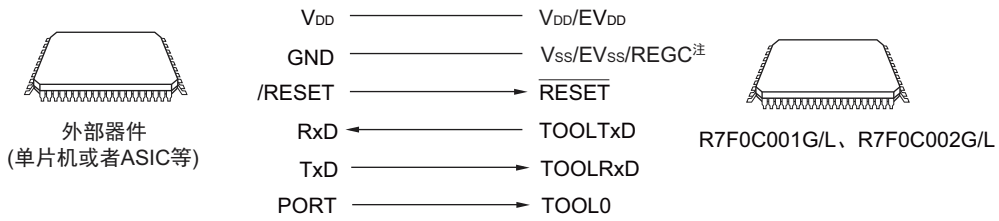
外部器件对 R7F0C001G/L、 R7F0C002G/L 进行板上编程和擦除，但是不能进行板外编程。

23.2.2 通信方式

外部器件和 R7F0C001G/L、 R7F0C002G/L 的通信使用 R7F0C001G/L、 R7F0C002G/L 的 TOOLTxD 引脚和 TOOLRxD 引脚，通过专用的 UART 进行串行通信。

传送速率：1M、 500k、 250k、 115.2kbps

图 23-4 和外部器件的通信



注 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚接地。

外部器件对 R7F0C001G/L、 R7F0C002G/L 生成以下信号。

表 23-3 引脚连接一览表

外部器件			R7F0C001G/L、 R7F0C002G/L
信号名	输入 / 输出	引脚功能	引脚名
V_{DD}	输入 / 输出	V_{DD} 电压生成 / 电压监视	V_{DD}、 EV_{DD}
GND	—	接地	V_{SS}、 EV_{SS}、 REGC 注
RESETOUT	输出	复位信号输出	$\overline{RESET}$
RxD	输入	接收信号	TOOLTxD
TxD	输出	发送信号	TOOLRxD
PORT	输出	模式信号	TOOL0

注 必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚接地。

23.3 电路板上的引脚处理

要通过闪存编程器进行板上闪存编程时，必须在目标系统上设置连接专用闪存编程器的连接器，并且在电路板上设置从通常运行模式到闪存编程模式的切换功能。

如果转移到闪存编程模式，闪存编程时未使用的全部引脚就保持刚复位后的相同状态。因此，如果外部器件不认可刚复位后的状态，就需要进行引脚处理。

备注 有关闪存编程模式，请参照 “23.6 自编程 ”。

23.3.1 P40/TOOL0 引脚

在闪存编程模式中，必须在外部通过 1kΩ 电阻将此引脚上拉并且连接到专用的闪存编程器。

当此引脚用作端口引脚时，必须按照以下方法使用此引脚。

用作输入引脚：在解除引脚复位时的 1ms 期间，不能输入低电平。另外，在通过下拉使用此引脚时，使用的电阻必须至少为 500kΩ。

用作输出引脚：在通过下拉使用此引脚时，使用的电阻必须至少为 500kΩ。

备注 1. t_{HD}：在转移到闪存编程模式时，从解除外部 / 内部复位后 TOOL0 引脚保持低电平的时间。参照 “27.11 闪存编程模式的转移时序 ”。

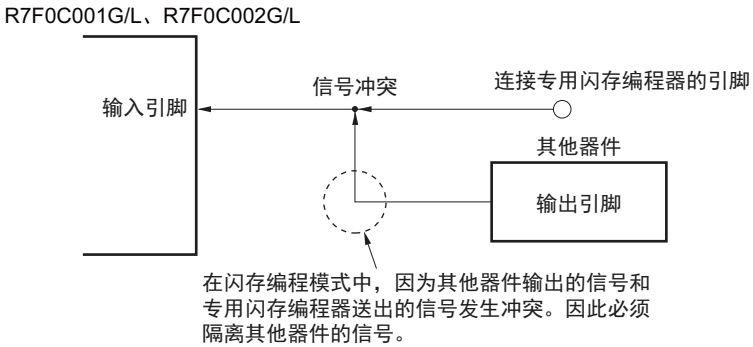
2. 因为 R7F0C001G/L、 R7F0C002G/L 和专用闪存编程器的通信使用单线 UART （TOOL0 引脚），所以不使用 SAU 或者 IICA 引脚。

23.3.2 $\overline{\text{RESET}}$ 引脚

如果在电路板上将专用闪存编程器和外部器件的复位信号连接到与复位信号生成电路相连的 $\overline{\text{RESET}}$ 引脚，就会发生信号冲突。为了避免此信号冲突，必须隔离与复位信号生成电路的连接。

在闪存编程模式的期间，如果从用户系统输入复位信号，就不能进行正常的编程，因此除了专用闪存编程器和外部器件的复位信号以外，不能输入其他复位信号。

图 23-5 信号冲突 （$\overline{\text{RESET}}$ 引脚）



23.3.3 端口引脚

如果转移到闪存编程模式，闪存编程时未使用的全部引脚就保持刚复位后的相同状态。因此，如果连接各端口的外部器件不认可刚复位后的端口状态，就需要通过电阻将引脚连接 V_{DD} 或者 EV_{DD}，或者通过电阻将引脚连接 V_{SS} 或者 EV_{SS} 进行引脚处理。

23.3.4 REGC 引脚

和通常运行模式相同，必须通过电容器 （0.47 ～ 1μF）将 REGC 引脚连接 GND。另外，为了稳定内部电压，必须使用特性好的电容器。

23.3.5 X1 引脚和 X2 引脚

X1、 X2 的连接方法必须和通常运行模式相同。

备注 在闪存编程模式中，使用高速内部振荡器时钟 （f_{IH}）。

23.3.6 电源

当使用闪存编程器输出的电源时，必须将 V_{DD} 引脚连接闪存编程器的 V_{DD}，并且将 V_{SS} 引脚连接闪存编程器的 GND。

当使用电路板上的电源时，比须按照通常运行模式进行连接。

但是，在通过闪存编程器进行编程时，即使使用电路板上的电源电压，也必须将 V_{DD} 引脚和 V_{SS} 引脚分别连接闪存编程器的 V_{DD} 和 GND，以便通过闪存编程器监视电压。

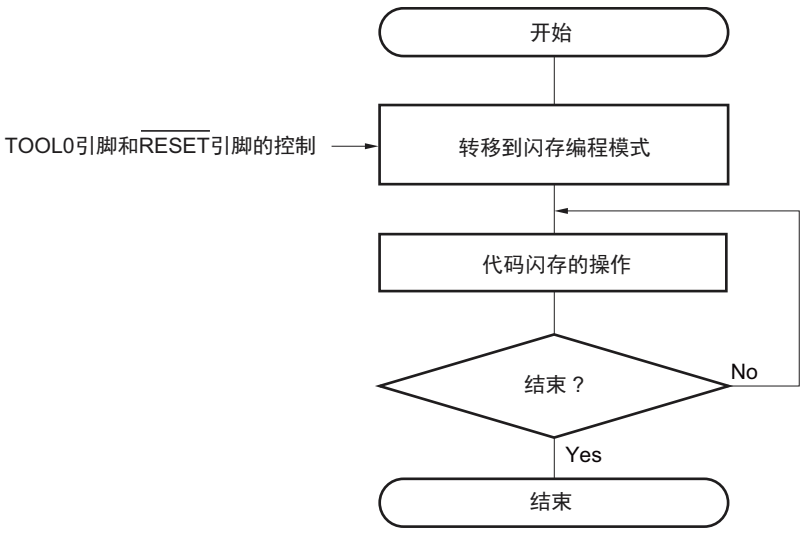
必须给其他电源 （EV_{DD}、 EV_{SS}）提供和 V_{DD}、 V_{SS} 相同的电源。

23.4 串行编程方法

23.4.1 串行编程步骤

通过串行编程执行代码闪存编程的步骤如图 23-6 所示。

图 23-6 代码闪存的操作步骤



23.4.2 闪存编程模式

通过串行编程改写代码闪存的内容时，必须设定为闪存编程模式。要转移到闪存编程模式时，必须按照以下方法进行。

＜使用专用闪存编程器进行串行编程的情况＞

将 R7F0C001G/L、 R7F0C002G/L 与专用闪存编程器连接。通过与专用闪存编程器的通信，自动转移到闪存编程模式。

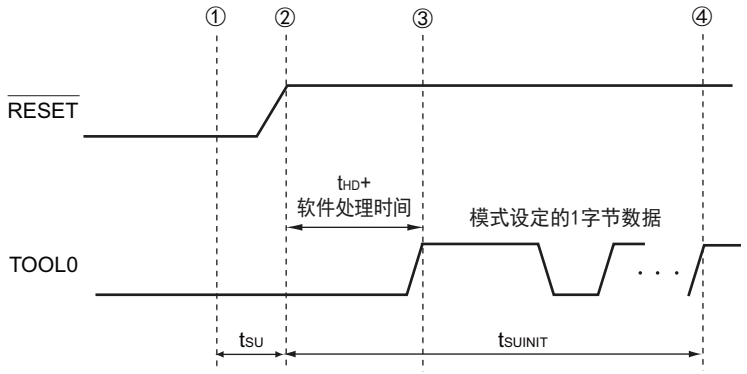
＜使用外部器件 （UART 通信）进行串行编程的情况＞

在将 TOOL0 引脚置为低电平后解除复位 （参照表 23-4）。此后，按照图 23-7 所示的步骤①～④转移到闪存编程模式。详细内容请参照 《RL78 Microcontrollers (RL78 Protocol A) Programmer Edition》 Application Note （R01AN0815）。

表 23-4 复位解除时的 TOOL0 引脚与运行模式的关系

TOOL0	运行模式
EV_{DD}	通常运行模式
0V	闪存编程模式

图 23-7 向闪存编程模式的转移



① 给TOOL0引脚输入低电位。
② 解除外部复位 （在此之前需要解除POR和LVD复位）。
③ 解除TOOL0引脚的低电平。
④ 通过UART接收结束波特率的设定。

备注 t_{SUINIT}：在此区间，必须在解除复位后的 100ms 之内完成初始设定的通信。
t_{SU}： 这是从将TOOL0引脚置低电平到解除外部复位为止的时间。
t_{HD}： 这是从解除外部/内部复位后TOOL0引脚保持低电平的时间 （闪存固件处理时间除外）。

详细内容请参照 “27.11 闪存编程模式的转移时序 ”。

闪存编程模式包括 2 个模式，分别是宽电压模式和全速模式。模式的选择取决于编程时向单片机提供的电源电压值和转移到闪存编程模式时的用户选项字节的设定信息。

另外，在使用专用闪存编程器进行串行编程时，能通过在 GUI 上设定电压自动选择模式。

表 23-5 编程模式和可进行编程、擦除或者校验的电压

电源电压 （V_{DD}）	转移到闪存编程模式时的选项字节的设定		闪存编程模式
	闪存运行模式	工作频率	
2.7V ≤ V_{DD} ≤ 5.5V	空白状态		全速模式
	HS （高速主）模式	1MHz ～ 32MHz	全速模式
	LS （低速主）模式	1MHz ～ 8MHz	宽电压模式
	LV （低电压主）模式	1MHz ～ 4MHz	宽电压模式
2.4V ≤ V_{DD} < 2.7V	空白状态		全速模式
	HS （高速主）模式	1MHz ～ 16MHz	全速模式
	LS （低速主）模式	1MHz ～ 8MHz	宽电压模式
	LV （低电压主）模式	1MHz ～ 4MHz	宽电压模式
1.8V ≤ V_{DD} < 2.4V	空白状态		宽电压模式
	LS （低速主）模式	1MHz ～ 8MHz	宽电压模式
	LV （低电压主）模式	1MHz ～ 4MHz	宽电压模式

备注 1. 在宽电压模式和全速模式并用的情况下进行编程、擦除或者校验时，没有任何限制事项。
2. 有关通信命令的详细内容，请参照 “23.4.4 通信命令 ”。

23.4.3 通信模式

R7F0C001G/L、 R7F0C002G/L 的通信模式如下所示。

表 23-6 通信模式

通信方式	标准设定注 1				使用的引脚
	端口	速率注 2	频率	乘率	
单线 UART（使用闪存编程器或者外部器件时）	UART	115200bps、250000bps、500000bps、1Mbps	—	—	TOOL0
专用 UART（使用外部器件时）	UART	115200bps、250000bps、500000bps、1Mbps	—	—	TOOLTxD、TOOLRxD

注 1. 这是与闪存编程器 GUI 标准设定相关的设定项目。

2. 除了波特率误差以外，信号波形的失真等也会影响 UART 通信，因此必须在充分评估后使用。

23.4.4 通信命令

R7F0C001G/L、 R7F0C002G/L 通过表 23-7 所示的命令执行串行编程。

从专用闪存编程器或者外部器件发送到 R7F0C001G/L、 R7F0C002G/L 的信号称为“命令”，并且执行与该命令对应的各功能处理。详细内容请参照 《RL78 Microcontrollers (RL78 Protocol A) Programmer Edition》 Application Note （R01AN0815）。

表 23-7 闪存控制命令

分类	命令名称	功能
校验	Verify	将指定闪存区的内容和从编程器送来的数据进行比较。
擦除	Block Erase	擦除指定的闪存区。
空白检查	Block Blank Check	检查指定块的闪存擦除状态。
编程	Programming	将数据写到指定的闪存区注。
信息取得	Silicon Signature	取得 R7F0C001G/L、R7F0C002G/L 的信息（例如：产品名、闪存结构、用于编程的固件版本等）。
	Checksum	取得指定区域的校验和。
安全	Security Set	设定安全信息。
	Security Get	取得安全信息。
	Security Release	解除禁止编程的设定。
其他	Reset	用于通信的同步检测。
	Baud Rate Set	设定选择 UART 时的波特率。

注 必须确认在编程区域中没有写入数据。因为在设定为禁止块擦除后就无法进行擦除，所以在没有擦除数据时，不能写数据。

如果执行 “Silicon Signature” 命令，就能取得产品信息 （产品名、固件版本等）。
识别标志数据一览表和识别标志数据的例子分别如表 23-8 和表 23-9 所示。

表 23-8 识别标志数据一览表

字段名	内容	发送字节数
器件代码	分配给器件的序列号	3 字节
器件名	器件名 （ASCII 码）	10 字节
代码闪存区的结束地址	代码闪存区的结束地址 （从地址的低位开始发送。例：00000H ～ 07FFFH （32KB） →FFH、 7FH、 00H）	3 字节
数据闪存区的结束地址	数据闪存区的结束地址 （从地址的低位开始发送。例：F1000H ～ F17FFH （2KB） →FFH、 17H、 0FH）	3 字节
固件版本	用于编程的固件版本信息 （从版本的高位开始发送。例：Ver.1.23→01H、 02H、 03H）	3 字节

表 23-9 识别标志数据的例子

字段名	内容	发送字节数	数据 （十六进制）
器件代码	RL78 协议 A	3 字节	10 00 06
器件名	R7F0C002L	10 字节	52 = “R” 37 = “7” 46 = “F” 30 = “0” 43 = “C” 30 = “0” 30 = “0” 32 = “2” 4C = “L” 20 = “ ”
代码闪存区的结束地址	代码闪存区 00000H ～ 07FFFH （32KB）	3 字节	FF 7F 00
数据闪存区的结束地址	数据闪存区 F1000H ～ F17FFH （2KB）	3 字节	FF 17 0F
固件版本	Ver.1.23	3 字节	01 02 03

23.5 使用 PG-FP5 时的各命令处理时间 （参考值）

使用专用闪存编程器 PG-FP5 时的各命令处理时间 （参考值）如表 23-10 所示。

表 23-10 使用 PG-FP5 时的各命令处理时间 （参考值）

PG-FP5 的命令	代码闪存	
	16K 字节	32K 字节
擦除	1.5s	1.5s
编程	1.5s	2s
校验	1.5s	1.5s
擦除后编程	2s	2.5s

备注 命令处理时间 （参考值）为 TYP. 值。条件如下所示。

端口： TOOL0 （单线 UART）

速率： 1000000bps

模式： 全速模式 （闪存运行模式：HS （高速主）模式）

23.6 自编程

R7F0C001G/L、R7F0C002G/L 支持自编程功能，能通过用户程序改写代码闪存。由于此功能可通过闪存自编程库实现在用户应用程序改写代码闪存，因此能在现场进行程序升级等。

注意 1. 当 CPU 以副系统时钟运行时，不能使用自编程功能。

2. 为了在自编程过程中禁止中断，必须和通常运行模式中一样，在通过 DI 指令将 IE 标志清 “0” 的状态下执行闪存自编程库。

   在允许中断的情况下，必须在通过 EI 指令将 IE 标志置 “1” 的状态下将接受中断的中断屏蔽标志清 “0”，然后执行闪存自编程库。

3. 在自编程过程中，需要使高速内部振荡器振荡。当高速内部振荡器处于停止状态时，必须使高速内部振荡器时钟运行 （HIOSTOP=0），并且在经过 30μs 后执行闪存自编程库。

备注 1. 有关自编程功能的详细内容，请参照 《RL78 Family Flash Self Programming Library Type01》 User’s Manual （R01US0050）。

2. 有关自编程的执行处理时间，请参照闪存自编程库工具附属的使用时的注意点。

另外，自编程功能包括 2 种模式，根据闪存编程模式分为宽电压模式和全速模式。

根据选项字节 000C2H 的 CMODE1 和 CMODE0 设定的闪存运行模式，设定其中一种模式。

在设定为 HS （高速主）模式时，必须设定为全速模式；在设定为 LS （低速主）模式和 LV （低电压主）模式时，必须设定为宽电压模式。

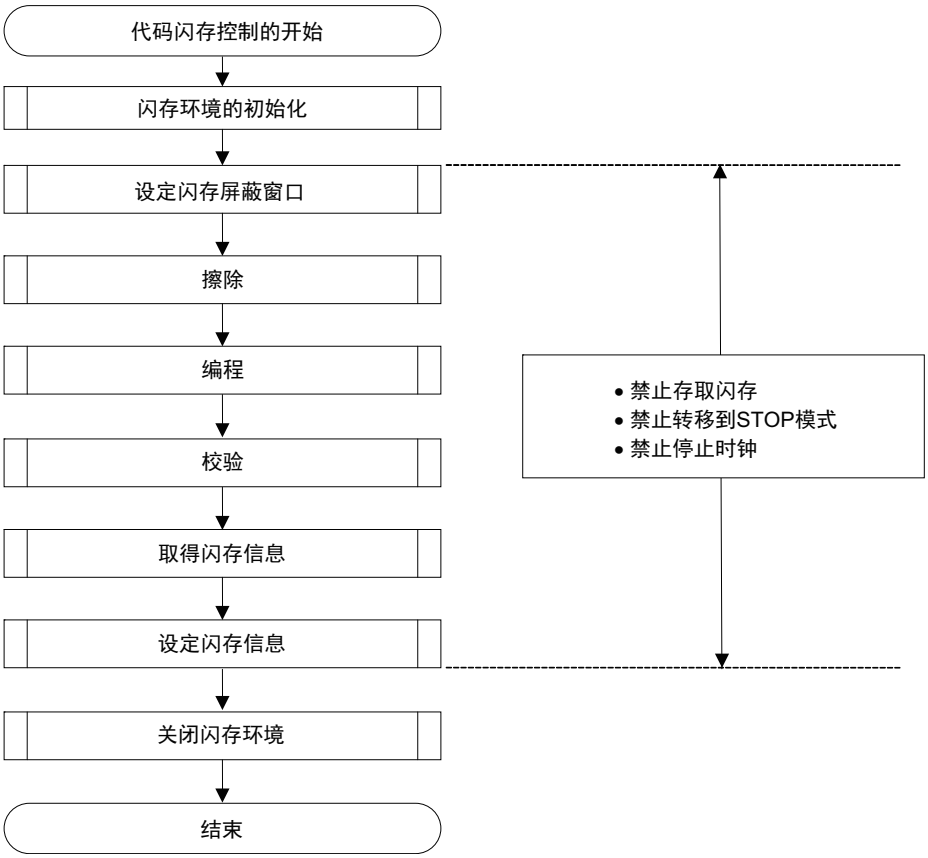
在执行本公司提供的闪存自编程库的 “FSL_Init” 函数时，如果参数 “fsl_flash_voltage_u08” 为 “00H”，就设定为全速模式，不为 “00H”，就设定为宽电压模式。

备注 在宽电压模式和全速模式并用的情况下进行编程、删除或者校验时，没有任何限制事项。

23.6.1 自编程步骤

使用闪存自编程库改写代码闪存的步骤如图 23-8 所示。

图 23-8 自编程 （改写代码闪存）流程



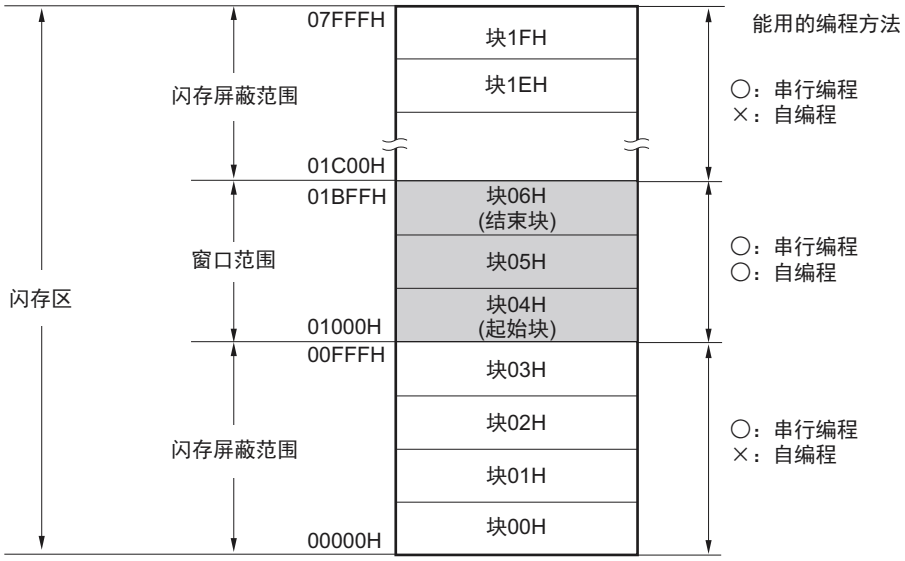
23.6.2 闪存屏蔽窗口功能

闪存屏蔽窗口功能作为自编程的一个安全功能，只在自编程时禁止对指定的窗口范围以外的区域进行编程和擦除。

能通过指定起始块和结束块来设定窗口范围。能在串行编程以及自编程时设定或者更改窗口范围的指定。

在自编程时，禁止对窗口范围以外的区域进行编程和擦除。但是，在串行编程时，也能对指定窗口范围以外的区域进行编程和擦除。

图 23-9 闪存屏蔽窗口的设定例子
（对象器件：R7F0C002G、 R7F0C002L，起始块：04H，结束块：06H）



注意 1. 如果引导簇 0 的禁止改写区和闪存屏蔽窗口范围重叠，就优先禁止改写引导簇 0。

2. 只能对代码闪存设定闪存屏蔽窗口 （不支持数据闪存）。

表 23-11 闪存屏蔽窗口功能的设定 / 更改方法和命令的关系

编程条件	窗口范围的设定 / 更改方法	执行的命令	
		块擦除	编程
自编程	通过闪存自编程库指定窗口的起始块和结束块。	只能擦除窗口范围内的块。	只能对窗口范围以内的区域进行编程。
串行编程	使用专用闪存编程器的 GUI 等指定窗口的起始块和结束块。	也能擦除窗口范围以外的块。	也能对窗口范围以外的区域进行编程。

备注 要禁止串行编程时的编程或者擦除时，请参照 “23.7 安全设定 ”。

23.7 安全设定

R7F0C001G/L、 R7F0C002G/L 支持安全功能，此安全功能禁止改写代码闪存中的用户程序，并且能防止第三方篡改程序。

能通过使用 Security Set 命令进行以下的操作。

- 禁止块擦除
  在进行串行编程时，禁止执行闪存中的块擦除命令。但是，在自编程时能进行块擦除。

- 禁止编程
  在进行串行编程时，禁止对代码闪存中的全部块执行编程命令。但是，在自编程时能进行编程。
  在设定为禁止编程后，通过 Security Release 命令进行的解除在复位后有效。

- 禁止改写引导簇 0
  禁止对代码闪存中的引导簇 0 （00000H～00FFFH）执行块擦除命令和编程命令。

出厂时的初始状态为允许块擦除、编程以及改写引导簇 0。能在串行编程和自编程时设定安全功能，能同时组合使用各种安全设定。

R7F0C001G/L、 R7F0C002G/L 的安全功能有效时与擦除、编程命令的关系如表 23-12 所示。

注意 专用闪存编程器的安全功能不支持自编程。

备注 如果要禁止自编程时的编程和擦除，使用闪存屏蔽窗口功能 （详细内容请参照 23.6.2）。

表 23-12 安全功能有效时与命令的关系

(1) 串行编程的情况

有效的安全	执行的命令	
	块擦除	编程
禁止块擦除	不能进行块擦除	能进行编程注
禁止编程	能进行块擦除	不能进行编程
禁止改写引导簇 0	不能擦除引导簇 0	不能进行引导簇 0 的编程

注 必须确认编程区中没有数据。由于在禁止块擦除后无法进行擦除，所以当数据没有被擦除时，不能进行数据编程。

(2) 自编程的情况

有效的安全	执行的命令	
	块擦除	编程
禁止块擦除	能进行擦除块	能进行编程
禁止编程		
禁止改写引导簇 0	不能擦除引导簇 0	不能进行引导簇 0 的编程

备注 如果要禁止自编程时的编程和擦除，使用闪存屏蔽窗口功能 （详细内容请参照 23.6.2）。

表 23-13 各编程模式中的安全设定方法

(1) 串行编程的情况

安全	安全设定方法	如何使安全设定无效
禁止块擦除	使用专用闪存编程器的 GUI 等进行设定	在设定后无法置为无效
禁止编程		使用专用闪存编程器的 GUI 等进行设定
禁止改写引导簇 0		在设定后无法置为无效

注意 只有在没有设定为“禁止块擦除”或者“禁止改写引导簇 0”并且代码闪存区和数据闪存区为空白时，能解除“禁止编程”的设定。

(2) 自编程的情况

安全	安全设定方法	如何使安全设定无效
禁止块擦除	通过闪存自编程库进行设定	在设定后无法置为无效。
禁止编程		在自编程时无法置为无效（在串行编程时，使用专用闪存编程器的 GUI 等进行设定）。
禁止改写引导簇 0		在设定后无法置为无效。

23.8 数据闪存

23.8.1 数据闪存的概要

数据闪存的概要如下。

- 能通过使用闪存数据库在用户程序中改写数据闪存。详细内容请参照 《RL78 Family Flash Data Library User's Manual》。
- 也能在通过专用闪存编程器或者外部器件进行的串行编程中改写数据闪存。
- 能以1K字节为单位进行块擦除。
- 只能以8位为单位存取数据闪存。
- 能通过CPU指令直接读取数据闪存。
- 在改写数据闪存的过程中，能执行代码闪存中的指令 （支持后台操作 （BGO））。
- 因为数据闪存为数据专用区域，所以禁止执行数据闪存中的指令。
- 在改写代码闪存的过程中 （自编程的情况），禁止存取数据闪存。
- 在改写数据闪存的过程中，禁止操作DFLCTL寄存器。
- 在改写数据闪存的过程中，禁止转移到STOP模式。

注意 1. 复位解除后，数据闪存为停止状态。如果要使用数据闪存，必须设定数据闪存控制寄存器 （DFLCTL）。

2. 在改写数据闪存的过程中，需要使高速内部振荡器振荡。当高速内部振荡器处于停止状态时，必须使高速内部振荡器时钟运行 （HIOSTOP=0），并且在经过 30μs 后执行闪存数据库。

备注 有关改写用户程序中的代码闪存，请参照 “23.6 自编程 ”。

23.8.2 数据闪存的控制寄存器

23.8.2.1 数据闪存控制寄存器 （DFLCTL）

此寄存器设定允许或者禁止存取数据闪存。

通过 1 位或者 8 位存储器操作指令设定 DFLCTL 寄存器。

在产生复位信号后，此寄存器的值变为 “00H”。

图 23-10 数据闪存控制寄存器的格式 （DFLCTL）

地址：F0090H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	数据闪存的存取控制
0	禁止存取数据闪存。
1	允许存取数据闪存。

注意 在改写数据闪存的过程中，禁止操作 DFLCTL 寄存器。

23.8.3 数据闪存的存取步骤

在复位解除后，数据闪存为停止状态。如果要存取数据闪存，必须按照以下步骤进行初始设定。

① 给数据闪存控制寄存器 （DFLCTL）的bit0 （DFLEN）写“1”。
② 通过软件定时器等来等待准备时间。
准备时间因主时钟的各闪存的运行模式而不同。
＜各闪存的运行模式中的准备时间＞
- HS （高速主）： 5μs
- LS （低速主）： 720ns
- LV （低电压主）：10μs

③ 在等待准备时间后，能存取数据闪存。

注意 1. 在准备时间内，禁止存取数据闪存。
2. 禁止在准备时间内转移到 STOP 模式。如果要在准备时间内转移到 STOP 模式，必须将 DFLEN 位置 “0”，然后执行 STOP 指令。
3. 在改写数据闪存的过程中，需要使高速内部振荡器振荡。当高速内部振荡器处于停止状态时，必须使高速内部振荡器时钟运行 （HIOSTOP=0），并且在经过 30μs 后执行闪存数据库。

在进行初始设定后，能通过 CPU 命令读数据闪存，还能通过闪存数据库读 / 改写数据闪存。

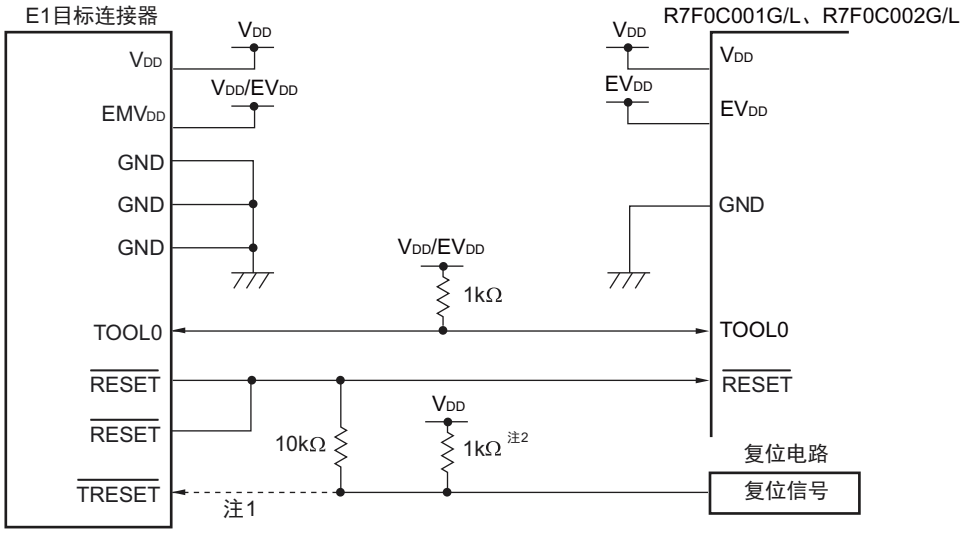
第 24 章 片上调试功能

24.1 E1 片上调试仿真器和 R7F0C001G/L、 R7F0C002G/L 的连接

当 R7F0C001G/L、 R7F0C002G/L 通过支持片上调试的 E1 片上调试仿真器与主机进行通信时，使用 V_{DD}、$\overline{RESET}$、 TOOL0、 V_{SS} 引脚。通过使用 TOOL0 引脚的单线 UART 进行串行通信。

注意 R7F0C001G/L、 R7F0C002G/L 内置用于开发和评估的片上调试功能。如果使用片上调试功能，就可能会超过闪存的保证改写次数而无法保证产品的可靠性，因此批量生产的产品不能使用片上调试功能。对于使用片上调试功能的产品，不作为投诉受理对象。

图 24-1 E1 片上调试仿真器和 R7F0C001G/L、 R7F0C002G/L 的连接例子



注 1. 在闪存编程时，虚线部分不需要连接。

2. 如果目标系统的复位电路没有缓冲器而只通过电阻和电容生成复位信号，就不需要此上拉电阻。

注意 这是假设复位信号的输出为 N 沟道漏极开路缓冲器 （输出电阻不大于 100Ω）的电路例子。

24.2 片上调试安全 ID

为了防止他人读取存储器的内容，R7F0C001G/L、R7F0C002G/L 在闪存 000C3H 中提供了片上调试运行控制位 （参照“**第 22 章 选项字节**”），并且在 000C4H ～ 000CDH 中提供了片上调试安全 ID 设定区。

表 24-1 片上调试安全 ID

地址	片上调试安全 ID 码
000C4H ～ 000CDH	任意 10 字节的 ID 码

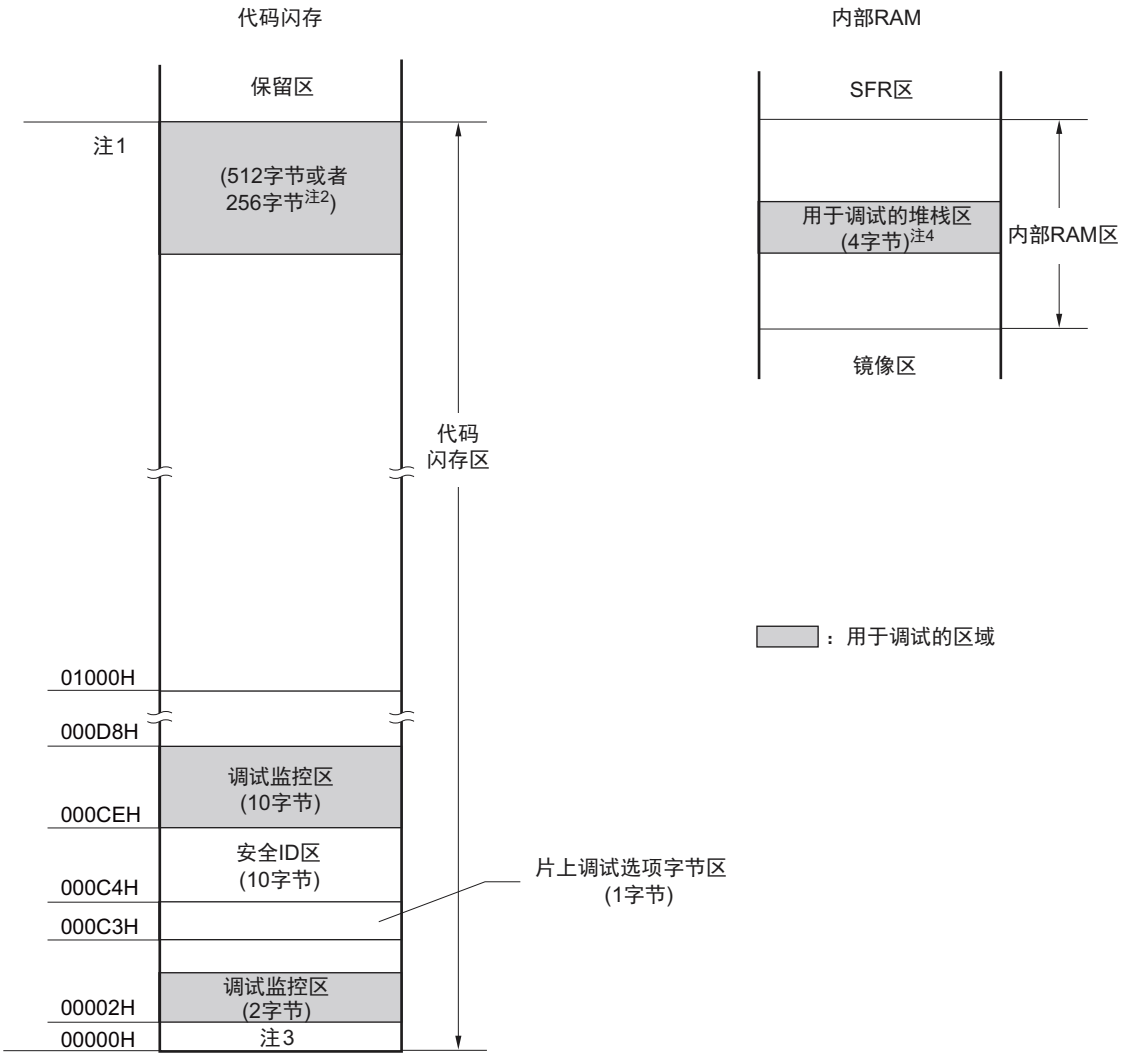
24.3 用户资源的确保

为了实现 R7F0C001G/L、R7F0C002G/L 与 E1 片上调试仿真器的通信和各种调试功能，需提前确保存储空间。当使用本公司的汇编程序和编译程序时，能通过链接程序的选项进行设定。

(1) 存储空间的确保

图 24-2 的灰色部分表示的区域保存用于调试的监控程序，是不能保存户程序或者数据的空间。要使用片上调试功能时，需要确保不使用此空间的区域，而且不能在用户程序中改写此空间。

图 24-2 保存调试监控程序的存储空间



注 1. 如下所示，地址因产品而不同。

产品名 （代码闪存容量）	注 1 的地址
R7F0C001G、 R7F0C001L	03FFFH
R7F0C002G、 R7F0C002L	07FFFH

2. 在不使用实时 RAM 监控 （RRM）功能和 Dynamic Memory Modification （DMM）功能时，为 256 字节。
3. 在调试时，复位向量被改写为监控程序的分配地址。
4. 此区域分配在堆栈区之后，因此用于调试的堆栈区地址随着堆栈的增减而变。即，对于使用的堆栈，额外占用 4 字节。在自编程时，额外占用 12 字节。

第 25 章 十进制校正 （BCD）电路

25.1 十进制校正电路的功能

能以 BCD 码 （二进制编码的十进制）计算 BCD 码和 BCD 码相加减的结果。

在执行以 A 寄存器为操作数的加减运算指令后，通过加减 BCD 校正结果寄存器 （BCDADJ）的值，计算十进制的校正运算结果。

25.2 十进制校正电路使用的寄存器

十进制校正电路使用以下的寄存器。

- BCD校正结果寄存器 （BCDADJ）

(1) BCD 校正结果寄存器 （BCDADJ）

通过以 A 寄存器为操作数的加减运算指令，将用于计算 BCD 码加减运算结果的校正值保存到 BCDADJ 寄存器。

BCDADJ 寄存器的读取值因读时的 A 寄存器、 CY 标志和 AC 标志的值而变。

通过 8 位存储器操作指令读 BCDADJ 寄存器。

通过产生复位信号，此寄存器的值变为不定值。

图 25-1 BCD 校正结果寄存器 （BCDADJ）的格式

地址：F00FEH 复位后：不定值 R

符号	7	6	5	4	3	2	1	0
BCDADJ								

25.3 十进制校正电路的运行

十进制校正电路的基本运行如下所示。

(1) 加法 以 BCD 码值计算 BCD 码值加上 BCD 码值的结果

① 将要相加的BCD码值 （被加值）保存到A寄存器。
② 以二进制将A寄存器的值和第2个操作数 （另一个要相加的BCD码值，加数）相加，二进制的运算结果保存在A寄存器，校正值保存在BCD校正结果寄存器 （BCDADJ）。
③ 以二进制将A寄存器的值 （二进制的加法运算结果）和BCDADJ寄存器的值 （校正值）相加进行十进制校正运算，校正结果保存在A寄存器和CY标志。

注意 BCDADJ 寄存器的读取值因读时的 A 寄存器、 CY 标志和 AC 标志的值而变。因此，必须在②的指令后不执行其他指令而执行③的指令。要在允许中断的状态下进行 BCD 校正时，需要在中断函数中进行 A 寄存器的压栈和退栈。通过 RETI 指令恢复 PSW （CY 标志、 AC 标志）。

例子如下所示。

例 1 99+89=188

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例 2 85+15=100

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例 3 80+80=160

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 减法 以 BCD 码值计算 BCD 码值减去 BCD 码值的结果

① 将要减去的BCD码值 （被减值）保存到A寄存器。
② 以二进制将 A 寄存器的值减去第 2 个操作数 （要减去的BCD 码值，减数），二进制的运算结果保存在A寄存器，校正值保存在BCD校正结果寄存器 （BCDADJ）。
③ 以二进制将A寄存器的值 （二进制的减法运算结果）减去BCDADJ寄存器的值 （校正值）进行十进制校正运算，校正结果保存在A寄存器和CY标志。

注意 BCDADJ 寄存器的读取值因读时的 A 寄存器、 CY 标志和 AC 标志的值而变。因此，必须在②的指令后不执行其他指令而执行③的指令。要在允许中断的状态下进行 BCD 校正时，需要在中断函数中进行 A 寄存器的压栈和退栈。通过 RETI 指令恢复 PSW （CY 标志、 AC 标志）。

例子如下所示。

例 91–52=39

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第 26 章 指令集的概要

R7F0C001G/L、 R7F0C002G/L 的指令集表示在一览表中。有关各指令的详细动作和机器码 （指令码），请参照 《RL78 family User's Manual: Software》（R01US0015）。

26.1 凡例

26.1.1 操作数的表现形式和记述方法

根据指令操作数的表现形式所对应的记述方法，在各指令的操作数栏中记述了操作数 （详细内容请参照汇编程序规格）。当在记述方法中存在多个内容时，选择其中一个。大写字母以及 #、 !、 !!、 $、 $!、 [ ] 和 ES: 的符号为关键字，应按照原样记述。符号的说明如下：

- #： 指定立即数。
- !： 指定 16 位绝对地址。
- !!： 指定 20 位绝对地址。
- $： 指定 8 位相对地址。
- $!： 指定 16 位相对地址。
- [ ]： 指定间接地址。
- ES:： 指定扩展地址。

对于立即数，记述适当的数值或者标号。在使用标号时，必须记述 #、 !、 !!、 $、 $!、 [ ] 和 ES: 的符号。

对于操作数的寄存器记述形式 r 和 rp，能使用功能名 （X、 A、 C 等）或者绝对名 （表 26-1 中括号内的名称，如 R0、 R1、 R2 等）进行记述。

表 26-1 操作数的表现形式和记述方法

表现形式	记述方法
r	X(R0)、 A(R1)、 C(R2)、 B(R3)、 E(R4)、 D(R5)、 L(R6)、 H(R7)
rp	AX(RP0)、 BC(RP1)、 DE(RP2)、 HL(RP3)
sfr	特殊功能寄存器的符号 （SFR 符号）FFF00H ～ FFFFFH
sfrp	特殊功能寄存器的符号 （可进行 16 位操作的 SFR 符号，只限于偶数地址注）FFF00H ～ FFFFFH
saddr	FFE20H ～ FFF1FH 立即数或者标号
saddrp	FFE20H ～ FFF1FH 立即数或者标号 （只限于偶数地址注）
addr20	00000H ～ FFFFFH 立即数或者标号
addr16	0000H ～ FFFFH 立即数或者标号 （在 16 位数据时，只限于偶数地址注）
addr5	0080H ～ 00BFH 立即数或者标号 （只限于偶数地址注）
word	16 位立即数或者标号
byte	8 位立即数或者标号
bit	3 位立即数或者标号
RBn	RB0 ～ RB3

注 当指定奇数地址时， bit0 为 “0”。

备注 能用符号将特殊功能寄存器记述为操作数 sfr。有关特殊功能寄存器的符号，请参照 “ 表 3-5 SFR 一览表 ”。
能用符号将扩展特殊功能寄存器记述为操作数!addr16。有关扩展特殊功能寄存器的符号，请参照“表3-6 扩展 SFR （2nd SFR）一览表”。

26.1.2 操作栏的说明

在各指令的操作栏中，用以下符号表示指令执行时的动作。

表 26-2 操作栏的符号

符号	功能
A	A 寄存器：8 位累加器
X	X 寄存器
B	B 寄存器
C	C 寄存器
D	D 寄存器
E	E 寄存器
H	H 寄存器
L	L 寄存器
ES	ES 寄存器
CS	CS 寄存器
AX	AX 寄存器对：16 位累加器
BC	BC 寄存器对
DE	DE 寄存器对
HL	HL 寄存器对
PC	程序计数器
SP	堆栈指针
PSW	程序状态字
CY	进位标志
AC	辅助进位标志
Z	零标志
RBS	寄存器组选择标志
IE	中断请求允许标志
()	() 内的地址或者寄存器的内容所示的存储器内容
X_H、 X_L X_S、 X_H、 X_L	16 位寄存器：X_H= 高 8 位、 X_L= 低 8 位 20 位寄存器：X_S （bit19 ～ 16）、 X_H （bit15 ～ 8）、 X_L （bit7 ～ 0）
∧	逻辑与 （AND）
∨	逻辑或者 （OR）
∀	异或 （exclusive OR）
—	数据取反
addr5	16 位立即数 （只限于偶数地址 0080H ～ 00BFH）
addr16	16 位立即数
addr20	20 位立即数
jdisp8	带符号的 8 位数据 （位移量）
jdisp16	带符号的 16 位数据 （位移量）

26.1.3 标志栏的说明

在各指令的标志栏中，用以下符号表示指令执行时的标志值变化。

表 26-3 标志栏的符号

符号	标志的变化
(Blank)	无变化。
0	清 “0”。
1	置 “1”。
×	根据结果置位或者复位。
R	恢复以前保存的值。

26.1.4 PREFIX 指令

ES: 所示的指令以 PREFIX 指令码为前缀，将能存取的数据区从 F0000H ～ FFFFFH 的 64K 字节空间扩展为附加 ES 寄存器值的 00000H ～ FFFFFH 的 1M 字节空间。通过将 PREFIX 指令码置于对象指令的前头，作为附加 ES 寄存器值的地址，只执行 PREFIX 指令码后的 1 条指令。

在 PREFIX 指令码和紧随其后的 1 条指令之间，不接受中断或者 DMA 传送。

表 26-4 PREFIX 指令码的使用例子

指令	指令码				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 在执行 PREFIX 指令前，必须事先通过 MOV ES, A 等设定 ES 寄存器的值。

26.2 操作一览表

表 26-5 操作一览表 (1/17)

指令群	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据传送	MOV	r, #byte	2	1	—	r←byte			
		PSW, #byte	3	3	—	PSW←byte	×	×	×
		CS, #byte	3	1	—	CS←byte			
		ES, #byte	2	1	—	ES←byte			
		!addr16, #byte	4	1	—	(addr16)←byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16)←byte			
		saddr, #byte	3	1	—	(saddr)←byte			
		sfr, #byte	3	1	—	sfr←byte			
		[DE+byte], #byte	3	1	—	(DE+byte)←byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE)+byte)←byte			
		[HL+byte], #byte	3	1	—	(HL+byte)←byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL)+byte)←byte			
		[SP+byte], #byte	3	1	—	(SP+byte)←byte			
		word[B], #byte	4	1	—	(B+word)←byte			
		ES:word[B], #byte	5	2	—	((ES, B)+word)←byte			
		word[C], #byte	4	1	—	(C+word)←byte			
		ES:word[C], #byte	5	2	—	((ES, C)+word)←byte			
		word[BC], #byte	4	1	—	(BC+word)←byte			
		ES:word[BC], #byte	5	2	—	((ES, BC)+word)←byte			
		A, r 注 3	1	1	—	A←r			
		r, A 注 3	1	1	—	r←A			
		A, PSW	2	1	—	A←PSW			
		PSW, A	2	3	—	PSW←A	×	×	×
		A, CS	2	1	—	A←CS			
		CS, A	2	1	—	CS←A			
		A, ES	2	1	—	A←ES			
		ES, A	2	1	—	ES←A			
		A, !addr16	3	1	4	A←(addr16)			
		A, ES:!addr16	4	2	5	A←(ES, addr16)			
		!addr16, A	3	1	—	(addr16)←A			
		ES:!addr16, A	4	2	—	(ES, addr16)←A			
		A, saddr	2	1	—	A←(saddr)			
		saddr, A	2	1	—	(saddr)←A			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (2/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据传送	MOV	A, sfr	2	1	—	A←sfr			
		sfr, A	2	1	—	sfr←A			
		A, [DE]	1	1	4	A←(DE)			
		[DE], A	1	1	—	(DE)←A			
		A, ES:[DE]	2	2	5	A←(ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE)←A			
		A, [HL]	1	1	4	A←(HL)			
		[HL], A	1	1	—	(HL)←A			
		A, ES:[HL]	2	2	5	A←(ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL)←A			
		A, [DE+byte]	2	1	4	A←(DE + byte)			
		[DE+byte], A	2	1	—	(DE+byte)←A			
		A, ES:[DE+byte]	3	2	5	A←((ES, DE)+byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE)+byte)←A			
		A, [HL+byte]	2	1	4	A←(HL+byte)			
		[HL+byte], A	2	1	—	(HL+byte)←A			
		A, ES:[HL+byte]	3	2	5	A←((ES, HL)+byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL)+byte)←A			
		A, [SP+byte]	2	1	—	A←(SP+byte)			
		[SP+byte], A	2	1	—	(SP+byte)←A			
		A, word[B]	3	1	4	A←(B+word)			
		word[B], A	3	1	—	(B+word)←A			
		A, ES:word[B]	4	2	5	A←((ES, B)+word)			
		ES:word[B], A	4	2	—	((ES, B)+word)←A			
		A, word[C]	3	1	4	A←(C+word)			
		word[C], A	3	1	—	(C+word)←A			
		A, ES:word[C]	4	2	5	A←((ES, C)+word)			
		ES:word[C], A	4	2	—	((ES, C)+word)←A			
		A, word[BC]	3	1	4	A←(BC+word)			
		word[BC], A	3	1	—	(BC+word)←A			
		A, ES:word[BC]	4	2	5	A←((ES, BC)+word)			
		ES:word[BC], A	4	2	—	((ES, BC)+word)←A			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (3/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据传送	MOV	A, [HL+B]	2	1	4	A←(HL+B)			
		[HL+B], A	2	1	—	(HL+B)←A			
		A, ES:[HL+B]	3	2	5	A←((ES, HL)+B)			
		ES:[HL+B], A	3	2	—	((ES, HL)+B)←A			
		A, [HL+C]	2	1	4	A←(HL+C)			
		[HL+C], A	2	1	—	(HL+C)←A			
		A, ES:[HL+C]	3	2	5	A←((ES, HL)+C)			
		ES:[HL+C], A	3	2	—	((ES, HL) + C) ← A			
		X, !addr16	3	1	4	X←(addr16)			
		X, ES:!addr16	4	2	5	X←(ES, addr16)			
		X, saddr	2	1	—	X←(saddr)			
		B, !addr16	3	1	4	B←(addr16)			
		B, ES:!addr16	4	2	5	B←(ES, addr16)			
		B, saddr	2	1	—	B←(saddr)			
		C, !addr16	3	1	4	C←(addr16)			
		C, ES:!addr16	4	2	5	C←(ES, addr16)			
		C, saddr	2	1	—	C←(saddr)			
		ES, saddr	3	1	—	ES←(saddr)			
	XCH	A, r 注 3	1 (r=X) 2 (r=X 以外)	1	—	A↔r			
		A, !addr16	4	2	—	A↔(addr16)			
		A, ES:!addr16	5	3	—	A↔(ES, addr16)			
		A, saddr	3	2	—	A↔(saddr)			
		A, sfr	3	2	—	A↔sfr			
		A, [DE]	2	2	—	A↔(DE)			
		A, ES:[DE]	3	3	—	A↔ (ES, DE)			
		A, [HL]	2	2	—	A↔ (HL)			
		A, ES:[HL]	3	3	—	A↔(ES, HL)			
		A, [DE+byte]	3	2	—	A↔(DE+byte)			
		A, ES:[DE+byte]	4	3	—	A↔((ES, DE)+byte)			
		A, [HL+byte]	3	2	—	A↔(HL+byte)			
		A, ES:[HL+byte]	4	3	—	A↔((ES, HL)+byte)			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (4/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据传送	XCH	A, [HL+B]	2	2	—	A↔(HL+B)			
		A, ES:[HL+B]	3	3	—	A↔((ES, HL)+B)			
		A, [HL+C]	2	2	—	A↔(HL+C)			
		A, ES:[HL+C]	3	3	—	A↔((ES, HL)+C)			
	ONEB	A	1	1	—	A←01H			
		X	1	1	—	X←01H			
		B	1	1	—	B←01H			
		C	1	1	—	C←01H			
		!addr16	3	1	—	(addr16)←01H			
		ES:!addr16	4	2	—	(ES, addr16)←01H			
		saddr	2	1	—	(saddr)←01H			
	CLRB	A	1	1	—	A←00H			
		X	1	1	—	X←00H			
		B	1	1	—	B←00H			
		C	1	1	—	C←00H			
		!addr16	3	1	—	(addr16)←00H			
		ES:!addr16	4	2	—	(ES,addr16)←00H			
		saddr	2	1	—	(saddr)←00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte)←X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL+byte)←X	×		×
16 位数据传送	MOVW	rp, #word	3	1	—	rp←word			
		saddrp, #word	4	1	—	(saddrp)←word			
		sfrp, #word	4	1	—	sfrp←word			
		AX, rp 注 3	1	1	—	AX←rp			
		rp, AX 注 3	1	1	—	rp←AX			
		AX, !addr16	3	1	4	AX←(addr16)			
		!addr16, AX	3	1	—	(addr16)←AX			
		AX, ES:!addr16	4	2	5	AX←(ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16)←AX			
		AX, saddrp	2	1	—	AX←(saddrp)			
		saddrp, AX	2	1	—	(saddrp)←AX			
		AX, sfrp	2	1	—	AX←sfrp			
		sfrp, AX	2	1	—	sfrp←AX			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. rp=AX 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (5/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位数据传送	MOVW	AX, [DE]	1	1	4	AX←(DE)			
		[DE], AX	1	1	—	(DE)←AX			
		AX, ES:[DE]	2	2	5	AX←(ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE)←AX			
		AX, [HL]	1	1	4	AX←(HL)			
		[HL], AX	1	1	—	(HL)←AX			
		AX, ES:[HL]	2	2	5	AX←(ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL)←AX			
		AX, [DE+byte]	2	1	4	AX←(DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte)←AX			
		AX, ES:[DE+byte]	3	2	5	AX←((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte)←AX			
		AX, [HL+byte]	2	1	4	AX←(HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte)←AX			
		AX, ES:[HL+byte]	3	2	5	AX←((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte)←AX			
		AX, [SP+byte]	2	1	—	AX←(SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte)←AX			
		AX, word[B]	3	1	4	AX←(B+word)			
		word[B], AX	3	1	—	(B+word)←AX			
		AX, ES:word[B]	4	2	5	AX←((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word)←AX			
		AX, word[C]	3	1	4	AX←(C+word)			
		word[C], AX	3	1	—	(C+word)←AX			
		AX, ES:word[C]	4	2	5	AX←((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word)←AX			
		AX, word[BC]	3	1	4	AX←(BC+word)			
		word[BC], AX	3	1	—	(BC+word)←AX			
		AX, ES:word[BC]	4	2	5	AX←((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word)←AX			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (6/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位数据传送	MOVW	BC, !addr16	3	1	4	BC←(addr16)			
		BC, ES:!addr16	4	2	5	BC←(ES, addr16)			
		DE, !addr16	3	1	4	DE←(addr16)			
		DE, ES:!addr16	4	2	5	DE←(ES, addr16)			
		HL, !addr16	3	1	4	HL←(addr16)			
		HL, ES:!addr16	4	2	5	HL←(ES, addr16)			
		BC, saddrp	2	1	—	BC←(saddrp)			
		DE, saddrp	2	1	—	DE←(saddrp)			
		HL, saddrp	2	1	—	HL←(saddrp)			
	XCHW	AX, rp 注 3	1	1	—	AX↔rp			
	ONEW	AX	1	1	—	AX←0001H			
		BC	1	1	—	BC←0001H			
	CLRW	AX	1	1	—	AX←0000H			
		BC	1	1	—	BC←0000H			
8 位运算	ADD	A, #byte	2	1	—	A, CY←A+byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY←(saddr)+byte	×	×	×
		A, r 注 4	2	1	—	A, CY←A+r	×	×	×
		r, A	2	1	—	r, CY←r+A	×	×	×
		A, !addr16	3	1	4	A, CY←A+(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY←A+(ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY←A+(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY←A+(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY←A+(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY←A+ (HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY←A+((ES, HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY←A+(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY←A+((ES, HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A, CY←A+(HL+C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY←A+((ES, HL)+C)	×	×	×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. rp=AX 除外。

4. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (7/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位运算	ADDC	A, #byte	2	1	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r 注 3	2	1	—	A, CY←A+r+CY	×	×	×
		r, A	2	1	—	r, CY←r+A+CY	×	×	×
		A, !addr16	3	1	4	A, CY←A+(addr16)+CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY←A+(ES, addr16)+CY	×	×	×
		A, saddr	2	1	—	A, CY←A+(saddr)+CY	×	×	×
		A, [HL]	1	1	4	A, CY←A+(HL)+CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY←A+(ES, HL)+CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY←A+(HL+byte)+CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY←A+((ES, HL)+byte)+CY	×	×	×
		A, [HL+B]	2	1	4	A, CY←A+(HL+B) +CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A+((ES, HL)+B)+CY	×	×	×
		A, [HL+C]	2	1	4	A, CY←A+(HL+C)+CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY←A+((ES, HL)+C)+CY	×	×	×
	SUB	A, #byte	2	1	—	A, CY←A–byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY←(saddr)–byte	×	×	×
		A, r 注 3	2	1	—	A, CY←A–r	×	×	×
		r, A	2	1	—	r, CY←r–A	×	×	×
		A, !addr16	3	1	4	A, CY←A–(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY←A–(ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY←A–(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY←A–(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY←A–(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY←A–(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY←A–((ES, HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY←A–(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY←A–((ES, HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A, CY←A–(HL+C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY←A–((ES, HL)+C)	×	×	×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (8/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位运算	SUBC	A, #byte	2	1	—	A, CY←A–byte–CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY←(saddr)–byte–CY	×	×	×
		A, r 注 3	2	1	—	A, CY←A–r–CY	×	×	×
		r, A	2	1	—	r, CY←r–A–CY	×	×	×
		A, !addr16	3	1	4	A, CY←A–(addr16)–CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY←A–(ES, addr16)–CY	×	×	×
		A, saddr	2	1	—	A, CY←A–(saddr)–CY	×	×	×
		A, [HL]	1	1	4	A, CY←A–(HL)–CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY←A–(ES, HL)–CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY←A–(HL+byte)–CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY←A–((ES, HL)+byte)–CY	×	×	×
		A, [HL+B]	2	1	4	A, CY←A–(HL+B)–CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY←A–((ES, HL)+B)–CY	×	×	×
		A, [HL+C]	2	1	4	A, CY←A–(HL+C)–CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY←A–((ES:HL)+C)–CY	×	×	×
	AND	A, #byte	2	1	—	A←A∧byte	×		
		saddr, #byte	3	2	—	(saddr)←(saddr)∧byte	×		
		A, r 注 3	2	1	—	A←A∧r	×		
		r, A	2	1	—	R←r∧A	×		
		A, !addr16	3	1	4	A←A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A←A∧(ES:addr16)	×		
		A, saddr	2	1	—	A←A∧(saddr)	×		
		A, [HL]	1	1	4	A←A∧(HL)	×		
		A, ES:[HL]	2	2	5	A←A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A←A∧(HL+byte)	×		
		A, ES:[HL+byte]	3	2	5	A←A∧((ES:HL)+byte)	×		
		A, [HL+B]	2	1	4	A←A∧(HL+B)	×		
		A, ES:[HL+B]	3	2	5	A←A∧((ES:HL)+B)	×		
		A, [HL+C]	2	1	4	A←A∧(HL+C)	×		
		A, ES:[HL+C]	3	2	5	A←A∧((ES:HL)+C)	×		

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (9/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位运算	OR	A, #byte	2	1	—	A←A∨byte	×		
		saddr, #byte	3	2	—	(saddr)←(saddr)∨byte	×		
		A, r 注 3	2	1	—	A←A∨r	×		
		r, A	2	1	—	r←r∨A	×		
		A, !addr16	3	1	4	A←A∨(addr16)	×		
		A, ES:!addr16	4	2	5	A←A∨(ES:addr16)	×		
		A, saddr	2	1	—	A←A∨(saddr)	×		
		A, [HL]	1	1	4	A←A∨(HL)	×		
		A, ES:[HL]	2	2	5	A←A∨(ES:HL)	×		
		A, [HL+byte]	2	1	4	A←A∨(HL+byte)	×		
		A, ES:[HL+byte]	3	2	5	A←A∨((ES:HL)+byte)	×		
		A, [HL+B]	2	1	4	A←A∨(HL+B)	×		
		A, ES:[HL+B]	3	2	5	A←A∨((ES:HL)+B)	×		
		A, [HL+C]	2	1	4	A←A∨(HL+C)	×		
		A, ES:[HL+C]	3	2	5	A←A∨((ES:HL)+C)	×		
	XOR	A, #byte	2	1	—	A←A⊻byte	×		
		saddr, #byte	3	2	—	(saddr)←(saddr)⊻byte	×		
		A, r 注 3	2	1	—	A←A⊻r	×		
		r, A	2	1	—	r←r⊻A	×		
		A, !addr16	3	1	4	A←A⊻(addr16)	×		
		A, ES:!addr16	4	2	5	A←A⊻(ES:addr16)	×		
		A, saddr	2	1	—	A←A⊻(saddr)	×		
		A, [HL]	1	1	4	A←A⊻(HL)	×		
		A, ES:[HL]	2	2	5	A←A⊻(ES:HL)	×		
		A, [HL+byte]	2	1	4	A←A⊻(HL+byte)	×		
		A, ES:[HL+byte]	3	2	5	A←A⊻((ES:HL)+byte)	×		
		A, [HL+B]	2	1	4	A←A⊻(HL+B)	×		
		A, ES:[HL+B]	3	2	5	A←A⊻((ES:HL)+B)	×		
		A, [HL+C]	2	1	4	A←A⊻(HL+C)	×		
		A, ES:[HL+C]	3	2	5	A←A⊻((ES:HL)+C)	×		

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (10/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位运算	CMP	A, #byte	2	1	—	A–byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)–byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)–byte	×	×	×
		saddr, #byte	3	1	—	(saddr)–byte	×	×	×
		A, r 注 3	2	1	—	A–r	×	×	×
		r, A	2	1	—	r–A	×	×	×
		A, !addr16	3	1	4	A–(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A–(ES:addr16)	×	×	×
		A, saddr	2	1	—	A–(saddr)	×	×	×
		A, [HL]	1	1	4	A–(HL)	×	×	×
		A, ES:[HL]	2	2	5	A–(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A–(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A–((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A–(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A–((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A–(HL+C)	×	×	×
		A, ES:[HL+C]	3	2	5	A–((ES:HL)+C)	×	×	×
	CMP0	A	1	1	—	A–00H	×	0	0
		X	1	1	—	X–00H	×	0	0
		B	1	1	—	B–00H	×	0	0
		C	1	1	—	C–00H	×	0	0
		!addr16	3	1	4	(addr16)–00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)–00H	×	0	0
		saddr	2	1	—	(saddr)–00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X–(HL+byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X–((ES:HL)+byte)	×	×	×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. r=A 除外。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (11/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位运算	ADDW	AX, #word	3	1	—	AX, CY←AX+word	×	×	×
		AX, AX	1	1	—	AX, CY←AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY←AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY←AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY←AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY←AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY←AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY←AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY←AX+(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY←AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY←AX–word	×	×	×
		AX, BC	1	1	—	AX, CY←AX–BC	×	×	×
		AX, DE	1	1	—	AX, CY←AX–DE	×	×	×
		AX, HL	1	1	—	AX, CY←AX–HL	×	×	×
		AX, !addr16	3	1	4	AX, CY←AX–(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY←AX–(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY←AX–(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY←AX–(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY←AX–((ES:HL)+byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX–word	×	×	×
		AX, BC	1	1	—	AX–BC	×	×	×
		AX, DE	1	1	—	AX–DE	×	×	×
		AX, HL	1	1	—	AX–HL	×	×	×
		AX, !addr16	3	1	4	AX–(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX–(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX–(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX–(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX–((ES:HL)+byte)	×	×	×
乘	MULU	X	1	1	—	AX←A×X			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (12/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
递增/递减	INC	r	1	1	—	r←r+1	×	×	
		!addr16	3	2	—	(addr16)←(addr16)+1	×	×	
		ES:!addr16	4	3	—	(ES, addr16)←(ES, addr16)+1	×	×	
		saddr	2	2	—	(saddr)←(saddr)+1	×	×	
		[HL+byte]	3	2	—	(HL+byte)←(HL+byte)+1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL)+byte)←((ES:HL)+byte)+1	×	×	
	DEC	r	1	1	—	r←r–1	×	×	
		!addr16	3	2	—	(addr16)←(addr16)–1	×	×	
		ES:!addr16	4	3	—	(ES, addr16)←(ES, addr16)–1	×	×	
		saddr	2	2	—	(saddr)←(saddr)–1	×	×	
		[HL+byte]	3	2	—	(HL+byte)←(HL+byte)–1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL)+byte)←((ES:HL)+byte)–1	×	×	
	INCW	rp	1	1	—	rp←rp+1			
		!addr16	3	2	—	(addr16)←(addr16)+1			
		ES:!addr16	4	3	—	(ES, addr16)←(ES, addr16)+1			
		saddrp	2	2	—	(saddrp)←(saddrp)+1			
		[HL+byte]	3	2	—	(HL+byte)←(HL+byte)+1			
		ES: [HL+byte]	4	3	—	((ES:HL)+byte)←((ES:HL)+byte)+1			
	DECW	rp	1	1	—	rp←rp–1			
		!addr16	3	2	—	(addr16)←(addr16)–1			
		ES:!addr16	4	3	—	(ES, addr16)←(ES, addr16)–1			
		saddrp	2	2	—	(saddrp)←(saddrp)–1			
		[HL+byte]	3	2	—	(HL+byte)←(HL+byte)–1			
		ES: [HL+byte]	4	3	—	((ES:HL)+byte)←((ES:HL)+byte)–1			
移位	SHR	A, cnt	2	1	—	(CY←A_0, A_{m-1}←A_m, A_7←0)×cnt			×
	SHRW	AX, cnt	2	1	—	(CY←AX_0, AX_{m-1}←AX_m, AX_{15}←0)×cnt			×
	SHL	A, cnt	2	1	—	(CY←A_7, A_m←A_{m-1}, A_0←0)×cnt			×
		B, cnt	2	1	—	(CY←B_7, B_m←B_{m-1}, B_0←0)×cnt			×
		C, cnt	2	1	—	(CY←C_7, C_m←C_{m-1}, C_0←0)×cnt			×
	SHLW	AX, cnt	2	1	—	(CY←AX_{15}, AX_m←AX_{m-1}, AX_0←0)×cnt			×
		BC, cnt	2	1	—	(CY←BC_{15}, BC_m←BC_{m-1}, BC_0←0)×cnt			×
	SAR	A, cnt	2	1	—	(CY←A_0, A_{m-1}←A_m, A_7←A_7)×cnt			×
	SARW	AX, cnt	2	1	—	(CY←AX_0, AX_{m-1}←AX_m, AX_{15}←AX_{15})×cnt			×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 1. 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

2. cnt 是位的移位个数。

表 26-5 操作一览表 (13/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
循环	ROR	A, 1	2	1	—	(CY, A_7←A_0, A_{m-1}←A_m)×1			×
	ROL	A, 1	2	1	—	(CY, A_0←A_7, A_{m+1}←A_m)×1			×
	RORC	A, 1	2	1	—	(CY←A_0, A_7←CY, A_{m-1}←A_m)×1			×
	ROLC	A, 1	2	1	—	(CY←A_7, A_0←CY, A_{m+1}←A_m)×1			×
	ROLWC	AX,1	2	1	—	(CY←AX_{15}, AX_0←CY, AX_{m+1}←AX_m)×1			×
		BC,1	2	1	—	(CY←BC_{15}, BC_0←CY, BC_{m+1}← BC_m)×1			×
位操作	MOV1	CY, A.bit	2	1	—	CY←A.bit			×
		A.bit, CY	2	1	—	A.bit←CY			
		CY, PSW.bit	3	1	—	CY←PSW.bit			×
		PSW.bit, CY	3	4	—	PSW.bit←CY	×	×	
		CY, saddr.bit	3	1	—	CY←(saddr).bit			×
		saddr.bit, CY	3	2	—	(saddr).bit←CY			
		CY, sfr.bit	3	1	—	CY←sfr.bit			×
		sfr.bit, CY	3	2	—	sfr.bit←CY			
		CY,[HL].bit	2	1	4	CY←(HL).bit			×
		[HL].bit, CY	2	2	—	(HL).bit←CY			
		CY, ES:[HL].bit	3	2	5	CY←(ES, HL).bit			×
		ES:[HL].bit, CY	3	3	—	(ES, HL).bit←CY			
	AND1	CY, A.bit	2	1	—	CY←CY∧A.bit			×
		CY, PSW.bit	3	1	—	CY←CY∧PSW.bit			×
		CY, saddr.bit	3	1	—	CY←CY∧(saddr).bit			×
		CY, sfr.bit	3	1	—	CY←CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY←CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY←CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	—	CY←CY∨A.bit			×
		CY, PSW.bit	3	1	—	CY←CY∨PSW.bit			×
		CY, saddr.bit	3	1	—	CY←CY∨(saddr).bit			×
		CY, sfr.bit	3	1	—	CY←CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY←CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY←CY∨(ES, HL).bit			×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (14/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
位操作	XOR1	CY, A.bit	2	1	—	CY←CY⩛A.bit			×
		CY, PSW.bit	3	1	—	CY←CY⩛PSW.bit			×
		CY, saddr.bit	3	1	—	CY←CY⩛(saddr).bit			×
		CY, sfr.bit	3	1	—	CY←CY⩛sfr.bit			×
		CY, [HL].bit	2	1	4	CY←CY⩛(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY←CY⩛(ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit←1			
		PSW.bit	3	4	—	PSW.bit←1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit←1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit←1			
		saddr.bit	3	2	—	(saddr).bit←1			
		sfr.bit	3	2	—	sfr.bit←1			
		[HL].bit	2	2	—	(HL).bit←1			
		ES:[HL].bit	3	3	—	(ES, HL).bit←1			
	CLR1	A.bit	2	1	—	A.bit←0			
		PSW.bit	3	4	—	PSW.bit←0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit←0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit←0			
		saddr.bit	3	2	—	(saddr.bit)←0			
		sfr.bit	3	2	—	sfr.bit←0			
		[HL].bit	2	2	—	(HL).bit←0			
		ES:[HL].bit	3	3	—	(ES, HL).bit←0			
	SET1	CY	2	1	—	CY←1			1
	CLR1	CY	2	1	—	CY←0			0
	NOT1	CY	2	1	—	CY←$\overline{CY}$			×

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (15/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
调用/返回	CALL	rp	2	3	—	$(SP-2) \leftarrow (PC+2)_S$, $(SP-3) \leftarrow (PC+2)_H$, $(SP-4) \leftarrow (PC+2)_L$, PC←CS, rp, SP←SP–4			
		$!addr20	3	3	—	$(SP-2) \leftarrow (PC+3)_S$, $(SP-3) \leftarrow (PC+3)_H$, $(SP-4) \leftarrow (PC+3)_L$, PC←PC+3+jdisp16, SP←SP–4			
		!addr16	3	3	—	$(SP-2) \leftarrow (PC+3)_S$, $(SP-3) \leftarrow (PC+3)_H$, $(SP-4) \leftarrow (PC+3)_L$, PC←0000, addr16, SP←SP–4			
		!!addr20	4	3	—	$(SP-2) \leftarrow (PC+4)_S$, $(SP-3) \leftarrow (PC+4)_H$, $(SP-4) \leftarrow (PC+4)_L$, PC←addr20, SP←SP–4			
	CALLT	[addr5]	2	5	—	$(SP-2) \leftarrow (PC+2)_S$, $(SP-3) \leftarrow (PC+2)_H$, $(SP-4) \leftarrow (PC+2)_L$, $PC_S \leftarrow 0000$, $PC_H \leftarrow$ (0000, addr5+1), $PC_L \leftarrow$ (0000, addr5), SP←SP–4			
	BRK	—	2	5	—	$(SP-1) \leftarrow PSW$, $(SP-2) \leftarrow (PC+2)_S$, $(SP-3) \leftarrow (PC+2)_H$, $(SP-4) \leftarrow (PC+2)_L$, $PC_S \leftarrow 0000$, $PC_H \leftarrow$ (0007FH), $PC_L \leftarrow$ (0007EH), SP←SP–4, IE←0			
	RET	—	1	6	—	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $PC_S \leftarrow (SP+2)$, SP←SP+4			
	RETI	—	2	6	—	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $PC_S \leftarrow (SP+2)$, PSW←(SP+3), SP←SP+4	R	R	R
	RETB	—	2	6	—	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $PC_S \leftarrow (SP+2)$, PSW←(SP+3), SP←SP+4	R	R	R

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (16/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
堆栈操作	PUSH	PSW	2	1	—	(SP–1)←PSW， (SP–2)←00H，SP←SP–2			
		rp	1	1	—	(SP–1)←rp_H， (SP–2)←rp_L，SP←SP–2			
	POP	PSW	2	3	—	PSW←(SP+1)， SP←SP+2	R	R	R
		rp	1	1	—	rp_L←(SP)， rp_H←(SP+1)， SP←SP+2			
	MOVW	SP, #word	4	1	—	SP←word			
		SP, AX	2	1	—	SP←AX			
		AX, SP	2	1	—	AX←SP			
		HL, SP	3	1	—	HL←SP			
		BC, SP	3	1	—	BC←SP			
		DE, SP	3	1	—	DE←SP			
	ADDW	SP, #byte	2	1	—	SP←SP+byte			
	SUBW	SP, #byte	2	1	—	SP←SP–byte			
无条件转移	BR	AX	2	3	—	PC←CS, AX			
		$addr20	2	3	—	PC←PC+2+jdisp8			
		$!addr20	3	3	—	PC←PC+3+jdisp16			
		!addr16	3	3	—	PC←0000, addr16			
		!!addr20	4	3	—	PC←addr20			
条件转移	BC	$addr20	2	2/4 注3	—	PC←PC+2+jdisp8 if CY=1			
	BNC	$addr20	2	2/4 注3	—	PC←PC+2+jdisp8 if CY=0			
	BZ	$addr20	2	2/4 注3	—	PC←PC+2+jdisp8 if Z=1			
	BNZ	$addr20	2	2/4 注3	—	PC←PC+2+jdisp8 if Z=0			
	BH	$addr20	3	2/4 注3	—	PC←PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4 注3	—	PC←PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if (saddr).bit=1			
		sfr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if sfr.bit=1			
		A.bit, $addr20	3	3/5 注3	—	PC←PC+3+disp8 if A.bit=1			
		PSW.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if PSW.bit=1			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC←PC+3+jdisp8 if (HL).bit=1			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC←PC+4+jdisp8 if (ES, HL).bit=1			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. 表示 “ 不满足条件时 / 满足条件时 ” 的时钟数。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

表 26-5 操作一览表 (17/17)

指令集	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
条件转移	BF	saddr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if (saddr).bit=0			
		sfr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if sfr.bit=0			
		A.bit, $addr20	3	3/5 注3	—	PC←PC+3+jdisp8 if A.bit=0			
		PSW.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if PSW.bit=0			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC←PC+3+jdisp8 if (HL).bit=0			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC←PC+4+jdisp8 if (ES, HL).bit=0			
	BTCLR	saddr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if (saddr).bit=1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if sfr.bit=1 then reset sfr.bit			
		A.bit, $addr20	3	3/5 注3	—	PC←PC+3+jdisp8 if A.bit=1 then reset A.bit			
		PSW.bit, $addr20	4	3/5 注3	—	PC←PC+4+jdisp8 if PSW.bit=1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5 注3	—	PC←PC+3+jdisp8 if (HL).bit=1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6 注3	—	PC←PC+4+jdisp8 if (ES, HL).bit=1 then reset (ES, HL).bit			
条件跳转	SKC	—	2	1	—	Next instruction skip if CY=1			
	SKNC	—	2	1	—	Next instruction skip if CY=0			
	SKZ	—	2	1	—	Next instruction skip if Z=1			
	SKNZ	—	2	1	—	Next instruction skip if Z=0			
	SKH	—	2	1	—	Next instruction skip if (Z∨CY)=0			
	SKNH	—	2	1	—	Next instruction skip if (Z∨CY)=1			
CPU控制	SEL 注4	RBn	2	1	—	RBS[1:0]←n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE←1 (Enable Interrupt)			
	DI	—	3	4	—	IE←0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注 1. 这是存取内部 RAM 区、 SFR 区或者扩展 SFR 区时或者不存取数据时的 CPU 时钟 （f_{CLK}）数。

2. 这是存取代码闪存区以及以 8 位指令存取数据闪存区时的 CPU 时钟 （f_{CLK}）数。

3. 表示 “ 不满足条件时 / 满足条件时 ” 的时钟数。

4. n 为寄存器组号 （n=0 ～ 3）。

备注 时钟数是在内部 ROM （闪存）区有程序的情况。当从内部 RAM 区取指令时，最大为 2 倍 +3 个时钟。

第 27 章 电特性

注意 1. R7F0C001G/L、 R7F0C002G/L 内置用于开发和评估的片上调试功能。如果使用片上调试功能，就可能会超过闪存的保证改写次数而无法保证产品的可靠性，因此批量生产的产品不能使用片上调试功能。对于使用片上调试功能的产品，不作为投诉受理对象。

2. 对于没有 EV_{DD} 引脚和 EV_{SS} 引脚的产品，必须将 EV_{DD} 替换为 V_{DD} 并且将 EV_{SS} 替换为 V_{SS}。

3. 配置的引脚因产品而不同。请参照 “2.1 端口功能 ” ～ “2.2.1 各产品的引脚 （端口以外的引脚） ”。

27.1 绝对最大额定值

绝对最大额定值 （T_A=25°C） (1/3)

项目	符号	条件	额定值	单位
电源电压	V_{DD}	V_{DD}=EV_{DD}	–0.5 ～ +6.5	V
	EV_{DD}	V_{DD}=EV_{DD}	–0.5 ～ +6.5	V
	EV_{SS}		–0.5 ～ +0.3	V
REGC 引脚的输入电压	V_{IREGC}	REGC	–0.3 ～ +2.8 并且 –0.3 ～ V_{DD}+0.3 注 1	V
输入电压	V_{I1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P140 ～ P147	–0.3 ～ EV_{DD}+0.3 并且 –0.3 ～ V_{DD}+0.3 注 2	V
	V_{I2}	P60、 P61 （N 沟道漏极开路）	–0.3 ～ EV_{DD}+0.3 并且 –0.3 ～ V_{DD}+0.3 注 2	V
	V_{I3}	P20、 P21、 P121 ～ P124、 P137、 EXCLK、 EXCLKS、 $\overline{\text{RESET}}$	–0.3 ～ V_{DD}+0.3 注 2	V
输出电压	V_{O1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147	–0.3 ～ EV_{DD}+0.3 并且 –0.3 ～ V_{DD}+0.3 注 2	V
	V_{O2}	P20、 P21	–0.3 ～ V_{DD}+0.3 注 2	V
模拟输入电压	V_{AI1}	ANI16 ～ ANI23	–0.3 ～ EV_{DD}+0.3 并且 –0.3 ～ $AV_{REF(+)}$+0.3 注 2、 3	V
	V_{AI2}	ANI0、 ANI1	–0.3 ～ V_{DD}+0.3 并且 –0.3 ～ $AV_{REF(+)}$+0.3 注 2、 3	V

注 1. 必须通过电容器 （0.47 ～ 1μF） 将 REGC 引脚连接 V_{SS}。此值是规定 REGC 引脚的绝对最大额定值，在使用时不能外加此电压。

2. 不超过 6.5V。

3. A/D 转换对象的引脚不能超过 $AV_{REF(+)}$+0.3。

注意 即使是各项目中的 1 个项目一瞬间超过绝对最大额定值，也可能降低产品的质量。绝对最大额定值是可能给产品带来物理性损伤的额定值，必须在不超过额定值的状态下使用产品。

备注 1. 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

2. $AV_{REF(+)}$：A/D 转换器的正 （+） 基准电压

3. 将 V_{SS} 作为基准电压。

绝对最大额定值 （T_A=25°C） (2/3)

项目	符号	条件		额定值	单位
LCD 电压	V_{L1}	V_{L1} 电压注 1		–0.3 ～ +2.8 并且 –0.3 ～ V_{L4}+0.3	V
	V_{L2}	V_{L2} 电压注 1		–0.3 ～ +V_{L4}+0.3 注 2	V
	V_{L3}	V_{L3} 电压注 1		–0.3 ～ V_{L4}+0.3 注 2	V
	V_{L4}	V_{L4} 电压注 1		–0.3 ～ +6.5	V
	V_{LCAP}	CAPL、 CAPH 电压注 1		–0.3 ～ V_{L4}+0.3 注 2	V
	V_{LOUT}	COM0 ～ COM7、 SEG0 ～ SEG38、输出电压	外部电阻分割方式	–0.3 ～ V_{DD}+0.3 注 2	V
			电容分割方式	–0.3 ～ V_{DD}+0.3 注 2	
			内部升压方式	–0.3 ～ V_{L4}+0.3 注 2	

注 1. 此值是在给 V_{L1}、V_{L2}、V_{L3}、V_{L4} 引脚外加电压时规定的绝对最大额定值，而不是建议的外加电压值。在内部升压方式和电容分割方式的情况下，必须通过电容器 （0.47±30%）将 V_{L1}、V_{L2}、V_{L3}、V_{L4} 引脚连接 V_{SS}，并且也必须在 CAPL 引脚和 CAPH 引脚之间连接电容器 （0.47±30%）。

2. 必须小于等于 6.5V。

注意 即使是各项目中的 1 个项目一瞬间超过绝对最大额定值，也可能降低产品的质量。绝对最大额定值是可能给产品带来物理性损伤的额定值，必须在不超过额定值的状态下使用产品。

备注 将 V_{SS} 作为基准电压。

绝对最大额定值 （T_A=25°C） (3/3)

项目	符号	条件		额定值	单位
高电平输出电流	I_{OH1}	1 个引脚	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147	–40	mA
		引脚合计 –170mA	P10 ～ P14、 P40 ～ P43、 P120、 P130、 P140 ～ P147	–70	mA
			P15 ～ P17、 P30 ～ P32、 P50 ～ P54、 P70 ～ P74、 P125 ～ P127	–100	mA
	I_{OH2}	1 个引脚	P20、 P21	–0.5	mA
		引脚合计		–1	mA
低电平输出电流	I_{OL1}	1 个引脚	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147	40	mA
		引脚合计 170mA	P10 ～ P14、 P40 ～ P43、 P120、 P130、 P140 ～ P147	70	mA
			P15 ～ P17、 P30 ～ P32、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P125 ～ P127	100	mA
	I_{OL2}	1 个引脚	P20、 P21	1	mA
		引脚合计		2	mA
工作环境温度	T_A	通常运行时		–40 ～ +85	°C
		进行闪存编程时			
保存温度	T_{stg}			–65 ～ +150	°C

注意 即使是各项目中的 1 个项目一瞬间超过绝对最大额定值，也可能降低产品的质量。绝对最大额定值是可能给产品带来物理性损伤的额定值，必须在不超过额定值的状态下使用产品。

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

27.2 振荡电路特性

27.2.1 X1、 XT1 振荡电路特性

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	谐振器	条件	MIN.	TYP.	MAX.	单位
X1 时钟振荡频率 （f_X）注	陶瓷谐振器 / 晶体谐振器	2.7V ≤ V_{DD} ≤ 5.5V	1.0		20.0	MHz
		2.4V ≤ V_{DD} ≤ 2.7V	1.0		16.0	
		1.8V ≤ V_{DD} < 2.7V	1.0		8.0	
		1.6V ≤ V_{DD} < 1.8V	1.0		4.0	
XT1 时钟振荡频率 （f_{XT}）注	晶体谐振器		32	32.768	35	kHz

注 只表示振荡电路的频率容许范围，指令执行时间请参照 “27.4 AC 特性 ”。
另外，委托谐振器厂商进行在安装电路中的评估，并且在确认振荡特性后再使用。

注意 在解除复位后，通过高速内部振荡器时钟启动 CPU，因此用户必须通过振荡稳定时间计数器的状态寄存器（OSTC）确认 X1 时钟的振荡稳定时间，并且必须充分对所用谐振器进行振荡稳定时间的评估，然后决定 OSTC 寄存器和振荡稳定时间选择寄存器 （OSTS）的振荡稳定时间。

备注 在使用 X1、 XT1 振荡电路时，请参照 “5.4 系统时钟振荡电路 ”。

27.2.2 内部振荡器特性

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

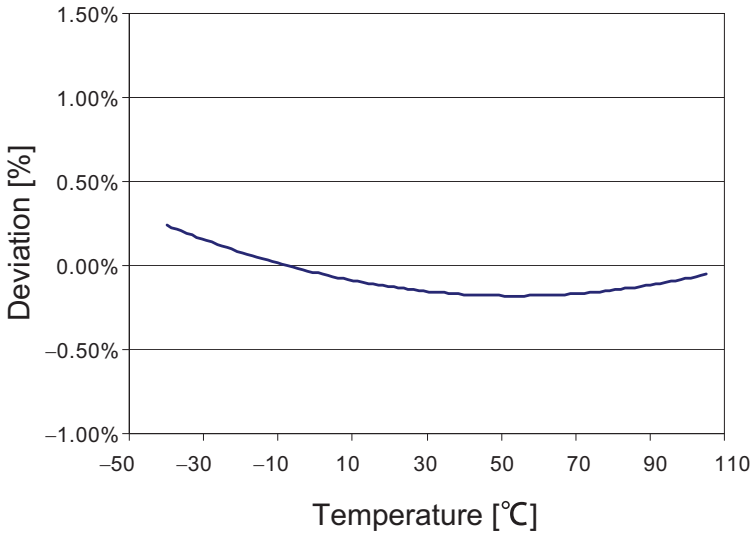
项目	符号	条件		MIN.	TYP.	MAX.	单位
高速内部振荡器的时钟频率 注 1、 2	f_{IH}			1		24	MHz
高速内部振荡器的时钟频率精度 注 2		–20 ～ +85°C	1.8V ≤ V_{DD} ≤ 5.5V	–1	±0.5 注 3	+1	%
			1.6V ≤ V_{DD} < 1.8V	–5		+5	%
		–40 ～ –20°C	1.8V ≤ V_{DD} ≤ 5.5V	–1.5		+1.5	%
			1.6V ≤ V_{DD} < 1.8V	–5.5		+5.5	%
低速内部振荡器的时钟频率	f_{IL}				15		kHz
低速内部振荡器的时钟频率精度				–15		+15	%

注 1. 通过选项字节 （000C2H）的 bit0 ～ 3 和 HOCODIV 寄存器的 bit0 ～ 2 选择高速内部振荡器的频率。

2. 只表示振荡电路的特性，指令执行时间请参照 “27.4 AC 特性 ”。

3. 这是在 T_A=+25°C、 V_{DD}=3.0V 时选择 24MHz 的情况。

高速内部振荡器的振荡频率精度



注意 上述值仅为参考值。只是特定条件下的测量值，不是产品特性的保证值。

27.3 DC 特性

27.3.1 引脚特性

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (1/5)

项目	符号	条件		MIN.	TYP.	MAX.	单位
高电平输出电流注 1	I_{OH1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147 1 个引脚				–10.0 注 2	mA
		P10 ～ P14、 P40 ～ P43、 P120、 P130、 P140 ～ P147 合计（占空比 =70% 时注 3）	4.0V ≤ EV_{DD} ≤ 5.5V			–40.0	mA
			2.7V ≤ EV_{DD} < 4.0V			–8.0	mA
			1.8V ≤ EV_{DD} < 2.7V			–4.0	mA
			1.6V ≤ EV_{DD} < 1.8V			–2.0	mA
		P15 ～ P17、 P30 ～ P32、 P50 ～ P54、 P70 ～ P74、 P125 ～ P127 合计（占空比 =70% 时注 3）	4.0V ≤ EV_{DD} ≤ 5.5V			–60.0	mA
			2.7V ≤ EV_{DD} < 4.0V			–15.0	mA
			1.8V ≤ EV_{DD} < 2.7V			–8.0	mA
			1.6V ≤ EV_{DD} < 1.8V			–4.0	mA
		全部引脚合计（占空比 =70% 时注 3）				–100.0	mA
	I_{OH2}	P20、 P21	1 个引脚			–0.1	mA
			全部引脚合计 1.6V ≤ V_{DD} ≤ 5.5V			–0.2	mA

注 1. 这是即使电流从 V_{DD}、 EV_{DD} 引脚流到输出引脚也保证器件运行的电流值。

2. 不能超过合计的电流值。

3. 这是在占空比≤ 70% 条件下的输出电流值。
更改为占空比＞ 70% 时的输出电流值能用以下的计算式进行计算 （将占空比更改为 n% 的情况）。
• 引脚合计的输出电流 = (I_{OH} × 0.7) / (n × 0.01)
＜计算例子＞ I_{OH} = –40.0mA、 n =80%
引脚合计的输出电流 = (–40.0 × 0.7) / (80 × 0.01) ≈ –35.0mA
各引脚的电流不会因占空比而变，而且不会流过绝对最大额定值以上的电流。

注意 在 N 沟道漏极开路模式中， P10、 P12、 P15、 P17 不输出高电平。

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (2/5)

项目	符号	条件		MIN.	TYP.	MAX.	单位
低电平输出电流注 1	I_{OL1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147 1 个引脚				20.0注2	mA
		P60、 P61 1 个引脚				15.0注2	mA
		P10 ～ P14、 P40 ～ P43、 P120、 P130、 P140 ～ P147 合计 （占空比 =70% 时注 3）	4.0V ≤ EV_{DD} ≤ 5.5V			70.0	mA
			2.7V ≤ EV_{DD} < 4.0V			15.0	mA
			1.8V ≤ EV_{DD} < 2.7V			9.0	mA
			1.6V ≤ EV_{DD} < 1.8V			4.5	mA
		P15 ～ P17、 P30 ～ P32、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P125 ～ P127 合计 （占空比 =70% 时注 3）	4.0V ≤ EV_{DD} ≤ 5.5V			80.0	mA
			2.7V ≤ EV_{DD} < 4.0V			35.0	mA
			1.8V ≤ EV_{DD} < 2.7V			20.0	mA
			1.6V ≤ EV_{DD} < 1.8V			10.0	mA
		全部引脚合计 （占空比 =70% 时注 3）				150.0	mA
	I_{OL2}	P20、 P21	1 个引脚			0.4	mA
			全部引脚合计 1.6V ≤ V_{DD} ≤ 5.5V			0.8	mA

注 1. 这是电流即使从 EV_{SS}、 V_{SS} 引脚流到输出引脚也保证器件运行的电流值。

2. 不能超过合计的电流值。

3. 这是在占空比≤ 70% 条件下的输出电流值。
更改为占空比＞ 70% 时的输出电流值能用以下的计算式进行计算 （将占空比更改为 n% 的情况）。

• 引脚合计的输出电流 = (I_{OL} × 0.7) / (n × 0.01)
＜计算例子＞ I_{OL}= 70.0mA、 n = 80%
引脚合计的输出电流 = (70.0 × 0.7) / (80 × 0.01) ≈ 61.25mA

各引脚的电流不会因占空比而变，而且不会流过绝对最大额定值以上的电流。

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (3/5)

项目	符号	条件		MIN.	TYP.	MAX.	单位
高电平输入电压	V_{IH1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P140 ～ P147	通常输入缓冲器	0.8EV_{DD}		EV_{DD}	V
	V_{IH2}	P10、 P11、 P15、 P16	TTL 输入缓冲器 4.0V ≤ EV_{DD} ≤ 5.5V	2.2		EV_{DD}	V
			TTL 输入缓冲器 3.3V ≤ EV_{DD} < 4.0V	2.0		EV_{DD}	V
			TTL 输入缓冲器 1.6V ≤ EV_{DD} < 3.3V	1.50		EV_{DD}	V
	V_{IH3}	P20、 P21		0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60、 P61		0.7EV_{DD}		EV_{DD}	V
	V_{IH5}	P121 ～ P124、 P137、 EXCLK、 EXCLKS、 $\overline{\text{RESET}}$		0.8V_{DD}		V_{DD}	V
低电平输入电压	V_{IL1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P140 ～ P147	通常输入缓冲器	0		0.2EV_{DD}	V
	V_{IL2}	P10、 P11、 P15、 P16	TTL 输入缓冲器 4.0V ≤ EV_{DD} ≤ 5.5V	0		0.8	V
			TTL 输入缓冲器 3.3V ≤ EV_{DD} < 4.0V	0		0.5	V
			TTL 输入缓冲器 1.6V ≤ EV_{DD} < 3.3V	0		0.32	V
	V_{IL3}	P20、 P21		0		0.3V_{DD}	V
	V_{IL4}	P60、 P61		0		0.3EV_{DD}	V
	V_{IL5}	P121 ～ P124、 P137、 EXCLK、 EXCLKS、 $\overline{\text{RESET}}$		0		0.2V_{DD}	V

注意 即使在 N 沟道漏极开路模式中， P10、 P12、 P15、 P17 的 V_{IH} 最大值 （MAX.）也为 EV_{DD}。

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (4/5)

项目	符号	条件		MIN.	TYP.	MAX.	单位
高电平输出电压	V_{OH1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147	4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OH1}=–10.0mA	EV_{DD}–1.5			V
			4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OH1}=–3.0mA	EV_{DD}–0.7			V
			2.7V ≤ EV_{DD} ≤ 5.5V、 I_{OH1}=–2.0mA	EV_{DD}–0.6			V
			1.8V ≤ EV_{DD} ≤ 5.5V、 I_{OH1}=–1.5mA	EV_{DD}–0.5			V
			1.6V ≤ EV_{DD} ≤ 5.5V、 I_{OH1}=–1.0mA	EV_{DD}–0.5			V
	V_{OH2}	P20、 P21	1.6V ≤ V_{DD} ≤ 5.5V、 I_{OH2}=–100μA	V_{DD}–0.5			V
低电平输出电压	V_{OL1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P70 ～ P74、 P120、 P125 ～ P127、 P130、 P140 ～ P147	4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OL1}=20.0mA			1.3	V
			4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OL1}=8.5mA			0.7	V
			2.7V ≤ EV_{DD} ≤ 5.5V、 I_{OL1}=3.0mA			0.6	V
			2.7V ≤ EV_{DD} ≤ 5.5V、 I_{OL1}=1.5mA			0.4	V
			1.8V ≤ EV_{DD} ≤ 5.5V、 I_{OL1}=0.6mA			0.4	V
			1.6V ≤ EV_{DD} < 5.5V、 I_{OL1}=0.3mA			0.4	V
	V_{OL2}	P20、 P21	1.6V ≤ V_{DD} ≤ 5.5V、 I_{OL2}=400μA			0.4	V
	V_{OL3}	P60、 P61	4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OL3}=15.0mA			2.0	V
			4.0V ≤ EV_{DD} ≤ 5.5V、 I_{OL3}=5.0mA			0.4	V
			2.7V ≤ EV_{DD} ≤ 5.5V、 I_{OL3}=3.0mA			0.4	V
			1.8V ≤ EV_{DD} ≤ 5.5V、 I_{OL3}=2.0mA			0.4	V
			1.6V ≤ EV_{DD} < 5.5V、 I_{OL3}=1.0mA			0.4	V

注意 在 N 沟道漏极开路模式中， P10、 P12、 P15、 P17 不输出高电平。

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (5/5)

项目	符号	条件			MIN.	TYP.	MAX.	单位
高电平输入漏电流	I_{LIH1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P120、 P125 ～ P127、 P140 ～ P147	V_I=EV_{DD}				1	μA
	I_{LIH2}	P20、P21、P137、$\overline{\text{RESET}}$	V_I=V_{DD}				1	μA
	I_{LIH3}	P121 ～ P124（X1、 X2、 XT1、 XT2、 EXCLK、 EXCLKS）	V_I=V_{DD}	输入端口和外部时钟输入时			1	μA
				连接谐振器时			10	μA
低电平输入漏电流	I_{LIL1}	P10 ～ P17、 P30 ～ P32、 P40 ～ P43、 P50 ～ P54、 P60、 P61、 P70 ～ P74、 P120、 P125 ～ P127、 P140 ～ P147	V_I=EV_{SS}				–1	μA
	I_{LIL2}	P20、P21、P137、$\overline{\text{RESET}}$	V_I=V_{SS}				–1	μA
	I_{LIL3}	P121 ～ P124（X1、 X2、 XT1、 XT2、 EXCLK、 EXCLKS）	V_I=V_{SS}	输入端口和外部时钟输入时			–1	μA
				连接谐振器时			–10	μA
内部上拉电阻	R_{U1}	V_I=EV_{SS}	SEGxx 复用端口					
				2.4V≤EV_{DD}=V_{DD}≤5.5V	10	20	100	kΩ
				1.6V≤EV_{DD}=V_{DD}＜2.4V	10	30	100	kΩ
	R_{U2}		上述以外的端口（P60、 P61、 P130 除外）		10	20	100	kΩ

备注 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性就相同。

27.3.2 电源电流特性

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (1/3)

项目	符号	条件					MIN.	TYP.	MAX.	单位
电源电流 注 1	I_{DD1}	运行模式	HS （高速主）模式注 5	f_{IH}=24MHz 注 3	基本运行	V_{DD}=5.0V		1.5		mA
						V_{DD}=3.0V		1.5		
					通常运行	V_{DD}=5.0V		3.3	5.0	mA
						V_{DD}=3.0V		3.3	5.0	
				f_{IH}=16MHz 注 3	通常运行	V_{DD}=5.0V		2.5	3.7	mA
						V_{DD}=3.0V		2.5	3.7	
			LS （低速主）模式注 5	f_{IH}=8MHz 注 3	通常运行	V_{DD}=3.0V		1.2	1.8	mA
						V_{DD}=2.0V		1.2	1.8	
			LV （低电压主）模式注 5	f_{IH}=4MHz 注 3	通常运行	V_{DD}=3.0V		1.2	1.7	mA
						V_{DD}=2.0V		1.2	1.7	
			HS （高速主）模式注 5	f_{MX}=20MHz 注 2、V_{DD}=5.0V	通常运行	输入方波		2.8	4.4	mA
						连接谐振器		3.0	4.6	
				f_{MX}=20MHz 注 2、V_{DD}=3.0V	通常运行	输入方波		2.8	4.4	mA
						连接谐振器		3.0	4.6	
				f_{MX}=10MHz 注 2、V_{DD}=5.0V	通常运行	输入方波		1.8	2.6	mA
						连接谐振器		1.8	2.6	
				f_{MX}=10MHz 注 2、V_{DD}=3.0V	通常运行	输入方波		1.8	2.6	mA
						连接谐振器		1.8	2.6	
			LS （低速主）模式注 5	f_{MX}=8MHz 注 2、V_{DD}=3.0V	通常运行	输入方波		1.1	1.7	mA
						连接谐振器		1.1	1.7	
				f_{MX}=8MHz 注 2、V_{DD}=2.0V	通常运行	输入方波		1.1	1.7	mA
						连接谐振器		1.1	1.7	
			副系统时钟运行	f_{SUB}=32.768kHz 注4 T_A=–40°C	通常运行	输入方波		3.5	4.9	μA
						连接谐振器		3.6	5.0	
				f_{SUB}=32.768kHz 注4 T_A=+25°C	通常运行	输入方波		3.6	4.9	μA
						连接谐振器		3.7	5.0	
				f_{SUB}=32.768kHz 注4 T_A=+50°C	通常运行	输入方波		3.7	5.5	μA
						连接谐振器		3.8	5.6	
				f_{SUB}=32.768kHz 注4 T_A=+70°C	通常运行	输入方波		3.8	6.3	μA
						连接谐振器		3.9	6.4	
				f_{SUB}=32.768kHz 注4 T_A=+85°C	通常运行	输入方波		4.1	7.7	μA
						连接谐振器		4.2	7.8	

注 1. 这是流到 V_{DD}、 EV_{DD} 的总电流，包含输入引脚固定为 V_{DD}、 EV_{DD} 或者 V_{SS}、 EV_{SS} 状态的输入漏电流。 MAX. 值包含外围工作电流。但是，不包含流到 A/D 转换器、 LVD 电路、 I/O 端口、内部上拉或者下拉电阻以及改写数据闪存时流过的电流。

2. 这是高速内部振荡器和副系统时钟停止振荡的情况。

3. 是高速系统时钟和副系统时钟停止振荡的情况。

4. 这是高速内部振荡器和高速系统时钟停止振荡的情况。不包含流到 RTC、 12 位间隔定时器、看门狗定时器和 LCD 控制器 / 驱动器的电流。

5. 工作电压范围、 CPU 工作频率和运行模式的关系如下所示：

HS （高速主）模式： 2.7V ≤ V_{DD} ≤ 5.5V@1MHz ～ 24MHz

2.4V ≤ V_{DD} ≤ 5.5V@1MHz ～ 16MHz

LS （低速主）模式： 1.8V ≤ V_{DD} ≤ 5.5V@1MHz ～ 8MHz

LV （低电压主）模式：1.6V ≤ V_{DD} ≤ 5.5V@1MHz ～ 4MHz

备注 1. f_{MX}： 高速系统时钟频率 （X1 时钟振荡频率或者外部主系统时钟频率）

2. f_{IH}： 高速内部振荡器时钟频率

3. f_{SUB}：副系统时钟频率 （XT1 时钟振荡频率）

4. “ 副系统时钟运行 ” 以外的 TYP. 值的温度条件是 T_A=25°C。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (2/3)

项目	符号	条件				MIN.	TYP.	MAX.	单位
电源电流注1	I_{DD2}注2	HALT 模式	HS （高速主）模式注7	f_{IH}=24MHz 注4	V_{DD}=5.0V		0.44	1.28	mA
					V_{DD}=3.0V		0.44	1.28	
				f_{IH}=16MHz 注4	V_{DD}=5.0V		0.40	1.00	mA
					V_{DD}=3.0V		0.40	1.00	
			LS （低速主）模式注7	f_{IH}=8MHz 注4	V_{DD}=3.0V		260	530	μA
					V_{DD}=2.0V		260	530	
			LV （低电压主）模式注7	f_{IH}=4MHz 注4	V_{DD}=3.0V		420	640	μA
					V_{DD}=2.0V		420	640	
			HS （高速主）模式注7	f_{MX}=20MHz 注3、V_{DD}=5.0V	输入方波		0.28	1.00	mA
					连接谐振器		0.45	1.17	
				f_{MX}=20MHz 注3、V_{DD}=3.0V	输入方波		0.28	1.00	mA
					连接谐振器		0.45	1.17	
				f_{MX}=10MHz 注3、V_{DD}=5.0V	输入方波		0.19	0.60	mA
					连接谐振器		0.26	0.67	
				f_{MX}=10MHz 注3、V_{DD}=3.0V	输入方波		0.19	0.60	mA
					连接谐振器		0.26	0.67	
			LS （低速主）模式注7	f_{MX}=8MHz 注3、V_{DD}=3.0V	输入方波		95	330	μA
					连接谐振器		145	380	
				f_{MX}=8MHz 注3、V_{DD}=2.0V	输入方波		95	330	μA
					连接谐振器		145	380	
			副系统时钟运行	f_{SUB}=32.768kHz 注5 T_A=–40°C	输入方波		0.31	0.57	μA
					连接谐振器		0.50	0.76	
				f_{SUB}=32.768kHz 注5 T_A=+25°C	输入方波		0.37	0.57	μA
					连接谐振器		0.56	0.76	
				f_{SUB}=32.768kHz 注5 T_A=+50°C	输入方波		0.46	1.17	μA
					连接谐振器		0.65	1.36	
				f_{SUB}=32.768kHz 注5 T_A=+70°C	输入方波		0.57	1.97	μA
					连接谐振器		0.76	2.16	
				f_{SUB}=32.768kHz 注5 T_A=+85°C	输入方波		0.85	3.37	μA
					连接谐振器		1.04	3.56	
	I_{DD3}注6	STOP 模式注8	T_A=–40°C				0.17	0.50	μA
			T_A=+25°C				0.23	0.50	
			T_A=+50°C				0.32	1.10	
			T_A=+70°C				0.43	1.90	
			T_A=+85°C				0.71	3.30	

注 1. 这是流到 V_{DD}、 EV_{DD} 的总电流，包含输入引脚固定为 V_{DD}、 EV_{DD} 或者 V_{SS}、 EV_{SS} 状态的输入漏电流。 MAX. 值包含外围工作电流。但是，不包含流到 A/D 转换器、 LVD 电路、 I/O 端口、内部上拉或者下拉电阻以及改写数据闪存时流过的电流。

2. 这是执行闪存的 HALT 指令的情况。

3. 这是高速内部振荡器和副系统时钟停止振荡的情况。

4. 这是高速系统时钟和副系统时钟停止振荡的情况。

5. 这是高速内部振荡器和高速系统时钟停止振荡的情况，或者是RTCLPC=1并且设定为超低消耗振荡（AMPHS1=1）的情况。包含流到 RTC 的电流。但是，不包含流到 12 位间隔定时器、看门狗定时器和 LCD 控制器 / 驱动器的电流。

6. 不包含流到 RTC、 12 位间隔定时器、看门狗定时器的电流。

7. 工作电压范围、 CPU 工作频率和运行模式的关系如下所示：
   HS （高速主）模式： $2.7V \leqslant V_{DD} \leqslant 5.5V$@1MHz ～ 24MHz
   $2.4V \leqslant V_{DD} \leqslant 5.5V$@1MHz ～ 16MHz
   LS （低速主）模式： $1.8V \leqslant V_{DD} \leqslant 5.5V$@1MHz ～ 8MHz
   LV （低电压主）模式： $1.6V \leqslant V_{DD} \leqslant 5.5V$@1MHz ～ 4MHz

8. 有关 STOP 模式中副系统时钟运行时的电流值，请参照 HALT 模式中副系统时钟运行时的电流值。

备注 1. f_{MX}： 高速系统时钟频率 （X1 时钟振荡频率或者外部主系统时钟频率）

2. f_{IH}： 高速内部振荡器时钟频率

3. f_{SUB}：副系统时钟频率 （XT1 时钟振荡频率）

4. “ 副系统时钟运行 ” 和 “STOP 模式 ” 以外的 TYP. 值的温度条件是 T_A=25°C。

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (3/3)

项目	符号	条件		MIN.	TYP.	MAX.	单位
低速内部振荡器工作电流	I_{FIL} 注 1				0.20		μA
RTC 工作电流	I_{RTC} 注 1、2、3	f_{MAIN} 停止			0.08		μA
12 位间隔定时器工作电流	I_{IT} 注 1、2、4				0.08		μA
看门狗定时器工作电流	I_{WDT} 注 1、2、5	f_{IL}=15kHz			0.24		μA
A/D 转换器工作电流	I_{ADC} 注 1、6	最高速转换时	标准模式、 AV_{REFP}=V_{DD}=5.0V		1.3	1.7	mA
			低电压模式、 AV_{REFP}=V_{DD}=3.0V		0.5	0.7	mA
A/D 转换器基准电压电流	I_{ADREF} 注 1				75.0		μA
温度传感器工作电流	I_{TMPS} 注 1				75.0		μA
LVD 工作电流	I_{LVD} 注 1、7				0.08		μA
自编程工作电流	I_{FSP} 注 1、9				2.50	12.20	mA
BGO工作电流	I_{BGO} 注 1、8				2.00	12.20	mA
LCD 工作电流	I_{LCD1} 注 11、12	外部电阻分割方式	V_{DD}=EV_{DD}=5.0V、V_{L4}=5.0V		0.04	0.20	μA
	I_{LCD2} 注 11	内部升压方式	V_{DD}=EV_{DD}=5.0V、V_{L4}=5.1V （VLCD=12H）		1.12	3.70	μA
			V_{DD}=EV_{DD}=3.0V、V_{L4}=3.0V （VLCD=04H）		0.63	2.20	μA
	I_{LCD3} 注 11	电容分割方式	V_{DD}=EV_{DD}=3.0V、V_{L4}=3.0V		0.12	0.50	μA
SNOOZE工作电流	I_{SNOZ} 注 1	ADC 运行	模式转移中注 10		0.50	0.60	mA
			转换运行中，低电压模式、AV_{REFP}=V_{DD}=3.0V		1.20	1.44	
		CSI/URT 运行			0.70	0.84	

注 1. 这是流过 V_{DD} 的电流。

2. 这是高速内部振荡器和高速系统时钟停止振荡的情况。

3. 这是只流到实时时钟 （RTC）的电流 （不包含低速内部振荡器、 XT1 振荡电路的工作电流）。在运行模式或者 HALT 模式中实时时钟运行的情况下，R7F0C001G/L、R7F0C002G/L 的电流值为 I_{DD1} 或者 I_{DD2} 加上 I_{RTC} 的值。另外，在选择低速内部振荡器时，必须加上 I_{FIL}。副系统时钟运行时的 I_{DD2} 包含实时时钟的工作电流。

4. 这是只流到 12 位间隔定时器的电流 （不包含低速内部振荡器、 XT1 振荡电路的工作电流）。在运行模式或者 HALT 模式中 12 位间隔定时器运行的情况下， R7F0C001G/L、R7F0C002G/L 的电流值为 I_{DD1} 或者 I_{DD2} 加上 I_{IT} 的值。另外，在选择低速内部振荡器时，必须加上 I_{FIL}。

5. 这是只流到看门狗定时器的电流 （包含低速内部振荡器的工作电流）。在看门狗定时器运行的情况下，R7F0C001G/L、 R7F0C002G/L 的电流值为 I_{DD1}、 I_{DD2} 或者 I_{DD3} 加上 I_{WDT} 的值。

6. 这是只流到 A/D 转换器的电流。在运行模式或者 HALT 模式中 A/D 转换器运行的情况下， R7F0C001G/L、R7F0C002G/L 的电流值为 I_{DD1} 或者 I_{DD2} 加上 I_{ADC} 的值。

7. 这是只流到 LVD 电路的电流。在 LVD 电路运行的情况下， R7F0C001G/L、 R7F0C002G/L 的电流值为 I_{DD1}、I_{DD2} 或者 I_{DD3} 加上 I_{LVD} 的值。

8. 这是改写数据闪存时流过的电流。

9. 这是自编程时流过的电流。

10. 有关 SNOOZE 模式的转移时间，请参照 “16.3.3 SNOOZE 模式 ”。

11. 这是只流到 LCD 控制器 / 驱动器的电流。在运行模式或者 HALT 模式中 LCD 控制器 / 驱动器运行的情况下，R7F0C001G/L、 R7F0C002G/L 的电流值为电源电流 （I_{DD1} 或者 I_{DD2}）加上 LCD 工作电流 （I_{LCD1}、 I_{LCD2} 或者 I_{LCD3}）的值。不包含流到 LCD 显示屏的电流。

TYP. 值和 MAX. 值的条件如下：

- 选择 f_{SUB} 作为系统时钟并且 LCD 时钟为 128Hz 时 （LCDC0=07H）
- 设定为 4 个时间片和 1/3 偏压。

12. 在使用外部电阻分割方式时，不包含流到外部分割电阻的电流。

备注 1. f_{IL}： 低速内部振荡器时钟频率

2. f_{SUB}： 副系统时钟频率 （XT1 时钟振荡频率）

3. f_{CLK}： CPU/ 外围硬件时钟频率

4. TYP. 值的温度条件是 T_A=25°C。

27.4 AC 特性

27.4.1 基本运行

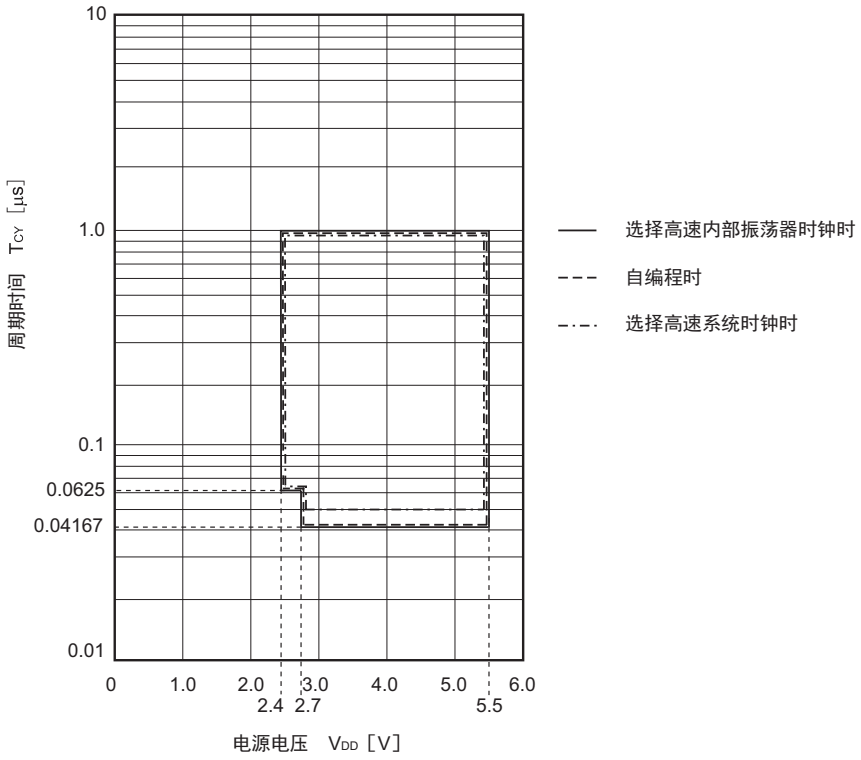
（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件			MIN.	TYP.	MAX.	单位
指令周期（最小指令执行时间）	T_{CY}	主系统时钟（f_{MAIN}）运行	HS （高速主）模式	2.7V ≤ V_{DD} ≤ 5.5V	0.04167		1	μs
				2.4V ≤ V_{DD} < 2.7V	0.0625		1	μs
			LV （低电压主）模式	1.6V ≤ V_{DD} ≤ 5.5V	0.25		1	μs
			LS （低速主）模式	1.8V ≤ V_{DD} ≤ 5.5V	0.125		1	μs
		副系统时钟 （f_{SUB}）运行		1.8V ≤ V_{DD} ≤ 5.5V	28.5	30.5	31.3	μs
		自编程时	HS （高速主）模式	2.7V ≤ V_{DD} ≤ 5.5V	0.04167		1	μs
				2.4V ≤ V_{DD} < 2.7V	0.0625		1	μs
			LV （低电压主）模式	1.8V ≤ V_{DD} ≤ 5.5V	0.25		1	μs
			LS （低速主）模式	1.8V ≤ V_{DD} ≤ 5.5V	0.125		1	μs
外部系统时钟频率	f_{EX}	2.7V ≤ V_{DD} ≤ 5.5V			1.0		20.0	MHz
		2.4V ≤ V_{DD} < 2.7V			1.0		16.0	MHz
		1.8V ≤ V_{DD} < 2.4V			1.0		8.0	MHz
		1.6V ≤ V_{DD} < 1.8V			1.0		4.0	MHz
	f_{EXS}				32		35	kHz
外部系统时钟输入的高低电平宽度	t_{EXH}、t_{EXL}	2.7V ≤ V_{DD} ≤ 5.5V			24			ns
		2.4V ≤ V_{DD} < 2.7V			30			ns
		1.8V ≤ V_{DD} < 2.4V			60			ns
		1.6V ≤ V_{DD} < 1.8V			120			ns
	t_{EXHS}、t_{EXLS}				13.7			μs
TI00 ～ TI03、 TI06、 TI07 输入的高低电平宽度	t_{TIH}、t_{TIL}				1/f_{MCK} +10			ns
TO00 ～ TO03、 TO06、 TO07 的输出频率	f_{TO}	HS （高速主）模式		4.0V ≤ EV_{DD} ≤ 5.5V			16	MHz
				2.7V ≤ EV_{DD} < 4.0V			8	MHz
				2.4V ≤ EV_{DD} < 2.7V			4	MHz
		LV （低电压主）模式		1.6V ≤ EV_{DD} ≤ 5.5V			2	MHz
		LS （低速主）模式		1.8V ≤ EV_{DD} ≤ 5.5V			4	MHz
PCLBUZ0、PCLBUZ1 的输出频率	f_{PCL}	HS （高速主）模式		4.0V ≤ EV_{DD} ≤ 5.5V			16	MHz
				2.7V ≤ EV_{DD} < 4.0V			8	MHz
				2.4V ≤ EV_{DD} < 2.7V			4	MHz
		LV （低电压主）模式		1.8V ≤ EV_{DD} ≤ 5.5V			4	MHz
				1.6V ≤ EV_{DD} < 1.8V			2	MHz
		LS （低速主）模式		1.8V ≤ EV_{DD} ≤ 5.5V			4	MHz
中断输入的高低电平宽度	t_{INTH}、t_{INTL}	INTP0		1.6V ≤ V_{DD} ≤ 5.5V	1			μs
		INTP1 ～ INTP7		1.6V ≤ EV_{DD} ≤ 5.5V	1			μs
键中断输入的低电平宽度	t_{KR}	KR0 ～ KR3		1.8V ≤ EV_{DD} ≤ 5.5V	250			ns
				1.6V ≤ EV_{DD} < 1.8V	1			μs
$\overline{\text{RESET}}$ 的低电平宽度	t_{RSL}				10			μs

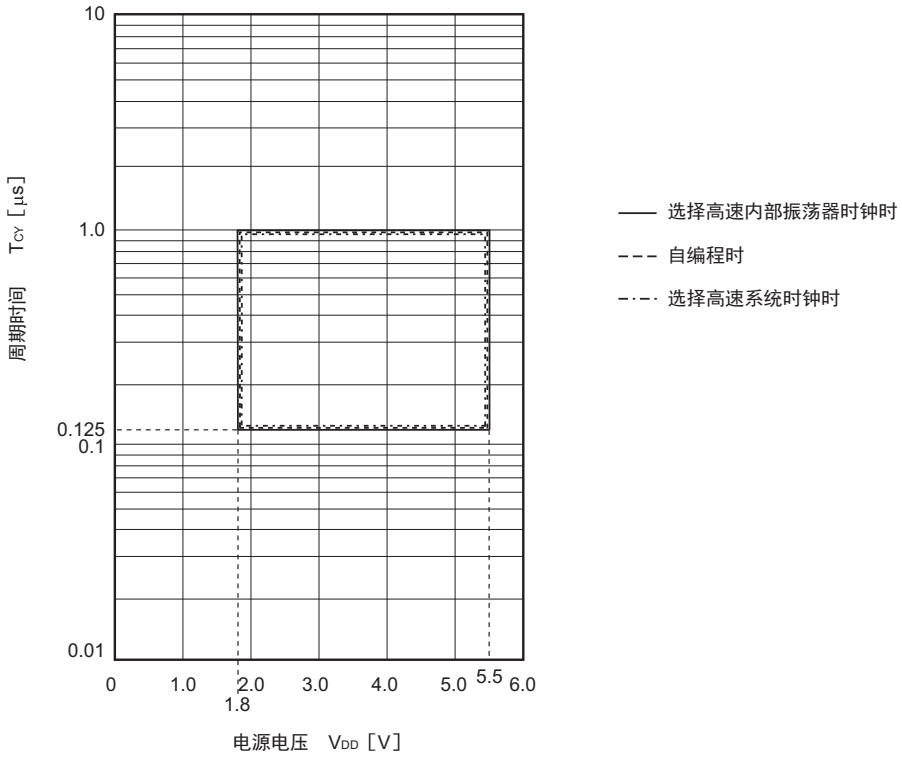
备注 f_{MCK}：定时器阵列单元的运行时钟频率（这是定时器模式寄存器 0n（TMR0n）的 CKS0n 位设定的运行时钟。n：通道号（n=0 ～ 3、 6、 7））

主系统时钟运行时的最短指令执行时间

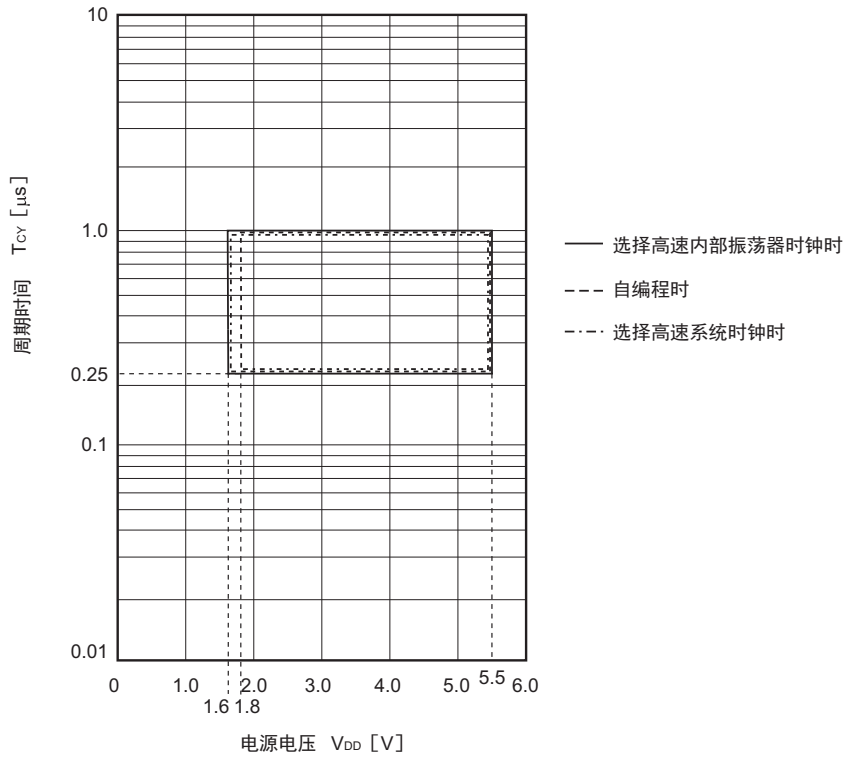
T_{CY} vs V_{DD} （HS （高速主）模式）



T_{CY} vs V_{DD} （LS （低速主）模式）

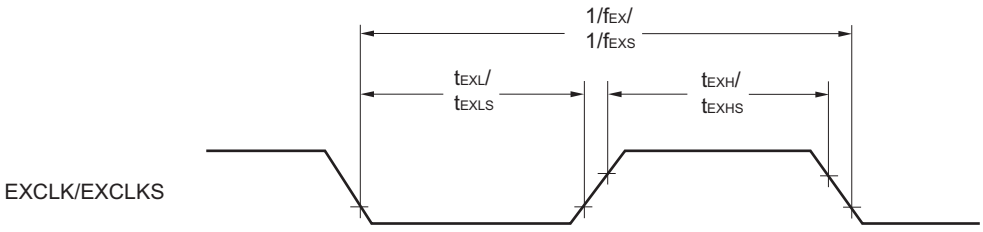


T_{CY} vs V_{DD} （LV （低电压主）模式）

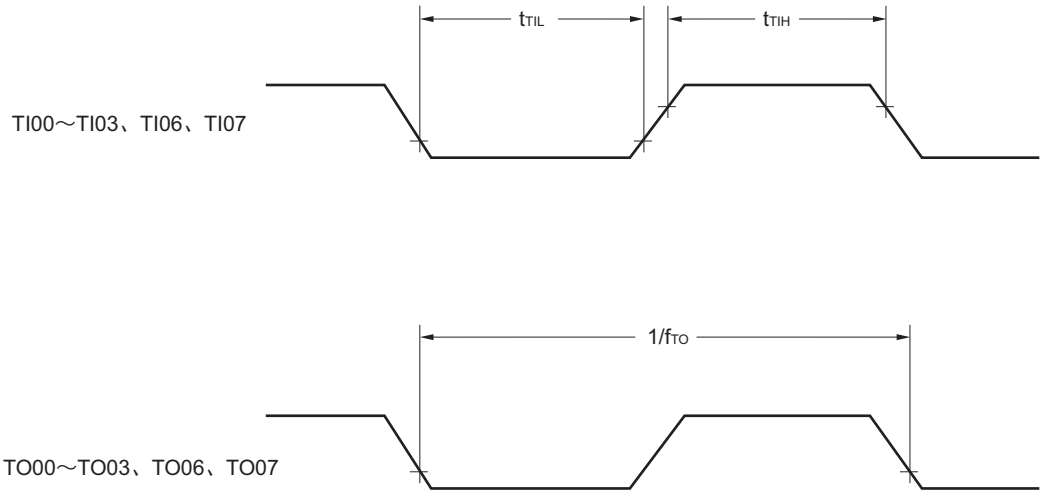


AC 时序测量点

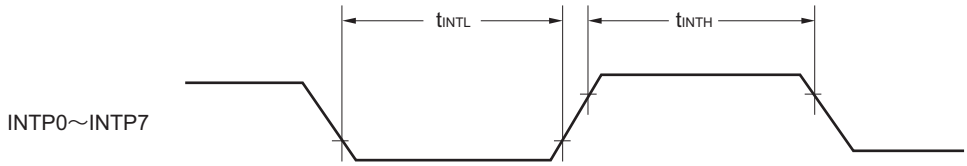
外部系统时钟的时序



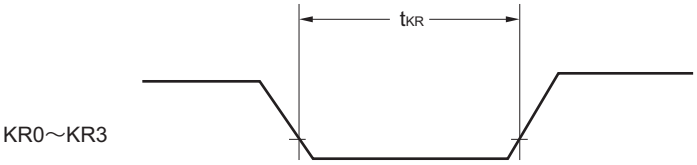
TI/TO 时序



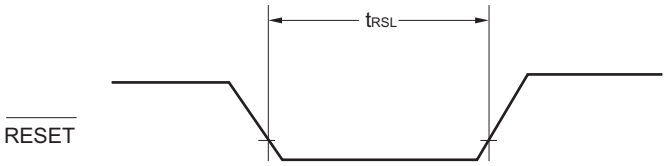
中断请求的输入时序



键中断的输入时序



$\overline{\text{RESET}}$ 的输入时序



27.5 外围功能特性

AC 时序测量点

27.5.1 串行阵列单元

(1) 同电位的通信 （UART 模式）（专用波特率发生器的输出）

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件	HS （高速主）模式		LS （低速主）模式		LV （低电压主）模式		单位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
传送速率注 1		2.4V ≤ EV_{DD}=V_{DD} ≤ 5.5V		f_{MCK}/6		f_{MCK}/6		f_{MCK}/6	bps
		最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 2		4.0		1.3		0.6	Mbps
		1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V				f_{MCK}/6		f_{MCK}/6	bps
		最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 2				1.3		0.6	Mbps
		1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V						f_{MCK}/6	bps
		最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 2						0.6	Mbps

注 1. SNOOZE 模式中的传送速率只有 4800bps。

2. CPU/ 外围硬件时钟 （f_{CLK}）的最大工作频率如下所示：

HS （高速主）模式： 24MHz （2.7V ≤ V_{DD} ≤ 5.5V）

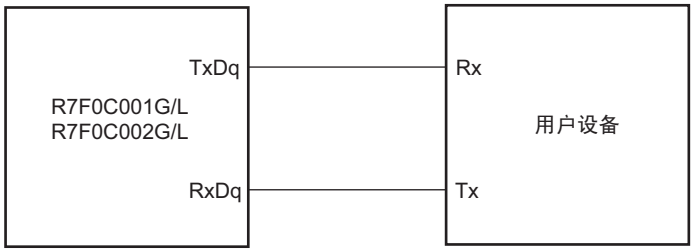
16MHz （2.4V ≤ V_{DD} ≤ 5.5V）

LS （低速主）模式： 8MHz （1.8V ≤ V_{DD} ≤ 5.5V）

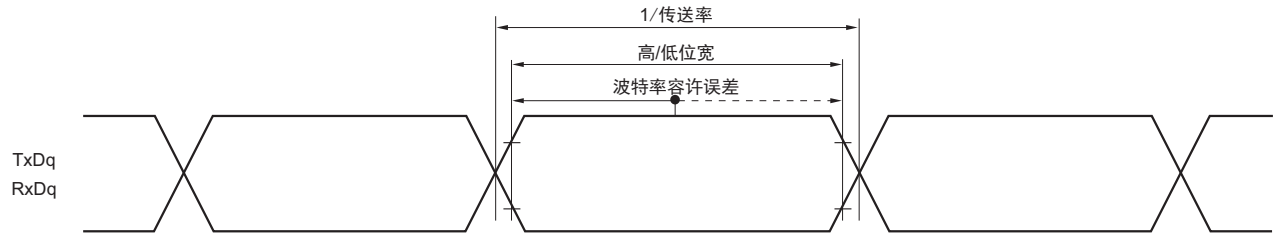
LV （低电压主）模式： 4MHz （1.6V ≤ V_{DD} ≤ 5.5V）

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 RxDq 引脚选择为通常输入缓冲器并且将 TxDq 引脚选择为通常输出模式。

UART模式的连接图 （同电位的通信）



UART模式的位宽 （同电位的通信）（参考）



备注 1. q：UART 号 （q=0） g：PIM、 POM 号 （g=1）

2. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

(2) 同电位的通信 （CSI 模式）（主控模式， SCKp…… 内部时钟输出）

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp 周期时间	t_{KCY1}	2.7V ≤ EV_{DD} ≤ 5.5V		167 注 1		500 注 1		1000 注 1		ns
		2.4V ≤ EV_{DD} ≤ 5.5V		250 注 1		500 注 1		1000 注 1		ns
		1.8V ≤ EV_{DD} ≤ 5.5V				500 注 1		1000 注 1		ns
		1.6V ≤ EV_{DD} ≤ 5.5V						1000 注 1		ns
SCKp 高低电平宽度	t_{KH1}、t_{KL1}	4.0V ≤ EV_{DD} ≤ 5.5V		t_{KCY1}/2 –12		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.7V ≤ EV_{DD} ≤ 5.5V		t_{KCY1}/2 –18		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.4V ≤ EV_{DD} ≤ 5.5V		t_{KCY1}/2 –38		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		1.8V ≤ EV_{DD} ≤ 5.5V				t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		1.6V ≤ EV_{DD} ≤ 5.5V						t_{KCY1}/2 –100		ns
SIp 准备时间（对 SCKp↑）注 2	t_{SIK1}	2.7V ≤ EV_{DD} ≤ 5.5V		44		110		110		ns
		2.4V ≤ EV_{DD} ≤ 5.5V		75		110		110		ns
		1.8V ≤ EV_{DD} ≤ 5.5V				110		110		ns
		1.6V ≤ EV_{DD} ≤ 5.5V						220		ns
SIp 保持时间（对 SCKp↑）注 2	t_{KSI1}	2.4V ≤ EV_{DD} ≤ 5.5V		19		19		19		ns
		1.8V ≤ EV_{DD} ≤ 5.5V				19		19		
		1.6V ≤ EV_{DD} ≤ 5.5V						19		
SCKp↓→SOp 输出延迟时间注 3	t_{KSO1}	C=30pF 注 4	2.4V ≤ EV_{DD} ≤ 5.5V		25		25		25	ns
			1.8V ≤ EV_{DD} ≤ 5.5V				25		25	
			1.6V ≤ EV_{DD} ≤ 5.5V						25	

注 1. 并且 CSI00 必须至少设定为 2/f_{MCK}， CSI01 必须至少设定为 4/f_{MCK}。

2. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↓”。

3. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↑”。

4. C 是 SCKp、 SOp 输出线的负载电容。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚选择为通常输入缓冲器并且将 SOp 引脚和 SCKp 引脚选择为通常输出模式。

备注 1. p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

2. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

(3) 同电位的通信 （CSI 模式）（从属模式， SCKp…… 外部时钟输入）

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp 周期时间注 4	t_{KCY2}	4.0V≤EV_{DD}≤5.5V	20MHz＜f_{MCK}	8/f_{MCK}						ns
			f_{MCK}≤20MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.7V≤EV_{DD}＜4.0V	16MHz＜f_{MCK}	8/f_{MCK}						ns
			f_{MCK}≤16MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.4V ≤ EV_{DD} ≤ 5.5V		6/f_{MCK} 并且 500		6/f_{MCK}		6/f_{MCK}		ns
		1.8V ≤ EV_{DD} ＜ 2.4V				6/f_{MCK}		6/f_{MCK}		ns
		1.6V ≤ EV_{DD} ＜ 1.8V						6/f_{MCK}		ns
SCKp 高低电平宽度	t_{KH2}、t_{KL2}	4.0V ≤ EV_{DD} ≤ 5.5V		t_{KCY2}/2 –7		t_{KCY2}/2 –7		t_{KCY2}/2 –7		ns
		2.7V ≤ EV_{DD} ＜ 4.0V		t_{KCY2}/2 –8		t_{KCY2}/2 –8		t_{KCY2}/2 –8		ns
		2.4V ≤ EV_{DD} ＜ 2.7V		t_{KCY2}/2 –18		t_{KCY2}/2 –18		t_{KCY2}/2 –18		ns
		1.8V ≤ EV_{DD} ＜ 2.4V				t_{KCY2}/2 –18		t_{KCY2}/2 –18		ns
		1.6V ≤ EV_{DD} ＜ 1.8V						t_{KCY2}/2 –66		ns
SIp 准备时间（对 SCKp↑）注 1	t_{SIK2}	2.7V ≤ EV_{DD} ≤ 5.5V		1/f_{MCK} +20		1/f_{MCK} +30		1/f_{MCK} +30		ns
		2.4V ≤ EV_{DD} ＜ 2.7V		1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.8V ≤ EV_{DD} ＜ 2.4V				1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.6V ≤ EV_{DD} ＜ 1.8V						1/f_{MCK} +40		ns
SIp 保持时间（对 SCKp↑）注 1	t_{KSI2}	2.4V ≤ EV_{DD} ≤ 5.5V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		1.8V ≤ EV_{DD} ＜ 2.4V				1/f_{MCK} +31		1/f_{MCK} +31		ns
		1.6V ≤ EV_{DD} ＜ 1.8V						1/f_{MCK} +250		ns
SCKp↓→SOp 输出延迟时间注 2	t_{KSO2}	C=30pF注3	4.0V ≤ EV_{DD} ≤ 5.5V		2/f_{MCK} +44		2/f_{MCK} +110		2/f_{MCK} +110	ns
			2.7V ≤ EV_{DD} ＜ 4.0V		2/f_{MCK} +44		2/f_{MCK} +110		2/f_{MCK} +110	ns
			2.4V ≤ EV_{DD} ＜ 2.7V		2/f_{MCK} +75		2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.8V ≤ EV_{DD} ＜ 2.4V				2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.6V ≤ EV_{DD} ＜ 1.8V						2/f_{MCK} +220	ns

注 1. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↓”。

2. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↑”。

3. C 是 SOp 输出线的负载电容。

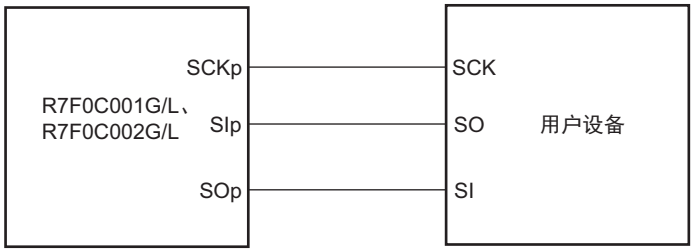
4. SNOOZE 模式中的传送速率为 MAX. 1Mbps。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚和 SCKp 引脚选择为通常输入缓冲器并且将 SOp 引脚选择为通常输出模式。

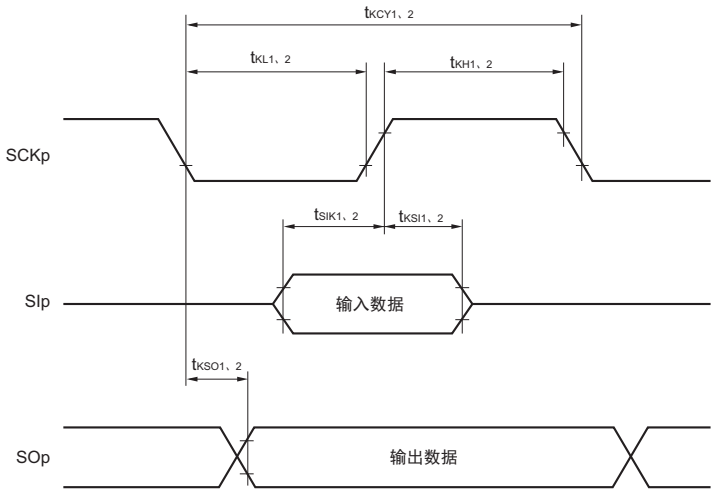
备注 1. p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

2. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

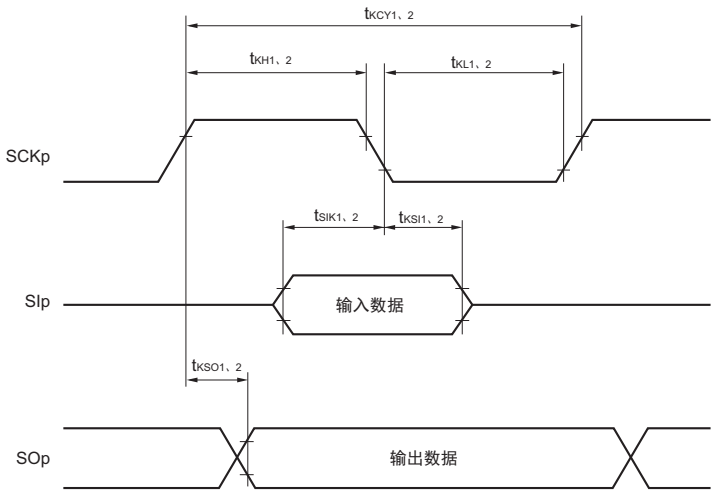
CSI模式的连接图 （同电位的通信）



CSI模式的串行传送时序 （同电位的通信）
（DAPmn=0、 CKPmn=0或者DAPmn=1、 CKPmn=1的情况）



CSI模式的串行传送时序 （同电位的通信）
（DAPmn=0、 CKPmn=1或者DAPmn=1、 CKPmn=0的情况）



备注 1. p：CSI 号 （p=00、 01）

2. m：单元号 n：通道号 （mn=00、 01）

(4) 不同电位 （1.8V、 2.5V、 3V）的通信 （UART 模式） (1/2)

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS （高速主）模式		LS （低速主）模式		LV （低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
传送速率		接收	4.0V ≤ EV_{DD} ≤ 5.5V、 2.7V ≤ V_b ≤ 4.0V		f_{MCK}/6 注 1		f_{MCK}/6 注 1		f_{MCK}/6 注 1	bps
			最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 3		4.0		1.3		0.6	Mbps
			2.7V ≤ EV_{DD} < 4.0V、 2.3V ≤ V_b ≤ 2.7V		f_{MCK}/6 注 1		f_{MCK}/6 注 1		f_{MCK}/6 注 1	bps
			最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 3		4.0		1.3		0.6	Mbps
			2.4V ≤ EV_{DD} < 3.3V、 1.6V ≤ V_b ≤ 2.0V		f_{MCK}/6 注 1		f_{MCK}/6 注 1		f_{MCK}/6 注 1	bps
			最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 3		4.0		1.3		0.6	Mbps
			1.8V ≤ EV_{DD} < 3.3V、 1.6V ≤ V_b ≤ 2.0V				f_{MCK}/6 注 1、 2		f_{MCK}/6 注 1、 2	bps
			最大传送速率的逻辑值 f_{MCK}=f_{CLK} 注 3				1.3		0.6	Mbps

注 1. SNOOZE 模式中的传送速率只为 4800bps。

2. 必须在 EV_{DD} ≥ V_b 的情况下使用。

3. CPU/ 外围硬件时钟 （f_{CLK}）的最高工作频率如下所示：

HS （高速主）模式： 24MHz （2.7V ≤ V_{DD} ≤ 5.5V）

16MHz （2.4V ≤ V_{DD} ≤ 5.5V）

LS （低速主）模式： 8MHz （1.8V ≤ V_{DD} ≤ 5.5V）

LV （低电压主）模式： 4MHz （1.6V ≤ V_{DD} ≤ 5.5V）

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 RxDq 引脚选择为 TTL 输入缓冲器并且将 TxDq 引脚选择为 N 沟道漏极开路输出（V_{DD} 耐压（48 引脚产品）/EV_{DD} 耐压（64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

备注 1. V_b[V]：通信线的电压

2. q：UART 号 （q=0） g：PIM、 POM 号 （g=1）

3. f_{MCK}：串行阵列单元的运行时钟频率

（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

(4) 不同电位 （1.8V、 2.5V、 3V）的通信 （UART 模式） (2/2)

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
传送速率		发送	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V		注 1		注 1		注 1	bps
			最大传送速率的逻辑值 C_b=50pF、R_b=1.4kΩ、 V_b=2.7V		2.8 注 2		2.8 注 2		2.8 注 2	Mbps
			2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V		注 3		注 3		注 3	bps
			最大传送速率的逻辑值 C_b=50pF、R_b=2.7kΩ、 V_b=2.3V		1.2 注 4		1.2 注 4		1.2 注 4	Mbps
			2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V		注 6		注 6		注 6	bps
			最大传送速率的逻辑值 C_b=50pF、R_b=5.5kΩ、 V_b=1.6V		0.43 注 7		0.43 注 7		0.43 注 7	Mbps
			1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V				注 5、 6		注 5、 6	bps
			最大传送速率的逻辑值 C_b=50pF、R_b=5.5kΩ、 V_b=1.6V				0.43 注 7		0.43 注 7	Mbps

注 1. f_{MCK}/6 和用以下计算式算出的最大传送速率中的较小的值为有效的最大传送速率。

4.0V ≤ EV_{DD} ≤ 5.5V、 2.7V ≤ V_b ≤ 4.0V 时的传送速率计算式：

$$\text{最大传送速率} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率容许误差 （理论值）} = \frac{\frac{1}{\text{传送速率} \times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{传送速率}}) \times \text{传送位数}} \times 100 \quad [\%]$$

※ 此值为发送方和接收方的相对误差的理论值。

2. 作为例子，此值是满足条件栏中条件的计算值。有关用户条件的最大传送速率，必须根据注 1 进行计算。

3. f_{MCK}/6 和用以下计算式算出的最大传送速率中的较小的值为有效的最大传送速率。
   2.7V ≤ EV_{DD} < 4.0V、 2.3V ≤ V_b ≤ 2.7V 时的传送速率计算式：

$$\text{最大传送速率} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率容许误差（理论值）} = \frac{\frac{1}{\text{传送速率} \times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{传送速率}}) \times \text{传送位数}} \times 100 \quad [\%]$$

※ 此值为发送方和接收方的相对误差的理论值。

4. 作为例子，此值是满足条件栏中条件的计算值。有关用户条件的最大传送速率，必须根据注 3 进行计算。
5. 必须在 $EV_{DD} \geq V_b$ 的情况下使用。
6. f_{MCK}/6 和用以下计算式算出的最大传送速率中的较小的值为有效的最大传送速率。
   1.8V ≤ EV_{DD} < 3.3V、 1.6V ≤ V_b ≤ 2.0V 时的传送速率计算式：

$$\text{最大传送速率} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

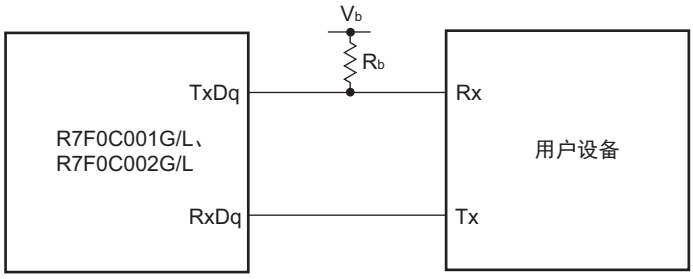
$$\text{波特率容许误差（理论值）} = \frac{\frac{1}{\text{传送速率} \times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{传送速率}}) \times \text{传送位数}} \times 100 \quad [\%]$$

※ 此值为发送方和接收方的相对误差的理论值。

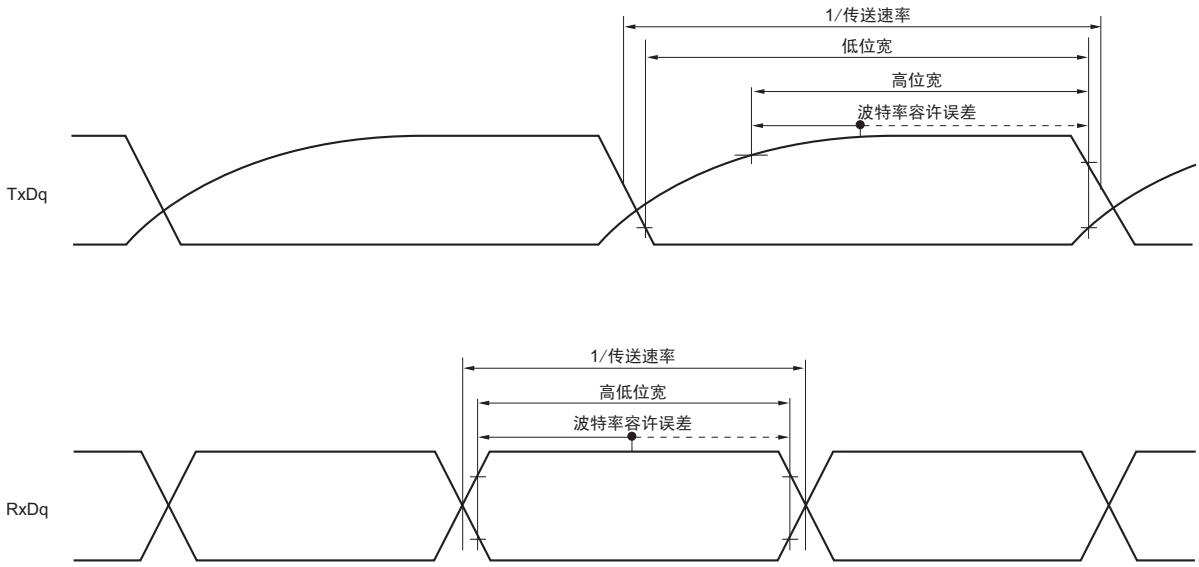
7. 作为例子，此值是满足条件栏中条件的计算值。有关用户条件的最大传送速率，必须根据注 6 进行计算。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 RxDq 引脚选择为 TTL 输入缓冲器并且将 TxDq 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

UART 模式的连接图 （不同电位的通信）



UART 模式的位宽 （不同电位的通信）（参考）



备注 1. R_b[Ω]：通信线 （TxDq）的上拉电阻值 C_b[F]：通信线 （TxDq）的负载电容值 V_b[V]：通信线的电压

2. q：UART 号 （q=0、 1） g：PIM、 POM 号 （g=1）

3. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

(5) 不同电位 （2.5V、 3V）的通信 （CSI 模式）（主控模式， SCKp…… 内部时钟输出，只对应 CSI00）

（T_A=–40 ～ +85°C、 2.7V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp 周期时间	t_{KCY1}	t_{KCY1} ≥ $2/f_{CLK}$	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=20pF、 R_b=1.4kΩ	200 注1		1150 注1		1150 注1		ns
			2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=20pF、 R_b=2.7kΩ	300 注1		1150 注1		1150 注1		ns
SCKp 高电平宽度	t_{KH1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		$t_{KCY1}/2$ –50		$t_{KCY1}/2$ –50		$t_{KCY1}/2$ –50		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		$t_{KCY1}/2$ –120		$t_{KCY1}/2$ –120		$t_{KCY1}/2$ –120		ns
SCKp 低电平宽度	t_{KL1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		$t_{KCY1}/2$ –7		$t_{KCY1}/2$ –50		$t_{KCY1}/2$ –50		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		$t_{KCY1}/2$ –10		$t_{KCY1}/2$ –50		$t_{KCY1}/2$ –50		ns
SIp 准备时间（对 SCKp↑）注 2	t_{SIK1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		58		479		479		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		121		479		479		ns
SIp 保持时间（对 SCKp↑）注 2	t_{KSI1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		10		10		10		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		10		10		10		ns
SCKp↓→SOp 输出延迟时间注 2	t_{KSO1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ			60		60		60	ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ			130		130		130	ns
SIp 准备时间（对 SCKp↓）注 3	t_{SIK1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		23		110		110		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		33		110		110		ns
SIp 保持时间（对 SCKp↓）注 3	t_{KSI1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ		10		10		10		ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ		10		10		10		ns
SCKp↑→SOp 输出延迟时间注 3	t_{KSO1}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、C_b=20pF、 R_b=1.4kΩ			10		10		10	ns
		2.7V≤EV_{DD}<4.0V、2.3V≤V_b≤2.7V、C_b=20pF、 R_b=2.7kΩ			10		10		10	ns

注 1. 并且必须至少设定为 $2/f_{MCK}$。

2. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。

3. 这是 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 的情况。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚选择为 TTL 输入缓冲器并且将 SOp 引脚和 SCKp 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

备注 1. R_b[Ω]：通信线（SCKp、SOp）的上拉电阻值 C_b[F]：通信线（SCKp、SOp）的负载电容值 V_b[V]：通信线的电压

2. p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

3. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

(6) 不同电位 （1.8V、 2.5V、 3V）的通信 （CSI 模式）（主控模式， SCKp…… 内部时钟输出） (1/3)

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp 周期时间	t_{KCY1}	t_{KCY1} ≥ 4/f_{CLK}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ	300		1150		1150		ns
			2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ	500		1150		1150		ns
			2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ	1150		1150		1150		ns
			1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V 注、C_b=30pF、 R_b=5.5kΩ			1150		1150		ns
SCKp 高电平宽度	t_{KH1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ		t_{KCY1}/2 –75		t_{KCY1}/2 –75		t_{KCY1}/2 –75		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ		t_{KCY1}/2 –170		t_{KCY1}/2 –170		t_{KCY1}/2 –170		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ		t_{KCY1}/2 –458		t_{KCY1}/2 –458		t_{KCY1}/2 –458		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V 注、C_b=30pF、 R_b=5.5kΩ				t_{KCY1}/2 –458		t_{KCY1}/2 –458		ns
SCKp 低电平宽度	t_{KL1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ		t_{KCY1}/2 –12		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ		t_{KCY1}/2 –18		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V 注、C_b=30pF、 R_b=5.5kΩ				t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns

注 必须在 EV_{DD} ≥ V_b 的情况下使用。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚选择为 TTL 输入缓冲器并且将 SOp 引脚和 SCKp 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

(6) 不同电位 （1.8V、 2.5V、 3V）的通信 （CSI 模式）（主控模式， SCKp…… 内部时钟输出） (2/3)

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件	HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIp 准备时间（对 SCKp↑）注 1	t_{SIK1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ	81		479		479		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ	177		479		479		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ	479		479		479		ns
		1.8V≤EV_{DD}<3.3V、1.6V≤V_b≤2.0V注3、C_b=30pF、 R_b=5.5kΩ			479		479		ns
SIp 保持时间（对 SCKp↑）注 1	t_{KSI1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ	19		19		19		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ	19		19		19		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ	19		19		19		ns
		1.8V≤EV_{DD}<3.3V、1.6V≤V_b≤2.0V注3、C_b=30pF、 R_b=5.5kΩ			19		19		ns
SCKp↓→SOp 输出延迟时间注 1	t_{KSO1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ		100		100		100	ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ		195		195		195	ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ		483		483		483	ns
		1.8V≤EV_{DD}<3.3V、1.6V≤V_b≤2.0V注3、C_b=30pF、 R_b=5.5kΩ				483		483	ns
SIp 准备时间（对 SCKp↓）注 2	t_{SIK1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、C_b=30pF、 R_b=1.4kΩ	44		110		110		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、C_b=30pF、 R_b=2.7kΩ	44		110		110		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、C_b=30pF、 R_b=5.5kΩ	110		110		110		ns
		1.8V≤EV_{DD}<3.3V、1.6V≤V_b≤2.0V注3、C_b=30pF、 R_b=5.5kΩ			110		110		ns

注 1. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。

2. 这是 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 的情况。

3. 必须在 EV_{DD} ≥ V_b 的情况下使用。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚选择为 TTL 输入缓冲器并且将 SOp 引脚和 SCKp 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

(6) 不同电位 （1.8V、 2.5V、 3V）的通信 （CSI 模式）（主控模式， SCKp…… 内部时钟输出） (3/3)

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件	HS （高速主） 模式		LS （低速主） 模式		LV （低电压主） 模式		单位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIp 保持时间 （对 SCKp↓）注 2	t_{KSI1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、 C_b=30pF、 R_b=1.4kΩ	19		19		19		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、 C_b=30pF、 R_b=2.7kΩ	19		19		19		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、 C_b=30pF、 R_b=5.5kΩ	19		19		19		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V注3、 C_b=30pF、 R_b=5.5kΩ			19		19		ns
SCKp↑→SOp 输出延迟时间注 2	t_{KSO1}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V、 C_b=30pF、 R_b=1.4kΩ		25		25		25	ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V、 C_b=30pF、 R_b=2.7kΩ		25		25		25	ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V、 C_b=30pF、 R_b=5.5kΩ		25		25		25	ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V注3、 C_b=30pF、 R_b=5.5kΩ				25		25	ns

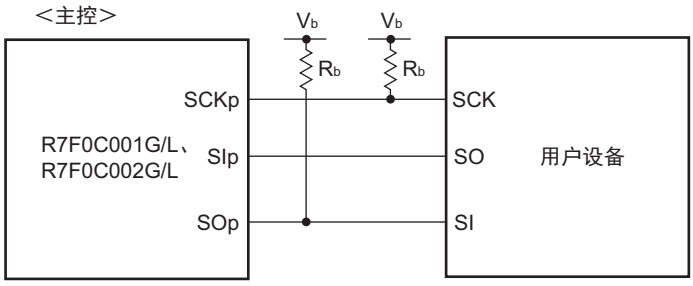
注 1. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。

2. 这是 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 的情况。

3. 必须在 EV_{DD} ≥ V_b 的情况下使用。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚选择为 TTL 输入缓冲器并且将 SOp 引脚和 SCKp 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

CSI 模式的连接图 （不同电位的通信）



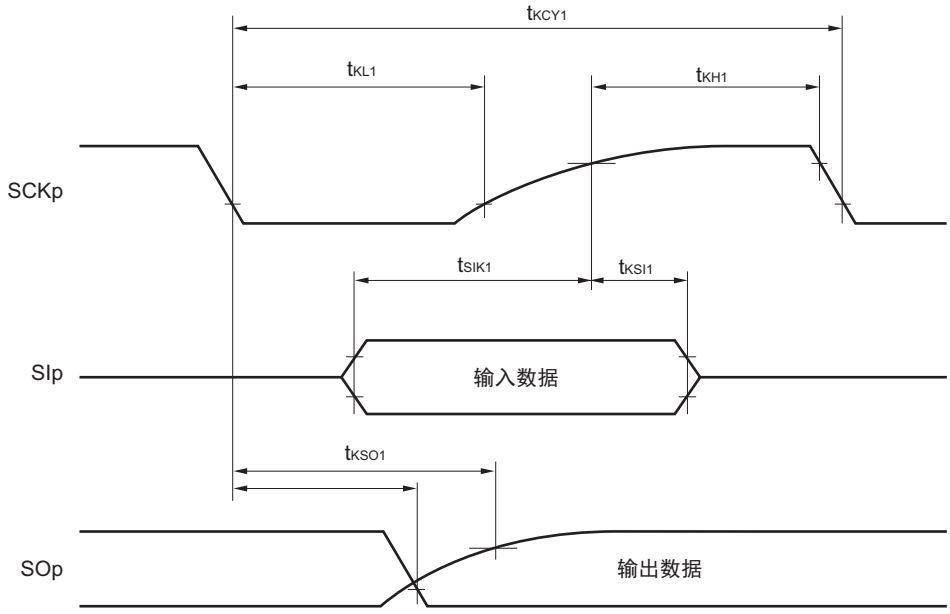
备注 1. R_b[Ω]：通信线（SCKp、SOp）的上拉电阻值 C_b[F]：通信线（SCKp、SOp）的负载电容值 V_b[V]：通信线的电压

2. p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

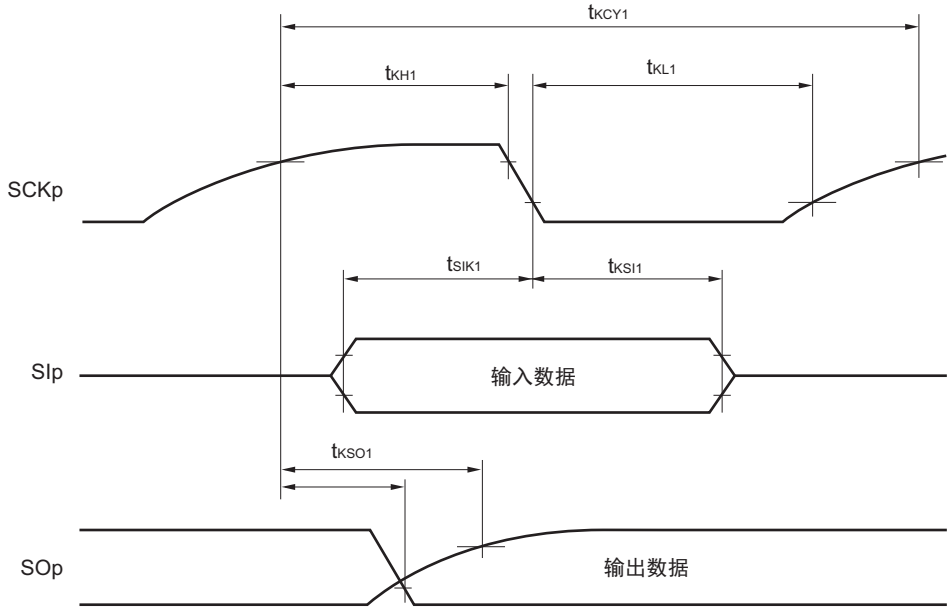
3. f_{MCK}：串行阵列单元的运行时钟频率

（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

CSI模式的串行传送时序：主控模式 （不同电位的通信）
（DAPmn=0、 CKPmn=0或者DAPmn=1、 CKPmn=1的情况）



CSI模式的串行传送时序：主控模式 （不同电位的通信）
（DAPmn=0、 CKPmn=1或者DAPmn=1、 CKPmn=0的情况）



备注 p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

(7) 不同电位 （1.8V、 2.5V、 3V）的通信 （CSI 模式）（从属模式， SCKp…… 外部时钟输入）

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (1/2)

项目	符号	条件		HS（高速主）模式		LS（低速主）模式		LV（低电压主）模式		单位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp 周期时间注 1	t_{KCY2}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V	20MHz < f_{MCK} ≤ 24MHz	12/f_{MCK}						ns
			8MHz < f_{MCK} ≤ 20MHz	10/f_{MCK}						ns
			4MHz < f_{MCK} ≤ 8MHz	8/f_{MCK}		16/f_{MCK}				ns
			f_{MCK} ≤ 4MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V	20MHz < f_{MCK} ≤ 24MHz	16/f_{MCK}						ns
			16MHz < f_{MCK} ≤ 20MHz	14/f_{MCK}						ns
			8MHz < f_{MCK} ≤ 16MHz	12/f_{MCK}						ns
			4MHz < f_{MCK} ≤ 8MHz	8/f_{MCK}		16/f_{MCK}				ns
			f_{MCK} ≤ 4MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V	20MHz < f_{MCK} ≤ 24MHz	36/f_{MCK}						ns
			16MHz < f_{MCK} ≤ 20MHz	32/f_{MCK}						ns
			8MHz < f_{MCK} ≤ 16MHz	26/f_{MCK}						ns
			4MHz < f_{MCK} ≤ 8MHz	16/f_{MCK}		16/f_{MCK}				ns
			f_{MCK} ≤ 4MHz	10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V 注 2	4MHz < f_{MCK} ≤ 8MHz			16/f_{MCK}				ns
			f_{MCK} ≤ 4MHz			10/f_{MCK}		10/f_{MCK}		ns
SCKp 高低电平宽度	t_{KH2}、t_{KL2}	4.0V ≤ EV_{DD} ≤ 5.5V、2.7V ≤ V_b ≤ 4.0V		t_{KCY2}/2 –12		t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V		t_{KCY2}/2 –18		t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V		t_{KCY2}/2 –50		t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V注2				t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
SIp 准备时间（对 SCKp↑）注 3	t_{SIK2}	4.0V ≤ EV_{DD} < 5.5V、2.7V ≤ V_b ≤ 4.0V		1/f_{MCK} +20		1/f_{MCK} +30		1/f_{MCK} +30		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V		1/f_{MCK} +20		1/f_{MCK} +30		1/f_{MCK} +30		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V		1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V注2				1/f_{MCK} +30		1/f_{MCK} +30		ns
SIp 保持时间（对 SCKp↑）注 3	t_{KSI2}	4.0V ≤ EV_{DD} < 5.5V、2.7V ≤ V_b ≤ 4.0V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		2.7V ≤ EV_{DD} < 4.0V、2.3V ≤ V_b ≤ 2.7V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		2.4V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		1.8V ≤ EV_{DD} < 3.3V、1.6V ≤ V_b ≤ 2.0V注2				1/f_{MCK} +31		1/f_{MCK} +31		ns

(7) 不同电位 （1.8V、 2.5V、 3V）的通信 （CSI 模式）（从属模式， SCKp…… 外部时钟输入）

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V） (2/2)

项目	符号	条件	HS （高速主） 模式		LS （低速主） 模式		LV （低电压主） 模式		单位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp↓→SOp 输出延迟时间注 4	t_{KSO2}	4.0V≤EV_{DD}≤5.5V、2.7V≤V_b≤4.0V、 C_b=30pF、 R_b=1.4kΩ		2/f_{MCK} +120		2/f_{MCK} +573		2/f_{MCK} +573	ns
		2.7V≤EV_{DD}＜4.0V、2.3V≤V_b≤2.7V、 C_b=30pF、 R_b=2.7kΩ		2/f_{MCK} +214		2/f_{MCK} +573		2/f_{MCK} +573	ns
		2.4V≤EV_{DD}＜3.3V、1.6V≤V_b≤2.0V、 C_b=30pF、 R_b=5.5kΩ		2/f_{MCK} +573		2/f_{MCK} +573		2/f_{MCK} +573	ns
		1.8V ≤ EV_{DD} ＜ 3.3V、 1.6V ≤ V_b ≤ 2.0V注 2、 C_b=30pF、 R_b=5.5kΩ				2/f_{MCK} +573		2/f_{MCK} +573	ns

注 1. SNOOZE 模式中的传送速率为 MAX. 1Mbps。

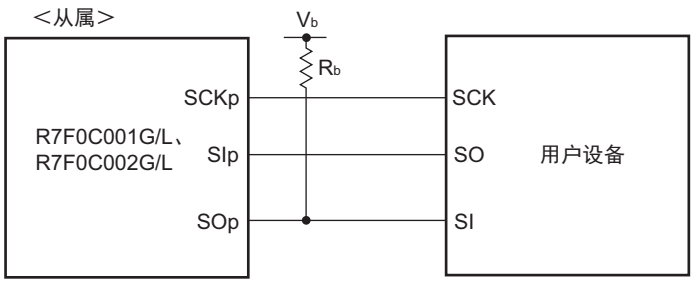
2. 必须在 EV_{DD} ≥ V_b 的情况下使用。

3. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↓”。

4. 这是 DAPmn=0、 CKPmn=0 或者 DAPmn=1、 CKPmn=1 的情况。在 DAPmn=0、 CKPmn=1 或者 DAPmn=1、 CKPmn=0 时，为 “ 对 SCKp↑”。

注意 通过端口输入模式寄存器 g （PIMg）和端口输出模式寄存器 g （POMg），将 SIp 引脚和 SCKp 引脚选择为 TTL 输入缓冲器并且将 SOp 引脚选择为 N 沟道漏极开路输出 （V_{DD} 耐压 （48 引脚产品） /EV_{DD} 耐压 （64 引脚产品））模式。另外，有关 V_{IH}、 V_{IL}，请参照选择 TTL 输入缓冲器时的 DC 特性。

CSI 模式的连接图 （不同电位的通信）

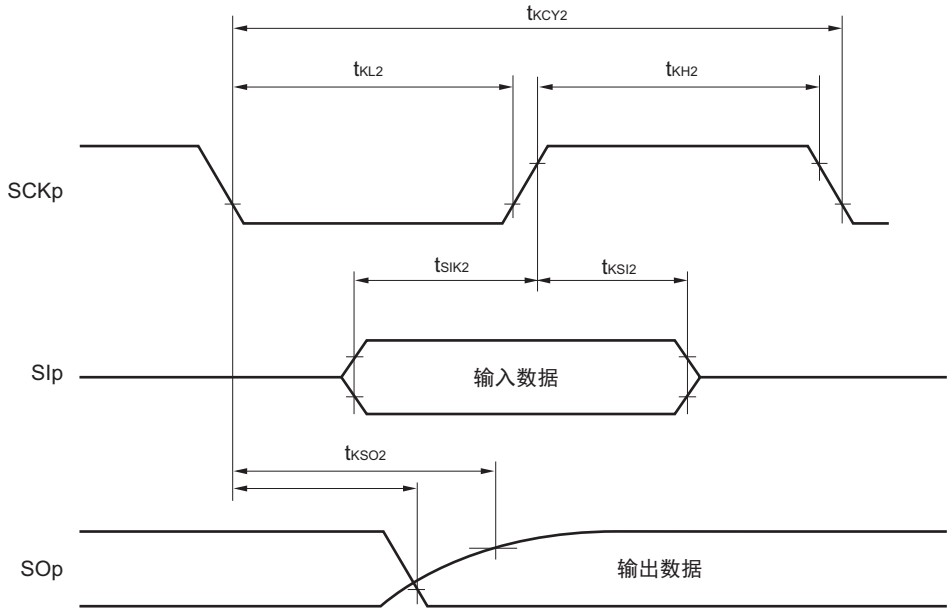


备注 1. R_b[Ω]：通信线 （SOp）的上拉电阻值 C_b[F]：通信线 （SOp）的负载电容值 V_b[V]：通信线的电压

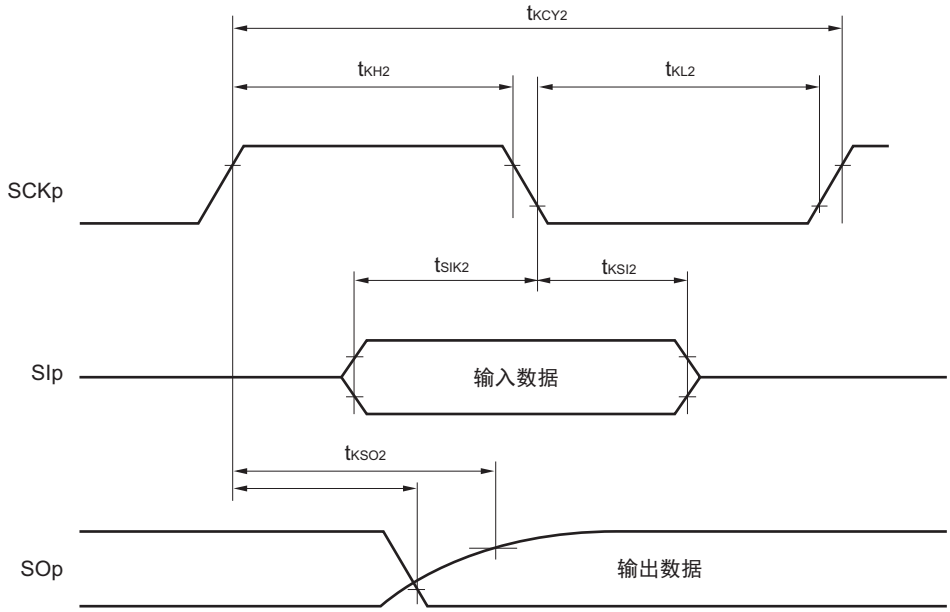
2. p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

3. f_{MCK}：串行阵列单元的运行时钟频率
（这是串行时钟选择寄存器 m （SPSm）和串行模式寄存器 mn （SMRmn）的 CKSmn 位设定的运行时钟。 m：单元号、 n：通道号 （mn=00、 01））

CSI模式的串行传送时序：从属模式 （不同电位的通信）
（DAPmn=0、 CKPmn=0或者DAPmn=1、 CKPmn=1的情况）



CSI模式的串行传送时序：从属模式 （不同电位的通信）
（DAPmn=0、 CKPmn=1或者DAPmn=1、 CKPmn=0的情况）



备注 p：CSI 号 （p=00、 01） m：单元号 （m=0） n：通道号 （n=0、 1） g：PIM、 POM 号 （g=1）

27.6 模拟特性

27.6.1 A/D 转换器特性

A/D 转换器特性的区分

基准电压 / 输入通道	基准电压 （+） =AV_{REFP} 基准电压 （–） =AV_{REFM}	基准电压 （+） =V_{DD} 基准电压 （–） =V_{SS}	基准电压 （+） =V_{BGR} 基准电压 （–） =AV_{REFM}
ANI0 ～ ANI1	—	参照 27.6.1(3)	参照 27.6.1(4)
ANI16 ～ ANI23	参照 27.6.1(2)		
内部基准电压 温度传感器输出电压	参照 27.6.1(1)		—

(1) 选择基准电压 （+） =AV_{REFP}/ANI0 （ADREFP1=0、 ADREFP0=1） 、基准电压 （–） =AV_{REFM}/ANI1 （ADREFM=1）时，转换对象为：内部基准电压、温度传感器输出电压

（T_A=–40 ～ +85°C、 2.4V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 1.6V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V、
基准电压 （+） =AV_{REFP}、基准电压 （–） =AV_{REFM}=0V）

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES			8		10	bit
综合误差注 1	AINL	10 位分辨率 AV_{REFP}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V		1.2	±3.5	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4		1.2	±7.0	LSB
转换时间	t_{CONV}	10 位分辨率 转换对象： 内部基准电压、温度传感器输出电压 （HS （高速主）模式）	3.6V ≤ V_{DD} ≤ 5.5V	2.375		39	μs
			2.7V ≤ V_{DD} ≤ 5.5V	3.5625		39	μs
			2.4V ≤ V_{DD} ≤ 5.5V	17		39	μs
零刻度误差注 1、 2	E_{ZS}	10 位分辨率 AV_{REFP}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±0.25	%FSR
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±0.50	%FSR
满刻度误差注 1、 2	E_{FS}	10 位分辨率 AV_{REFP}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±0.25	%FSR
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±0.50	%FSR
积分线性误差注 1	ILE	10 位分辨率 AV_{REFP}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±2.5	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±5.0	LSB
微分线性误差注 1	DLE	10 位分辨率 AV_{REFP}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±1.5	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±2.0	LSB
模拟输入电压	V_{AIN}	内部基准电压 （2.4V ≤ V_{DD} ≤ 5.5V、 HS （高速主）模式）		V_{BGR} 注 5			V
		温度传感器输出电压 （2.4V ≤ V_{DD} ≤ 5.5V、 HS （高速主）模式）		V_{TMPS25} 注 5			V

注 1. 不包含量化误差 （±1/2 LSB）。

2. 用对满刻度值的比率 （%FSR）表示。

3. 在 AV_{REFP} < V_{DD} 时， MAX. 值如下变化。
综合误差：在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±1.0LSB
零刻度误差 / 满刻度误差：在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±0.05%FSR
积分线性误差 / 微分线性误差：在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±0.5LSB

4. 这是将转换时间设定为 MIN.57μs、 MAX.95μs 时的值。

5. 请参照 “27.6.2 温度传感器 / 内部基准电压特性 ”。

(2) 选择基准电压 （+） =AV_{REFP}/ANI0 （ADREFP1=0、 ADREFP0=1） 、基准电压 （–） =AV_{REFM}/ANI1 （ADREFM=1）时，转换对象为：ANI16 ～ ANI23

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 1.6V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V、基准电压 （+） =AV_{REFP}、基准电压 （–） =AV_{REFM}=0V）

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES			8		10	bit
综合误差注 1	AINL	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V		1.2	±5.0	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4		1.2	±8.5	LSB
转换时间	t_{CONV}	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	3.6V ≤ V_{DD} ≤ 5.5V	2.125		39	μs
			2.7V ≤ V_{DD} ≤ 5.5V	3.1875		39	μs
			1.8V ≤ V_{DD} ≤ 5.5V	17		39	μs
			1.6V ≤ V_{DD} ≤ 5.5V	57		95	μs
零刻度误差注 1、2	E_{ZS}	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±0.35	%FSR
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±0.60	%FSR
满刻度误差注 1、2	E_{FS}	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±0.35	%FSR
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±0.60	%FSR
积分线性误差注 1	ILE	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±3.5	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±6.0	LSB
微分线性误差注 1	DLE	10 位分辨率 AV_{REFP}=EV_{DD}=V_{DD} 注 3	1.8V ≤ AV_{REFP} ≤ 5.5V			±2.0	LSB
			1.6V ≤ AV_{REFP} ≤ 5.5V 注 4			±2.5	LSB
模拟输入电压	V_{AIN}			0		AV_{REFP} 并且 EV_{DD}	V

注 1. 包含量化误差 （±1/2 LSB）。

2. 用对满刻度值的比率 （%FSR）表示。

3. 在 AV_{REFP} < EV_{DD}=V_{DD} 时， MAX. 值如下变化。

综合误差： 在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±4.0LSB

零刻度误差 / 满刻度误差： 在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±0.20%FSR

积分线性误差 / 微分线性误差：在 AV_{REFP}=V_{DD} 时的 MAX. 值上加 ±2.0LSB

4. 这是将转换时间设定为 MIN.57μs、 MAX.95μs 时的值。

(3) 选择基准电压 （+） =V_{DD} （ADREFP1=0、 ADREFP0=0）、基准电压 （–） =V_{SS} （ADREFM=0）时，转换对象为：ANI0、 ANI1、 ANI16 ～ ANI23、内部基准电压、温度传感器输出电压

（T_A=–40 ～ +85°C、 1.6V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V、基准电压 （+） =V_{DD}、基准电压 （–） =V_{SS}）

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES			8		10	bit
综合误差注 1	AINL	10 位分辨率	1.8V ≤ V_{DD} ≤ 5.5V		1.2	±7.0	LSB
			1.6V ≤ V_{DD} ≤ 5.5V 注 3		1.2	±10.5	LSB
转换时间	t_{CONV}	10 位分辨率	3.6V ≤ V_{DD} ≤ 5.5V	2.125		39	µs
			2.7V ≤ V_{DD} ≤ 5.5V	3.1875		39	µs
			1.8V ≤ V_{DD} ≤ 5.5V	17		39	µs
			1.6V ≤ V_{DD} ≤ 5.5V	57		95	µs
		10 位分辨率 转换对象： 内部基准电压、 温度传感器输出电压 HS （高速主）模式	3.6V ≤ V_{DD} ≤ 5.5V	2.375		39	µs
			2.7V ≤ V_{DD} ≤ 5.5V	3.5625		39	µs
			2.4V ≤ V_{DD} ≤ 5.5V	17		39	µs
零刻度误差注 1、2	E_{ZS}	10 位分辨率	1.8V ≤ V_{DD} ≤ 5.5V			±0.60	%FSR
			1.6V ≤ V_{DD} ≤ 5.5V 注 3			±0.85	%FSR
满刻度误差注 1、2	E_{FS}	10 位分辨率	1.8V ≤ V_{DD} ≤ 5.5V			±0.60	%FSR
			1.6V ≤ V_{DD} ≤ 5.5V 注 3			±0.85	%FSR
积分线性误差注 1	ILE	10 位分辨率	1.8V ≤ V_{DD} ≤ 5.5V			±4.0	LSB
			1.6V ≤ V_{DD} ≤ 5.5V 注 3			±6.5	LSB
微分线性误差注 1	DLE	10 位分辨率	1.8V ≤ V_{DD} ≤ 5.5V			±2.0	LSB
			1.6V ≤ V_{DD} ≤ 5.5V 注 3			±2.5	LSB
模拟输入电压	V_{AIN}	ANI0、 ANI1		0		V_{DD}	V
		ANI16 ～ ANI23		0		EV_{DD}	V
		内部基准电压 （2.4V ≤ V_{DD} ≤ 5.5V、 HS （高速主）模式）		V_{BGR} 注 4			V
		温度传感器输出电压 （2.4V ≤ V_{DD} ≤ 5.5V、 HS （高速主）模式）		V_{TMPS25} 注 4			V

注 1. 不包含量化误差 （±1/2 LSB）。

2. 用对满刻度值的比率 （%FSR）表示。

3. 这是将转换时间设定为 MIN.57µs、 MAX.95µs 时的值。

4. 请参照 “27.6.2 温度传感器 / 内部基准电压特性 ”。

(4) 选择基准电压 （+） = 内部基准电压 （ADREFP1=1、 ADREFP0=0）、基准电压 （–） =AV_{REFM}/ANI1 （ADREFM=1）时，转换对象为：ANI0、 ANI16 ～ ANI23

（T_A=–40 ～ +85°C、2.4V ≤ EV_{DD}=V_{DD} ≤ 5.5V、V_{SS}=EV_{SS}=0V、基准电压（+）=V_{BGR} 注 3、基准电压（–）=AV_{REFM} 注 4=0V、 HS （高速主）模式）

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	R_{ES}				8		bit
转换时间	t_{CONV}	8 位分辨率	2.4V ≤ V_{DD} ≤ 5.5V	17		39	μs
零刻度误差注 1、2	E_{ZS}	8 位分辨率	2.4V ≤ V_{DD} ≤ 5.5V			±0.60	%FSR
积分线性误差注 1	ILE	8 位分辨率	2.4V ≤ V_{DD} ≤ 5.5V			±2.0	LSB
微分线性误差注 1	DLE	8 位分辨率	2.4V ≤ V_{DD} ≤ 5.5V			±1.0	LSB
模拟输入电压	V_{AIN}			0		V_{BGR} 注 3	V

注 1. 包含量化误差 （±1/2 LSB）。

2. 用对满刻度值的比率 （%FSR）表示。

3. 请参照 “27.6.2 温度传感器 / 内部基准电压特性 ”。

4. 在基准电压 （–） =V_{SS} 时， MAX. 值如下变化。

综合误差： 在基准电压 （–） =AV_{REFM} 时的 MAX. 值上加 ±0.35%FSR

零刻度误差 / 满刻度误差： 在基准电压 （–） =AV_{REFM} 时的 MAX. 值上加 ±0.5LSB

积分线性误差 / 微分线性误差：在基准电压 （–） =AV_{REFM} 时的 MAX. 值上加 ±0.2LSB

27.6.2 温度传感器 / 内部基准电压特性

（T_A=–40 ～ +85°C、 2.4V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V、 HS （高速主）模式）

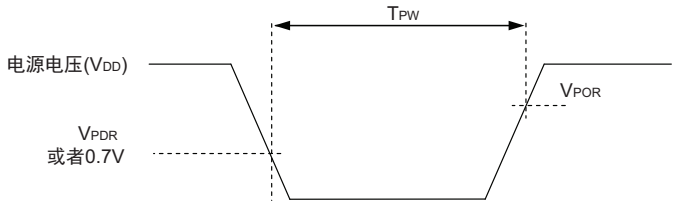
项目	符号	条件	MIN.	TYP.	MAX.	单位
温度传感器的输出电压	V_{TMPS25}	ADS 寄存器 =80H、 T_A=+25°C		1.05		V
基准基准电压	V_{BGR}	ADS 寄存器 =81H	1.38	1.45	1.5	V
温度系数	F_{VTMPS}	取决于温度传感器电压的温度。		–3.6		mV/°C
运行稳定等待时间	t_{AMP}		5			μs

27.6.3 POR 电路特性

（T_A=–40 ～ +85°C、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
检测电压	V_{POR}	电源电压上升时	1.47	1.51	1.55	V
	V_{PDR}	电源电压下降时	1.46	1.50	1.54	V
最小脉宽注	T_{PW}		300			μs

注 这是在 V_{DD} 低于 V_{PDR} 时 POR 复位所需的时间。另外，也是在 STOP 模式和通过设定时钟运行状态控制寄存器（CSC）的 bit0 （HIOSTOP）和 bit7 （MSTOP）停止主系统时钟 （f_{MAIN}）运行时，从 V_{DD} 低于 0.7V 到回升超过 V_{POR} 为止 POR 复位所需的时间。



27.6.4 LVD 电路特性

（T_A=–40 ～ +85°C、 V_{PDR} ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目		符号	条件	MIN.	TYP.	MAX.	单位
检测电压	电源电压电平	V_{LVD0}	电源电压上升时	3.98	4.06	4.14	V
			电源电压下降时	3.90	3.98	4.06	V
		V_{LVD1}	电源电压上升时	3.68	3.75	3.82	V
			电源电压下降时	3.60	3.67	3.74	V
		V_{LVD2}	电源电压上升时	3.07	3.13	3.19	V
			电源电压下降时	3.00	3.06	3.12	V
		V_{LVD3}	电源电压上升时	2.96	3.02	3.08	V
			电源电压下降时	2.90	2.96	3.02	V
		V_{LVD4}	电源电压上升时	2.86	2.92	2.97	V
			电源电压下降时	2.80	2.86	2.91	V
		V_{LVD5}	电源电压上升时	2.76	2.81	2.87	V
			电源电压下降时	2.70	2.75	2.81	V
		V_{LVD6}	电源电压上升时	2.66	2.71	2.76	V
			电源电压下降时	2.60	2.65	2.70	V
		V_{LVD7}	电源电压上升时	2.56	2.61	2.66	V
			电源电压下降时	2.50	2.55	2.60	V
		V_{LVD8}	电源电压上升时	2.45	2.50	2.55	V
			电源电压下降时	2.40	2.45	2.50	V
		V_{LVD9}	电源电压上升时	2.05	2.09	2.13	V
			电源电压下降时	2.00	2.04	2.08	V
		V_{LVD10}	电源电压上升时	1.94	1.98	2.02	V
			电源电压下降时	1.90	1.94	1.98	V
		V_{LVD11}	电源电压上升时	1.84	1.88	1.91	V
			电源电压下降时	1.80	1.84	1.87	V
		V_{LVD12}	电源电压上升时	1.74	1.77	1.81	V
			电源电压下降时	1.70	1.73	1.77	V
		V_{LVD13}	电源电压上升时	1.64	1.67	1.70	V
			电源电压下降时	1.60	1.63	1.66	V
最小脉宽		t_{LW}		300			μs
检测延迟		t_{LD}				300	μs

中断＆复位模式的 LVD 检测电压

（T_A=–40 ～ +85°C、 $V_{PDR} \leqslant EV_{DD}=V_{DD} \leqslant 5.5V$、 $V_{SS}=EV_{SS}=0V$）

项目	符号	条件			MIN.	TYP.	MAX.	单位
中断 & 复位模式	V_{LVDA0}	V_{POC2}、 V_{POC1}、 V_{POC0}=0、 0、 0，下降复位电压			1.60	1.63	1.66	V
	V_{LVDA1}	LVIS1、 LVIS0=1、 0		上升复位解除电压	1.74	1.77	1.81	V
				下降中断电压	1.70	1.73	1.77	V
	V_{LVDA2}	LVIS1、 LVIS0=0、 1		上升复位解除电压	1.84	1.88	1.91	V
				下降中断电压	1.80	1.84	1.87	V
	V_{LVDA3}	LVIS1、 LVIS0=0、 0		上升复位解除电压	2.86	2.92	2.97	V
				下降中断电压	2.80	2.86	2.91	V
	V_{LVDB0}	V_{POC2}、 V_{POC1}、 V_{POC0}=0、 0、 1，下降复位电压			1.80	1.84	1.87	V
	V_{LVDB1}	LVIS1、 LVIS0=1、 0		上升复位解除电压	1.94	1.98	2.02	V
				下降中断电压	1.90	1.94	1.98	V
	V_{LVDB2}	LVIS1、 LVIS0=0、 1		上升复位解除电压	2.05	2.09	2.13	V
				下降中断电压	2.00	2.04	2.08	V
	V_{LVDB3}	LVIS1、 LVIS0=0、 0		上升复位解除电压	3.07	3.13	3.19	V
				下降中断电压	3.00	3.06	3.12	V
	V_{LVDC0}	V_{POC2}、 V_{POC1}、 V_{POC0}=0、 1、 0，下降复位电压			2.40	2.45	2.50	V
	V_{LVDC1}	LVIS1、 LVIS0=1、 0		上升复位解除电压	2.56	2.61	2.66	V
				下降中断电压	2.50	2.55	2.60	V
	V_{LVDC2}	LVIS1、 LVIS0=0、 1		上升复位解除电压	2.66	2.71	2.76	V
				下降中断电压	2.60	2.65	2.70	V
	V_{LVDC3}	LVIS1、 LVIS0=0、 0		上升复位解除电压	3.68	3.75	3.82	V
				下降中断电压	3.60	3.67	3.74	V
	V_{LVDD0}	V_{POC2}、 V_{POC1}、 V_{POC0}=0、 1、 1，下降复位电压			2.70	2.75	2.81	V
	V_{LVDD1}	LVIS1、 LVIS0=1、 0		上升复位解除电压	2.86	2.92	2.97	V
				下降中断电压	2.80	2.86	2.91	V
	V_{LVDD2}	LVIS1、 LVIS0=0、 1		上升复位解除电压	2.96	3.02	3.08	V
				下降中断电压	2.90	2.96	3.02	V
	V_{LVDD3}	LVIS1、 LVIS0=0、 0		上升复位解除电压	3.98	4.06	4.14	V
				下降中断电压	3.90	3.98	4.06	V

27.6.5 电源电压上升时间

（T_A=–40 ～ +85°C、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
电源电压上升斜率	S_{VDD}				54	V/ms

注意 通过 LVD 电路或者外部复位保持内部复位状态，直到 V_{DD} 达到 “27.4 AC 特性 ” 所示的工作电压范围内。

27.7 LCD 特性

27.7.1 外部电阻分割方式

(1) 静态模式

（T_A=–40 ～ +85°C、 V_{L4} （MIN.）≦ V_{DD} ≦ 5.5V、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{L4}		2.0		V_{DD}	V

(2) 1/2 偏压、 1/4 偏压

（T_A=–40 ～ +85°C、 V_{L4} （MIN.）≦ V_{DD} ≦ 5.5V、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{L4}		2.7		V_{DD}	V

(3) 1/3 偏压

（T_A=–40 ～ +85°C、 V_{L4} （MIN.）≦ V_{DD} ≦ 5.5V、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{L4}		2.5		V_{DD}	V

27.7.2 内部升压方式

(1) 1/3 偏压

（T_A=–40 ～ +85°C、 1.8V ≤ V_{DD} ≤ 5.5V、 V_{SS}=0V）

项目	符号	条件		MIN.	TYP.	MAX.	单位
LCD 输出电压的可变范围	V_{L1}	C1 ～ C4 注 1 =0.47μF 注 2	VLCD=04H	0.90	1.00	1.08	V
			VLCD=05H	0.95	1.05	1.13	V
			VLCD=06H	1.00	1.10	1.18	V
			VLCD=07H	1.05	1.15	1.23	V
			VLCD=08H	1.10	1.20	1.28	V
			VLCD=09H	1.15	1.25	1.33	V
			VLCD=0AH	1.20	1.30	1.38	V
			VLCD=0BH	1.25	1.35	1.43	V
			VLCD=0CH	1.30	1.40	1.48	V
			VLCD=0DH	1.35	1.45	1.53	V
			VLCD=0EH	1.40	1.50	1.58	V
			VLCD=0FH	1.45	1.55	1.63	V
			VLCD=10H	1.50	1.60	1.68	V
			VLCD=11H	1.55	1.65	1.73	V
			VLCD=12H	1.60	1.70	1.78	V
			VLCD=13H	1.65	1.75	1.83	V
倍输出电压	V_{L2}	C1 ～ C4 注 1=0.47μF		$2V_{L1}$–0.1	$2V_{L1}$	$2V_{L1}$	V
三倍输出电压	V_{L4}	C1 ～ C4 注 1=0.47μF		$3V_{L1}$–0.15	$3V_{L1}$	$3V_{L1}$	V
基准电压的准备时间注 2	t_{VWAIT1}			5			ms
升压等待时间注 3	t_{VWAIT2}	C1 ～ C4 注 1=0.47μF		500			ms

注 1. 这是 LCD 和驱动电压引脚之间的连接电容器。

C1：CAPH 和 CAPL 之间的连接电容器。

C2：V_{L1} 和 GND 之间的连接电容器。

C3：V_{L2} 和 GND 之间的连接电容器。

C4：V_{L4} 和 GND 之间的连接电容器。

C1=C2=C3=C4=0.47μF±30%

2. 这是从通过 VLCD 寄存器设定基准电压 （当以默认值使用基准电压时，选择为内部升压方式 （LCDM0 寄存器的 MDSET1、 MDSET0=01B））到开始升压 （VLCON=1）为止所需的等待时间。

3. 这是从开始升压 （VLCON=1）到能显示 （LCDON=1）为止所需的等待时间。

(2) 1/4 偏压

（T_A=–40 ～ +85°C、 1.8V ≤ V_{DD} ≤ 5.5V、 V_{SS}=0V）

项目	符号	条件		MIN.	TYP.	MAX.	单位
LCD 输出电压的可变范围	V_{L1} 注 4	C1 ～ C5 注 1 =0.47μF	VLCD=04H	0.90	1.00	1.08	V
			VLCD=05H	0.95	1.05	1.13	V
			VLCD=06H	1.00	1.10	1.18	V
			VLCD=07H	1.05	1.15	1.23	V
			VLCD=08H	1.10	1.20	1.28	V
			VLCD=09H	1.15	1.25	1.33	V
			VLCD=0AH	1.20	1.30	1.38	V
			VLCD=0BH	1.25	1.35	1.43	V
			VLCD=0CH	1.30	1.40	1.48	V
			VLCD=0DH	1.35	1.45	1.53	V
			VLCD=0EH	1.40	1.50	1.58	V
			VLCD=0FH	1.45	1.55	1.63	V
			VLCD=10H	1.50	1.60	1.68	V
			VLCD=11H	1.55	1.65	1.73	V
			VLCD=12H	1.60	1.70	1.78	V
			VLCD=13H	1.65	1.75	1.83	V
倍输出电压	V_{L2}	C1 ～ C5 注 1=0.47μF		$2V_{L1}$–0.08	$2V_{L1}$	$2V_{L1}$	V
三倍输出电压	V_{L3}	C1 ～ C5 注 1=0.47μF		$3V_{L1}$–0.12	$3V_{L1}$	$3V_{L1}$	V
四倍输出电压	V_{L4} 注 4	C1 ～ C5 注 1=0.47μF		$4V_{L1}$–0.16	$4V_{L1}$	$4V_{L1}$	V
基准电压的准备时间注 2	t_{VWAIT1}			5			ms
升压等待时间注 3	t_{VWAIT2}	C1 ～ C5 注 1=0.47μF		500			ms

注 1. 这是 LCD 和驱动电压引脚之间的连接电容器。

C1：CAPH 和 CAPL 之间的连接电容器。

C2：V_{L1} 和 GND 之间的连接电容器。

C3：V_{L2} 和 GND 之间的连接电容器。

C4：V_{L3} 和 GND 之间的连接电容器。

C5：V_{L4} 和 GND 之间的连接电容器。

C1=C2=C3=C4=C5=0.47μF±30%

2. 这是从通过 VLCD 寄存器设定基准电压 （当以默认值使用基准电压时，选择为内部升压方式 （LCDM0 寄存器的 MDSET1、 MDSET0=01B））到开始升压 （VLCON=1）为止所需的等待时间。

3. 这是从开始升压 （VLCON=1）到能显示 （LCDON=1）为止所需的等待时间。

4. 必须设定为 V_{L4} ≤ 5.5V。

27.7.3 电容分割方式

(1) 1/3 偏压

（T_A=–40 ～ +85°C、 2.2V ≤ V_{DD} ≤ 5.5V、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
V_{L4} 电压	V_{L4}	C1 ～ C4=0.47μF 注 2		V_{DD}		V
V_{L2} 电压	V_{L2}	C1 ～ C4=0.47μF 注 2	2/3V_{L4} –0.1	2/3V_{L4}	2/3V_{L4} +0.1	V
V_{L1} 电压	V_{L1}	C1 ～ C4=0.47μF 注 2	1/3V_{L4} –0.1	1/3V_{L4}	1/3V_{L4} +0.1	V
电容分割等待时间注 1	t_{VWAIT}		100			ms

注 1. 这是从开始升压 （VLCON=1）到能显示 （LCDON=1）为止所需的等待时间。

2. 这是 LCD 和驱动电压引脚之间的连接电容器。

C1：CAPH 和 CAPL 之间的连接电容器。

C2：V_{L1} 和 GND 之间的连接电容器。

C3：V_{L2} 和 GND 之间的连接电容器。

C4：V_{L4} 和 GND 之间的连接电容器。

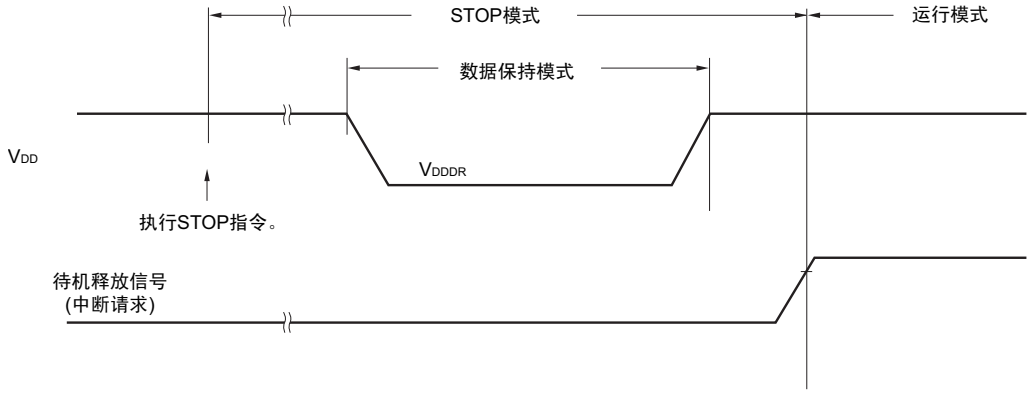
C1=C2=C3=C4=0.47μF±30%

27.8 STOP 模式中的数据存储器的低电源电压数据保持特性

（T_A=–40 ～ +85°C、 V_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
数据保持电源电压	V_{DDDR}		1.46 注		5.5	V

注 取决于POR检测电压。当电压下降时，保持数据，直到发生POR复位为止。但是，当发生POR复位时，不保持数据。



27.9 闪存编程特性

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件		MIN.	TYP.	MAX.	单位
系统时钟频率	f_{CLK}	1.8V ≤ V_{DD} ≤ 5.5V		1		24	MHz
代码闪存的改写次数注 1、2、3	C_{erwr}	保持年数：20 年	T_A=85°C	1000			次
数据闪存的改写次数注 1、2、3		保持年数：1 年	T_A=25°C		1000000		
		保持年数：5 年	T_A=85°C	100000			
		保持年数：20 年	T_A=85°C	10000			

注 1. 1 次改写是指 1 次擦除 + 擦除后的 1 次编程。
保持年数是指从 1 次改写到下次改写为止的期间。

2. 这是使用闪存编程器和本公司提供的库程序的情况。

3. 此特性表示闪存的特性，是本公司的可靠性试验的结果。

27.10 专用闪存编程器通信 （UART）

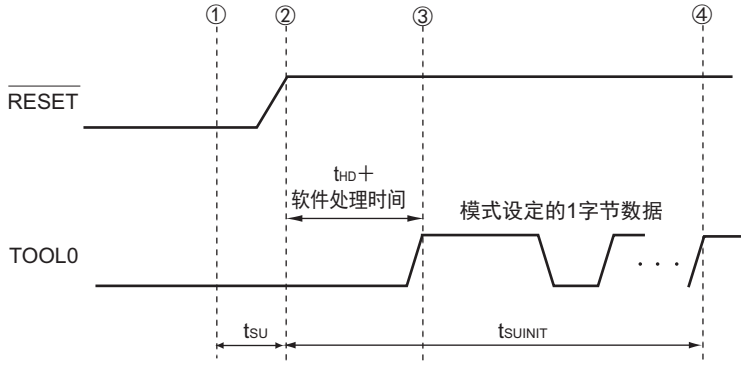
（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
传送速率		串行编程时	115200		1000000	bps

27.11 闪存编程模式的转移时序

（T_A=–40 ～ +85°C、 1.8V ≤ EV_{DD}=V_{DD} ≤ 5.5V、 V_{SS}=EV_{SS}=0V）

项目	符号	条件	MIN.	TYP.	MAX.	单位
从解除外部复位到结束通信的初始设定为止的时间	t_{SUINIT}	在解除外部复位前，解除 POR 和 LVD 的复位。			100	ms
从将TOOL0引脚置为低电平到解除外部复位为止的时间	t_{SU}	在解除外部复位前，解除 POR 和 LVD 的复位。	10			μs
在解除外部复位后保持 TOOL0 引脚低电平的时间（闪存固件处理时间除外）	t_{HD}	在解除外部复位前，解除 POR 和 LVD 的复位。	1			ms



① 给TOOL0引脚输入低电平。
② 解除外部复位 （在此之前需要解除POR和LVD的复位）。
③ 解除TOOL0引脚的低电平。
④ 通过UART接收，完成波特率的设定。

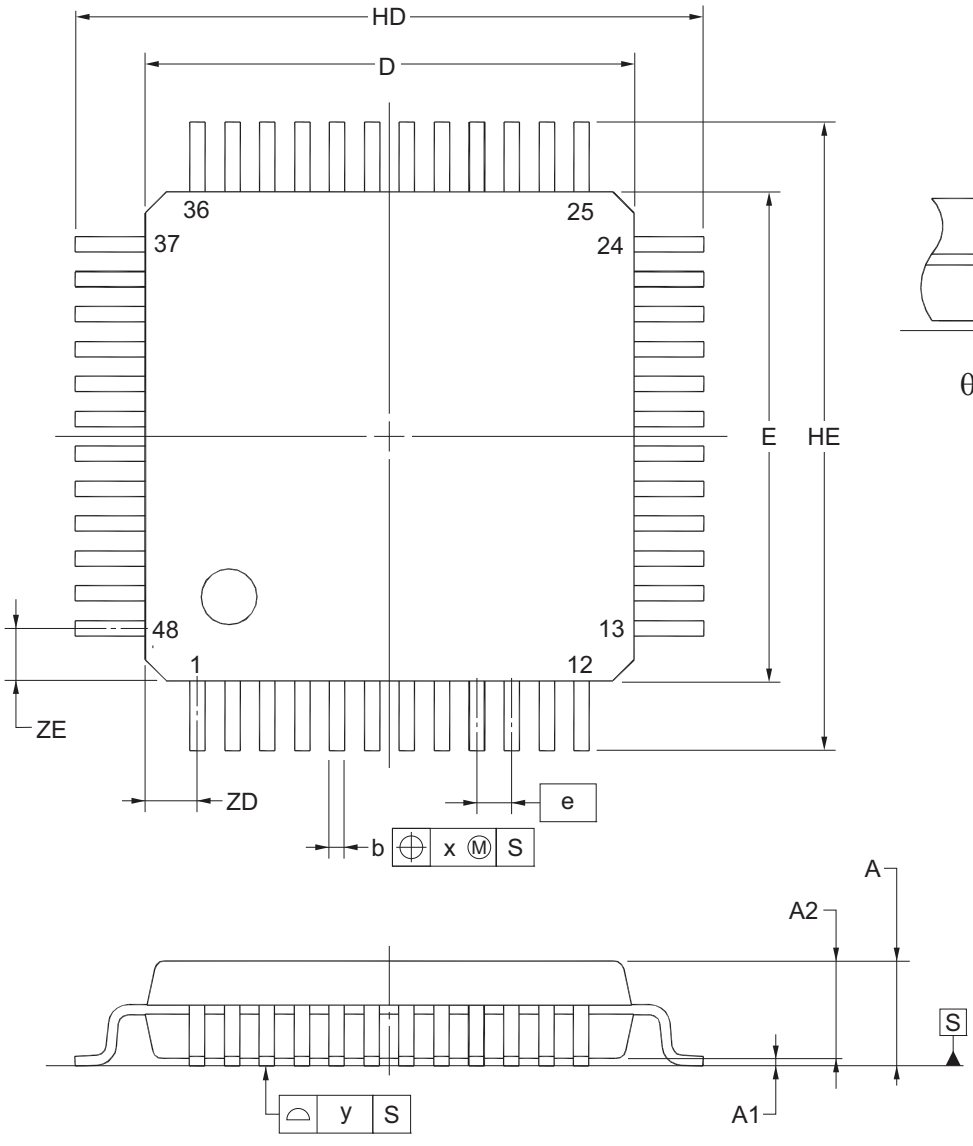
备注 t_{SUINIT}：在此区间，必须在解除复位后的 100ms 之内完成通信的初始设定。
t_{SU} ：这是从将TOOL0引脚置为低电平到解除外部复位为止的时间。
t_{HD} ：这是在解除外部复位后保持TOOL0引脚为低电平的时间 （闪存固件处理时间除外）。

第 28 章 封装尺寸图

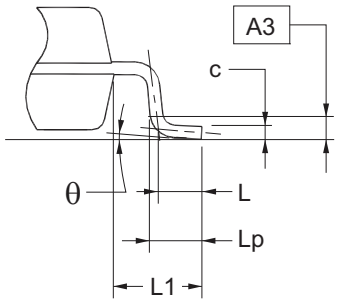
28.1 48 引脚产品

R7F0C001G2DFB、 R7F0C002G2DFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

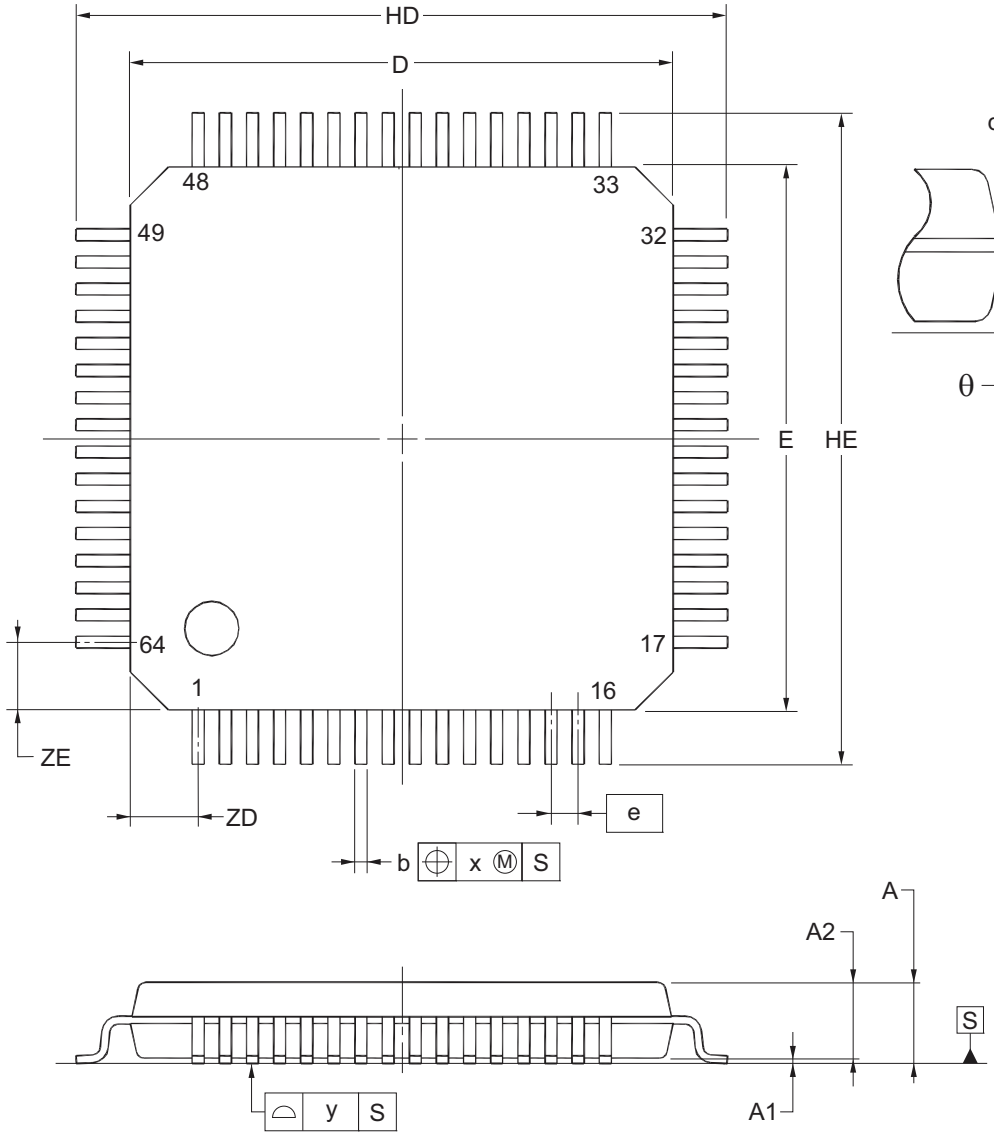
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

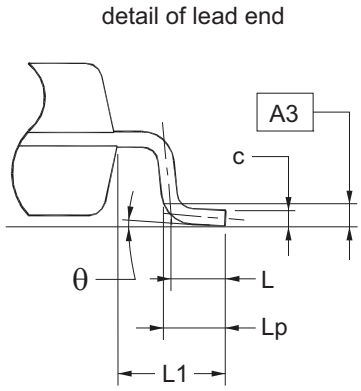
©2012 Renesas Electronics Corporation. All rights reserved.

28.2 64 引脚产品

R7F0C001L2DFB、 R7F0C002L2DFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU-2	0.35





(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

附录 A 修订记录

Rev.	发行日	修订内容	
		页	修订处
1.00	2013.03.22	—	初版发行
2.00	2014.06.10	全文	将全文中的 “ 运行速度模式控制寄存器 ” 更改为 “ 副系统时钟提供模式控制寄存器 （OSMC） “。
		1、 2	替换 1.1。
		3	更改 1.2。
		12、 13	更改 2.1.1。
		14、 15	更改 2.1.2。
		16	追加标题 “2.2 端口以外的功能 ”。
		21、 22	追加 2.2.2。
		23 ～ 25	删除表 2-3 中的 “ 输入 / 输出电路的类型 ”。
		43	在 3.1.3 的中追加注意 2，更改注意 3。
		45	替换图 3-4，删除注和备注。
		49	更改图 3-9。
		53	更改表 3-5(3/4) 的注。
		56	在表 3-6(1/4) 中追加注。
		77 ～ 79	追加 4.2.1 ～ 4.2.10。
		83	更改图 4-1 的注意。
		84	在图 4-2 中追加注意。
		85	在图 4-3 中追加注意 2。
		86	在图 4-4 中追加注意 2。
		87	在 4.3.5 和图 4-5 中分别追加注意。
		88	更改图 4-6 的注意 1，追加注意 3。
		89	在图 4-7 中追加注意 3。
		94	更改 4.4.4。
		95	更改 4.4.5。
		96	更改 4.5 的标题，追加 4.5.1。
		97	追加 4.5.2。
		97 ～ 103	更改 4.5.3。
		104	更改 4.6.2。
		108	替换图 5-1。
		115	更改 5.3.5 的第二段、第三段说明，删除图 5-6 的注意 1 和注意 3。
		118	在 5.3.7 的第二段说明中追加 “STOP 模式 ”。
		124	在 5.4.3 中追加 “6MHz”、 “3MHz"、 “2MHz”。
		127	在 5.6.1 中追加 “6MHz”、 “3MHz"、 “2MHz”。
		130	更改 5.6.3 中的①。
		134	更改表 5-3(3/4) 中的 (6)、 (8)，追加备注 2。
		135	更改表 5-3(4/4) 中的 (9)。
		136	删除表 5-4(1/2) 中的 “ 如要进行变更，请执行复位后再进行设置。 ”。
		139 ～ 141	追加 5.7。
		142、 143	更改第 6 章说明。
		145	更改 6.1.2(1) 中的图。
		150、 151	替换图 6-2 ～图 6-5。
		155	更改 6.3.1 的注意 1。
		169	在图 6-18 中追加 “ 并且从 TOm 引脚输出 TOmn 位的设定电平 ”。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	173	更改 6.3.14 的第三段。
		183	在 6.5.3(2) 中追加 “ 因为 TImn 输入与计数时钟 （f_{MCK}）异步，所以产生 1 个周期的误差。 ”。
		184	替换图 6-28，并且在备注中追加 “ 因为 TImn 输入与计数时钟 （f_{MCK}）异步，所以产生 1 个周期的误差。 ”。
		195、 196	追加 6.7。
		202	更改图 6-47。
		205	在图 6-50 中追加 “NFEN2”。
		209	在图 6-54 中追加 “NFEN2”。
		210	在 6.8.4 中追加 “ 另外，在 TEmn 为 “1” 的期间，如果将软件操作（TSmn=1）设定为捕捉触发，就能捕捉计数值。 ”，更改图 6-55。
		213	更改图 6-58。
		215	更改图 6-59。
		217	更改图 6-62。
		218	更改图 6-63。
		221	更改图 6-66。
		223	更改图 6-67。
		227、 228	更改图 6-71。
		246	在 7.1 中追加 “ 实时时钟中断信号 （INTRTC）能用作 STOP 模式的唤醒或者 A/D 转换器的 SNOOZE 模式的触发。 ”。
		248	在 7.3 中追加 “ 端口模式寄存器 3 （PM3） ” 和 “ 端口寄存器 3 （P3） ”。
		249	更改图 7-2 的注意 1 和注意 2。
		251	在图 7-4 中追加注意 2。
		254	在图 7-6 中追加注意 2。
		262	追加 7.3.16。
		263	追加 7.3.17。
		264	将图 7-19 中注 1 的 “ 输入时钟 ” 更改为 “ 计数时钟 ”。
		271	在 7.4.6 中追加校正例子①和图 7-25。
		274	更改图 8-2 的注意 1 和注意 2。
		277	追加标题 “8.4.1 12 位间隔定时器的运行时序 ”。
		278	追加 8.4.2。
		279	更改 9.1 的注意。
		281	更改图 9-3 的注意 2 和注意 3。
		283	在 9.4.1 中追加①，更改图 9-5 的标题。
		284	在 10.1 中追加 “ 看门狗定时器通过选项字节 （000C0H）设定计数运行。 ”。
		285	更改表 10-1、图 10-1, 追加备注。
		287	更改 10.4.1 的注意 2。
		288	更改表 10.3 中部分看门狗定时器的上溢时间。
		291	更改 11.1。
		292	替换图 11-1。
		294	更改 11.2(8)。
		299	更改图 11-4 的注意 4。
		301	在表 11-3(2/4) 中追加注 8 和注意 1。
		302	在表 11-3(3/4) 中追加注 4 和注意 1。
		303	在表 11-3(4/4) 中追加注 9 和注意 1。
		304	替换图 11-5。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	305	更改图 11-6 的注意 2。
		306	更改 11.3.4 的第一段说明和图 11-7(1/2)。
		307	更改图 11-7(2/2) 和注。
		309	更改图 11-11 的注和注意 8，删除注意 10。
		310	在图 11-13 中追加注意 2 和注意 3。
		311	更改 11.3.10，替换 11.3.11。
		313	替换图 11-15 和更改图 11-15 下的说明。
		318	更改图 11-20。
		320	更改图 11-22。
		321	更改图 11-23。
		322	更改图 11-24。
		323	更改图 11-25。
		324	更改 11.7.4 和图 11-26 的标题，更改图 11-26。
		325	更改图 11-27，追加注意。
		326	在 11.8 的第五段中追加 “A/D 电源 ”，删除注意。
		330	替换图 11-34、图 11-35。
		333	更改 11.10(5) 的②和 (6)。
		336	更改 12.1.1。
		339	替换图 12-1。
		342	更改图 12-3 的注意 1。
		348	更改 12.3.5 说明。
		357	在 12.3.13 中追加图 12-16 和备注。
		358	更改 12.3.14 的注意和图 12-7，删除图 12-7 的注意，追加图 12-18。
		360	替换 12.3.16。
		361	更改图 12-20 的注意 2。
		363	更改 12.5 中的 “ 数据的发送和接收 ”。
		366	删除图 12-24 中的 “ 要使用 STOP 模式时 ”。
		367	将图 12-25 中的 “ 主控设备 ” 更改为 “ 从属设备 ”。
		368	更改图 12-26。
		369	删除图 12-27 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		370	更改图 12-28。
		371	更改图 12-29。
		374	删除图 12-32 中的 “ 要使用 STOP 模式时 ” 和备注。
		375	将图 12-33 中的 “ 主控设备 ” 更改为 “ 从属设备 ”。
		376	更改图 12-34。
		377	删除图 12-35 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		378	更改图 12-36。
		379	更改图 12-37。
		382	删除图 12-40 中的 “ 要使用 STOP 模式时 ”。
		384	更改图 12-42。
		385	删除图 12-43 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		386	更改图 12-44。
		387	更改图 12-45。
		388	删除 12.5.4 注意 1 中的 “ 必须设定 SPSm 寄存器，使外部时钟至少为 SDRmn 寄存器设定的 f_{SCK}/2 频率 ”。
		391	更改图 12-49。
		392	更改图 12-50。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	393	更改图 12-51。
		394	更改图 12-52。
		395	更改图 12-53。
		396	删除 12.5.5 中注意 1 的 “ 必须设定 SPSm 寄存器，使外部时钟至少为 SDRmn 寄存器设定的 f_{SCK}/2 频率。 ”。
		398	删除图 12-56 中的 “ 要使用 STOP 模式时 ”。
		400	更改图 12-58。
		401	删除图 12-59 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		402	删除 12.5.6 中注意 1 的 “ 必须设定 SPSm 寄存器，使外部时钟至少为 SDRmn 寄存器设定的 fSCK/2 频率。 ”。
		404	删除图 12-62 中的 “ 要使用 STOP 模式时 ”。
		405	在图 12-63 中追加注意 2。
		406	更改图 12-64。
		407	删除图 12-65 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		408	更改图 12-66。
		409	更改图 12-67。
		410	更改 12.5.7 的说明、图 12-68，删除注 2，追加注意 2。
		411	更改图 12-69。
		412	更改图 12-70，删除注 2，追加注意 2。
		413	更改图 12-71。
		417	在 12.6 中追加 “ 而且还能通过组合定时器阵列单元和外部中断（INTP0）来支持 LIN-bus。 ”。
		421	删除图 12-75 中的 “ 要使用 STOP 模式时 ”。
		422	更改图 12-76。
		423	更改图 12-77。
		424	删除图 12-78 中的 “ 将 PER0 寄存器的 SAUmEN 位置 “0””。
		425	更改图 12-79。
		426	更改图 12-80。
		432	更改图 12-85。
		433	更改图 12-86。
		434	替换 12.6.3 说明。
		435	追加表 12-3。
		436	更改 12.6.3(1)。
		437	更改 12.6.3(2)。
		438	更改图 12-89 和备注 1。
		439	更改 12.6.3(3)。
		440、 441	更改图 12-91、注意和备注 1。
		447	更改表 13-1。
		448	更改 13.1(5)。
		451	替换图 13-1。
		453	更改图 13-2 的注意 1。
		454	更改图 13-3。
		455	更改表 13-4 的标题。
		457	将图 13-4(2/2) 中的 “ > ” 更改为 “ ≥ ”，更改注意 1。
		458	在 13.3.4 第二段中追加 “ 时钟输出 / 蜂鸣器输出 ”。
		460	更改图 13-6(2/2) 的注意 3。
		474	删除 13.6 的注意 2，更改图 13-18。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	475	更改图 13-19。
		476	更改图 13-20 和注意。
		478	更改图 13-22。
		479	删除图 13-23 中的注。
		480	删除图 13-24 的注 2。
		505	更改第 14 章中的表。
		510	更改表 14-2(1/2) 的注 3。
		512	更改图 14-2 的注意 1。
		513	更改图 14-3。
		517	更改 14.3.5 的第二段。
		520	更改图 14-9。
		521	更改表 14-5。
		525	更改表 15-1、表 15-2。
		526	将 15.3.1 中的 “ 键返回标志 ” 更改为 “ 键中断标志 ”。
		527	更改 15.3.2 的第一段说明，将 15.3.3 中的 “ 键返回标志 ” 更改为 “ 键中断标志 ”。
		528	更改 15.3.4 的第三段说明。
		533	更改 16.2，在 16.3.1(1) 中追加注意。
		536	更改图 16-1 的注 2。
		537	更改图 16-2(1/2)。
		538	更改图 16-2(2/2)。
		539	删除表 16-2 中的 “ （对数据闪存进行编程时，不执行 STOP 指令） ”。
		540	更改图 16-3(1/2)、注 2 和备注 1。
		541	更改图 16-3(2/2)、注，注意和备注。
		542	更改图 16-4。
		543	更改 16.3.3(1)。
		545	更改第 17 章说明，注意 1、注意 3 以及备注。
		547	追加 17.1 的标题和说明。
		548	在图 17-3 中追加注 3。
		549	追加 17.2 的标题和说明，更改表 17-1 中的 “ 端口 （锁存器） ” 说明，追加注。
		550	替换表 17-2。
		552	更改表 17-3，追加表 17-3 下说明。
		553	追加图 17-5。
		555	更改 18.1、 18.3 的说明。
		556	更改图 18-2(1/3)、注和注意。
		557	更改图 18-2(2/3)。
		558	更改图 18-2(3/3)。
		559	更改 19.1。
		561	更改图 19-2 和注 3。
		562	更改图 19-3 的注 2 和备注。
		563	更改表 19-1(1/2)。
		564	更改表 19-1(2/2)、注 2 和备注。
		565	更改图 19.4.1。
		566	更改图 19-4。
		567	更改 19.4.2。
		568	替换图 19-5，更改注。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	570	更改图 19-6(1/2)。
		571	更改图 19-6(2/2)。
		572	更改图 19-7。
		573	追加图 19-8 以及图上的说明。
		574、 575	更改 19.5。
		576	更改 20.1(6)、 (7)。
		579	更改图 20-3。
		582	更改图 20-7 的注意和备注。
		583	追加图 20-8。
		585	更改图 20-11 和注。
		587	更改 20.3.7。
		589	更改 20.3.8。
		590	更改 20.3.8.1。
		591	更改图 20-17 的注和注意。
		593	更改 22.1.1(2)、 (3)。
		596	更改图 22-2(1/2)。
		597	更改图 22-2(2/2)、注意 2 和备注 3。
		598	更改图 22-3，追加注意 2。
		601、 602	更改第 23 章说明。
		604	更改表 23-1 的注。
		605	更改图 23-2 的注 3。
		606	更改表 23-2、注和注意。
		607	更改图 23-4 的注、表 23-3 和注，删除注意和备注。
		608	更改 23.3.1 的备注。
		610	追加 23.4 标题、 23.4.1 说明，更改 23.4.2。
		611	更改图 23-7 和备注，追加图下说明和更改 23-5。
		612	更改 23.4.4 说明和表 23-7 的注。
		613	更改表 23-8 上说明、表 23-8 和表 23-9。
		614	追加 23.5，更改 23.6。
		615	更改 23.6.1。
		616	更改 23.6.2。
		617	更改 23.7
		619、 620	更改 23.8。
		628	在表 26-2 中追加 “addr5”。
		630 ～ 646	更改表 26-5 中的注 2。
		647	删除 27.1 表绝对最大额定值 (1/3) 中的 “V_{SS}”，追加备注 3。
		648	更改 27.1 表绝对最大额定值 (2/3)、注 1，追加注 2 和备注。
		650	更改 27.2.1、 27.2.2。
		651	更改 27.3.1 表 (1/5) 和注。
		652	更改 27.3.1 表 (2/5) 和注。
		657	更改 27.3.2 表 (1/3) 的注。
		659	更改 27.3.2 表 (2/3) 的注。
		660、 661	更改 27.3.3 表 (3/3)、注和备注 4。
		662	在 27.4.1 表中追加 “2.4V ≤ V_{DD} < 2.7V”。
		663、 664	追加 “ 主系统时钟运行时的最短指令执行时间 ” 图。
		664	更改 “AC 时序测量点 ” 图和 “ 外部系统时钟的时序 ” 图。
		666	在 27.5 中追加 “AC 时序测量点 ” 图，更改 27.5.1(1) 的注。

Rev.	发行日	修订内容	
		页	修订处
2.00	2014.06.10	667	更改 27.5.1(1) 的备注 2。
		668	更改 27.5.1(2) 的备注 2。
		669、 670	更改 27.5.1(3) 中 “SCKp 周期时间 ” 的说明和备注 2。
		672	更改 27.5.1(4)(1/2) 的说明、注 1、注 3、注意和备注 3。
		673 ～ 675	更改 27.5.1(4)(2/2) 的说明、注、注意和备注 3。
		677	更改 27.5.1(5) 的注、注意和备注 3。删除 “CSI 模式的连接图 （不同电位的通信） ”。
		678	更改 27.5.1(6)(1/3) 的说明、注和注意。
		679、 680	在 27.5.1(6)(2/3)、 (3/3) 中追加注 3，更改注意、追加备注 3。
		682、 683	更改 27.5.1(7) 的说明、注意和备注 3。
		685	在 27.6.1 中追加 “A/D 转换器特性的区分 ” 表，更改 27.6.1(1)。
		686	更改 27.6.1(2)。
		687	更改 27.6.1(3)。
		688	在 27.6.1(4) 中追加注 3、注 4，更改 27.6.2。
		689	更改 27.6.3，追加注。
		691	更改 “ 中断 & 复位模式的 LVD 检测电压 ” 中的符号和 27.6.5。
		694	在 27.7.2(2) 中追加注 4。
		696	删除 27.9 中的备注，追加 27.10。
		697	更改 27.11。
2.10	2014.10.22	651	在 27.2.2 的表中追加 “±0.5 注 3”、注 3 以及 “ 高速内部振荡器的振荡频率精度 ” 图。

R7F0C001G/L、 R7F0C002G/L
用户手册 硬件篇

Publication Date: Rev.2.10 Oct 22, 2014

Published by: Renesas Electronics Corporation

SALES OFFICES Renesas Electronics Corporation http://www.renesas.com

Refer to "http://www.renesas.com/" for the latest and detailed information.

Renesas Electronics America Inc.
2801 Scott Boulevard Santa Clara, CA 95050-2549, U.S.A.
Tel: +1-408-588-6000, Fax: +1-408-588-6130

Renesas Electronics Canada Limited
1101 Nicholson Road, Newmarket, Ontario L3Y 9C3, Canada
Tel: +1-905-898-5441, Fax: +1-905-898-3220

Renesas Electronics Europe Limited
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K
Tel: +44-1628-585-100, Fax: +44-1628-585-900

Renesas Electronics Europe GmbH
Arcadiastrasse 10, 40472 Düsseldorf, Germany
Tel: +49-211-6503-0, Fax: +49-211-6503-1327

Renesas Electronics (China) Co., Ltd.
Room 1709, Quantum Plaza, No.27 ZhiChunLu Haidian District, Beijing 100191, P.R.China
Tel: +86-10-8235-1155, Fax: +86-10-8235-7679

Renesas Electronics (Shanghai) Co., Ltd.
Unit 301, Tower A, Central Towers, 555 Langao Road, Putuo District, Shanghai, P. R. China 200333
Tel: +86-21-2226-0888, Fax: +86-21-2226-0999

Renesas Electronics Hong Kong Limited
Unit 1601-1613, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong
Tel: +852-2265-6688, Fax: +852 2886-9022/9044

Renesas Electronics Taiwan Co., Ltd.
13F, No. 363, Fu Shing North Road, Taipei 10543, Taiwan
Tel: +886-2-8175-9600, Fax: +886 2-8175-9670

Renesas Electronics Singapore Pte. Ltd.
80 Bendemeer Road, Unit #06-02 Hyflux Innovation Centre, Singapore 339949
Tel: +65-6213-0200, Fax: +65-6213-0300

Renesas Electronics Malaysia Sdn.Bhd.
Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: +60-3-7955-9390, Fax: +60-3-7955-9510

Renesas Electronics Korea Co., Ltd.
12F., 234 Teheran-ro, Gangnam-Ku, Seoul, 135-920, Korea
Tel: +82-2-558-3737, Fax: +82-2-558-5141

© 2014 Renesas Electronics Corporation. All rights reserved.

Colophon 3.0

R7F0C001G/L、 R7F0C002G/L

RENESAS

瑞萨电子株式会社

R01UH0350CJ0210